

⑫ 公開特許公報(A)

昭62-34398

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和62年(1987)2月14日

G 11 C 17/00

1 0 1

6549-5B

審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 不揮発性メモリー

⑰ 特 願 昭60-175105

⑱ 出 願 昭60(1985)8月8日

⑫ 発 明 者 北 村 嘉 成 東京都港区芝5丁目33番1号 日本電気株式会社内

⑰ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑱ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

不揮発性メモリー

2. 特許請求の範囲

書込によって特性が連続的に変化する半導体不揮発性記憶素子と、書込モードと読出モードとを一定時間毎に交互に切替える回路と、複数ビットのデジタル信号をアナログ信号に変換するD/A変換回路と、メモリーセルからの読出レベルを、前記アナログ信号のレベルと比較し、この結果によって書込動作を終了させる回路と、読出されたアナログ信号レベルをデジタル信号に変換するA/D変換回路とを含むことを特徴とする不揮発性メモリー。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は不揮発性メモリーに関する。

〔従来の技術〕

従来、不揮発性メモリーとして、フローティングゲートMOSやMNOSを記憶素子としたものが実用化されているが、記憶素子1個当たり1ビットの情報を記憶するだけであった。

〔発明が解決しようとする問題点〕

上述した従来の不揮発性メモリーはメモリーのビット数と同数の記憶素子を必要とするので、集積度の向上が困難であり、また価格が高いという欠点があった。

本発明は1つの記憶素子に複数のビット数を記憶させることにより、メモリーの素子数を減らすと共に低価格化を目的とする。

〔問題点を解決するための手段〕

本発明の不揮発性メモリーは、書込によって特性が連続的に変化する半導体不揮発性記憶素子と、書込モードと読出モードとを一定時間毎に交互に切替える回路と、複数ビットのデジタル信号をアナログ信号に変換するD/A変換回路と、メモリーセルからの読出レベルを前記アナログ信号レ

ベルと比較し、この結果によって書込動作を終了させる回路と、読出されたアナログ信号レベルをディジタル信号に逆変換するA/D変換回路とを含むことを特徴とするものである。

〔実施例〕

次に本発明について図面を参照して説明する。第1図は本発明の一実施例の回路図である。1はフローティングゲートMOSトランジスタによるメモリセル、2はMOSトランジスタ、3は書込用高電源(V_{PP})と読出用低電圧電源(V_{DD})を切替える負荷回路、4、5は同じく電源を V_{PP} と V_{DD} とを切替えることによって書込時には高電圧、読出時には低電圧を出力するドライバー回路、6、7はアドレスデコーダ、8はメモリーセル1からの読出点、9はコンパレータ、10は2ビットのD/A変換回路、11は読出・書込切替信号発生回路、12はR/W切替端子、13は2ビットのA/D変換回路である。

データの書込の場合は、まず、外部からアドレスデコーダ6、7にメモリーセル1を選択するため

スタ1の V_T が変化すると読出点8の出力電圧(V_o)は第3図に示すように変化する。一方、書込むべき2ビットの入力ディジタル信号B0、B1はD/A変換回路10でアナログ信号に変換され、このアナログ信号よりも低い間は書込・読出信号による動作を継続し、D/A変換回路10からのアナログ信号よりも V_o が高いことがコンパレータ9で判定されると、読出・書込切替信号発生回路11は書込・読出信号の出力を停止して書込動作を終了する。したがって、この時点での V_o は入力ディジタル信号B1、B2に対応した電圧になっている。

一方、データの読出の際には外部からアドレスデコーダ6、7にメモリーセル1を選択するためのアドレスを与え、モード切替端子12に読出モード信号を与える。この読出モード信号によって読出・書込切替信号発生回路11は、前記書込・読出信号は出力し、ドライバー回路4、5は V_{DD} に近い電圧をメモリーセル1、MOSトランジスタ2

のアドレスを与え、モード切替端子12に書込モード信号を与える。この書込モード信号によって読出・書込切替信号発生回路11は、2値の一方のレベルの書込期間と、2値の他方のレベルの読出期間とを周期的に繰返す読出・書込信号が発生され、書込期間には、ドライバー4、5から V_{PP} に近い電圧が出力され、メモリーセル1、MOSトランジスタ2に与えられ、読出期間には V_{DD} に近い電圧が出力されメモリーセル1、MOSトランジスタ2に与えられる。切替回路3は、書込期間には V_{PP} を、読出期間には V_{DD} を、読出点8に供給する。

書込期間の横算値で与えられる、メモリーセル1の書込時間 t とメモリーセル1のスレショールド電圧 V_T との関係は、一定の電圧条件のもとでは第2図に示すような関係となり、書込時間が長くなるに従って V_T が上昇する。またフローティングゲートMOSトランジスタ1とMOSトランジスタ2とは負荷回路3との間でレンオ回路を構成しているため、フローティングゲートMOSトランジ

スタ1の V_T が変化すると読出点8の出力電圧(V_o)は第3図に示すように変化する。一方、書込むべき2ビットの入力ディジタル信号B0、B1はD/A変換回路10でアナログ信号に変換され、このアナログ信号よりも低い間は書込・読出信号による動作を継続し、D/A変換回路10からのアナログ信号よりも V_o が高いことがコンパレータ9で判定されると、読出・書込切替信号発生回路11は書込・読出信号の出力を停止して書込動作を終了する。したがって、この時点での V_o は入力ディジタル信号B1、B2に対応した電圧になっている。

なお、D/A変換回路10とA/D変換回路13は特性を揃える意味から基準電圧源や分圧素子を共用化するのが望ましく、また、回路10のD/A変換特性と回路13のA/D変換特性との間には動作マージンを最大にするため1/2LSBのレベル差を持たせることが望ましい。

第1図の実施例は1素子2ビットの不揮発性メモリーの回路を示したが、MOSトランジスタ2を並列に接続し各々のトランジスタ2に対しメモリーセルを並列に接続し対応するアドレスデコーダ及びドライバーを配置することによって任意の数の記憶素子を持つメモリーを構成できる。

前記実施例では記憶素子として、フローティングゲートMOSによるEPROM素子を用いているが、代りにMNOSやトンネル注入によるEEPROM素子、その他任意の素子を用いることもできる。

〔発明の効果〕

以上説明したように、本発明では、書込時間によって V_T 等の特性が連続的に変化する素子に対して出力電圧が複数ビットデジタル信号を D/A 変換した電圧に一致するまで短い周期で書込と読出を繰返すことにより、1 素子のメモリーセルトランジスタに複数ビットのデジタルデータを書込むことができ、ビット数に対してメモリーセルの数を少なくした不揮発性メモリーが実現できる。

4. 図面の簡単な説明

第 1 図は本発明の一実施例の回路図、第 2 図は第 1 図中のメモリーセル 1 の特性図、第 3 図は第 1 図中の読出点の電圧の特性図である。

1 ……フローティングゲート MOS トランジスタ、2 ……MOS トランジスタ、3 ……負荷回路、4, 5 ……ドライバー回路、6, 7 ……アドレスデコーダー、9 ……コンパレータ、10 ……D/A 変換回路、11 ……読出・書込切替信号発生回路、13 ……A/D 変換回路。

代理人 弁理士 内 原 晋

