

(51) Int. Cl. ⁶	Identification codes	JPO file numbers	FI	Technical indications
H 01 L 21/06		7210-4M	H 01 L 27/06	

Request for examination: Not yet requested; Number of claims: 6; FD (Total of 10 pages)

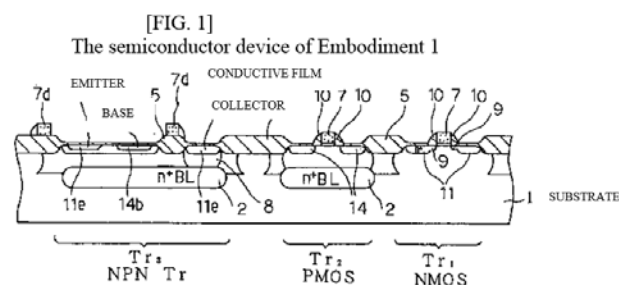
(21) Application number	Japanese Patent Application H5-189021	(71) Applicant	000002185 Sony Corporation 6-7-35 Kita Shinagawa, Shinagawa-ku, Tokyo-to
(22) Date of application	June 30, 1993	(72) Inventor	Hiroaki YASUSHIGE % Sony Corporation 6-7-35 Kita Shinagawa, Shinagawa-ku, Tokyo-to
		(72) Inventor	Norikazu OUCHI % Sony Corporation 6-7-35 Kita Shinagawa, Shinagawa-ku, Tokyo-to
		(74) Agent	Jun TAKATSUKI, Patent Attorney

(54) [TITLE OF THE INVENTION] BICMOS SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57) Abstract (With amendment)

[PURPOSE] To provide a technology relating to a BiCMOS semiconductor device having bipolar transistors and MOS transistors having an LDD structure in which inconveniences as a result of overetching are resolved.

[CONSTITUTION] In a BiCMOS semiconductor device having a bipolar transistor Tr_3 and a MOS transistor Tr_1 of an LDD structure, a conductive film 7d identical to a gate electrode 7 of the MOS transistor is formed around a base region 14b of the bipolar transistor Tr_3 and this conductive film 7d is electrically isolated from the base region through an isolation region 5 or the like.



[Scope of Patent Claims]

[Claim 1] A BiCMOS semiconductor device having bipolar transistors and MOS transistors having an LDD structure, characterized in that a conductive film identical to a gate electrode of said MOS transistor is formed around the base region of said bipolar transistor and said conductive film is electrically isolated from the base region.

[Claim 2] A manufacturing method of a BiCMOS semiconductor device having bipolar transistors and MOS transistors having an LDD structure, characterized in that the manufacturing method of a BiCMOS semiconductor device comprises a process of forming an insulating film over the entire surface after the formation of the LDD region and the gate electrode of said MOS transistor, a process of forming an opening in an insulating film of the base region of said bipolar transistor and carrying out an ion implantation to form a base region, a process of covering said opening by a resist, and a process of performing an anisotropic etching process to said insulating film.

[Claim 3] A manufacturing method of a BiCMOS semiconductor device having bipolar transistors and MOS transistors having an LDD structure, characterized in that the manufacturing method of a BiCMOS semiconductor device comprises a process of forming a dummy pattern around the base region of said bipolar transistor simultaneously with the gate electrode of said MOS transistor, a process of forming an insulating film over the entire surface after the formation of the LDD region of the MOS transistor, a process of opening the insulating film of the base region of the bipolar transistor on said dummy pattern and carrying out an ion implantation to form the base region, a process of forming a resist pattern that covers the base region on the inside of said opening and on top of the dummy pattern, and a process of performing an anisotropic etching process to said insulating film.

[Claim 4] A BiCMOS semiconductor device having MOS transistors of an LDD structure and bipolar transistors of a lateral structure, characterized in that the BiCMOS semiconductor device has a substrate surface of the base region of said bipolar transistor covered with an insulating film identical to an LDD sidewall of said MOS transistor.

[Claim 5] A manufacturing method of a BiCMOS semiconductor device having MOS transistors of an LDD structure and bipolar transistors of a lateral structure, characterized in that the manufacturing method of a BiCMOS semiconductor device comprises a process of forming an insulating film over the entire surface after the formation of the LDD region and the gate electrode of said MOS transistor, a process of masking the top of the base region of said bipolar transistor with the insulating film formed over the entire surface, and

a process of performing an anisotropic etching process to the insulating film formed over the entire surface.

[Claim 6] A manufacturing method of a BiCMOS semiconductor device having MOS transistors of an LDD structure and bipolar transistors of a lateral structure, characterized in that the manufacturing method of a BiCMOS semiconductor device comprises a process of forming an insulating film over the entire surface after the formation of the LDD region and the gate electrode of said MOS transistor, a process of masking the top of the base region of said bipolar transistor with the insulating film formed over the entire surface, a process of simultaneously forming a sidewall in the side surface of the gate electrode of a MOS transistor by performing an anisotropic etching process to the insulating film formed over the entire surface and forming an insulating film that determines a base width on top of the base region of the bipolar transistor, and a process of simultaneously forming source and drain regions of a MOS transistor as well as emitter and collector regions of a bipolar transistor.

[Detailed Description of the Invention]

[0001]

[Industrial Application] The present invention relates to a BiCMOS semiconductor device and a manufacturing method therefor. In particular, it pertains to a BiCMOS semiconductor device having bipolar transistors and MOS transistors having an LDD structure, and a manufacturing method therefor.

[0002]

[Description of the Prior Art] FIG. 12-FIG. 17 show a manufacturing process of a BiCMOS semiconductor device having MOS transistors Tr_1 of an LDD structure and bipolar transistors Tr_3 of a [lateral] structure of a prior art example.

[0003] As shown in FIG. 12, an N^+ embedded layer 2 is formed in a PMOS section Tr_2 and NPN transistor part Tr_3 by carrying out an arsenic ion implantation at 40 keV and 5 E15 and thermal diffusion to P-type Si substrate 1. Then, an N-type Si epitaxial layer 3 of 1 Ω cm is formed at a thickness of 2.0 μ m.

[0004] P-wells 4p are formed by carrying out a boron ion implantation to the PMOS section Tr_2 and the isolation region at 320 keV and 7 E12, and N-wells 4n are formed by carrying out a phosphorus ion implantation to the NMOS section Tr_1 at 180 keV and 8 E11.

[0005] An SiO_2 film 5 having a thickness of 800 nm is formed in the isolation region of the Si epitaxial layers 3 by the usual LOCOS technique. A gate oxide film 6 having a thickness of 20 nm is formed in the active region.

[0006] Next, as shown in FIG. 13, an N^+ sinker region 8 of a collector electrode extraction is formed by carrying out a phosphorus ion implantation to NPN transistor part Tr_3 at 50 keV and 5 E15. After the gate electrode 7 is formed with a poly Si film doped with phosphorus, a phosphorus ion implantation is carried

out to NMOS section Tr₁ at 25 keV and 5 E13 to form a low-concentration N⁺ drain region 9.

[0007] As shown in FIG. 14, a 300-nm SiO₂ film 12 is formed over the entire surface by CVD. This SiO₂ film is used to form LDD sidewalls.

[0008] As shown in FIG. 15, the sidewalls 10 are formed in the side surfaces of the gate electrodes 7 of MOS transistor parts Tr₁ and Tr₂ by performing an anisotropic etching process to the entire surface.

[0009] As shown in FIG. 16, a resist pattern 31 that opens the base region of NPN transistor part Tr₃ is formed, and a base region 32 of NPN transistor part Tr₃ is formed by carrying out a boron ion implantation at 35 keV and 1 E14.

[0010] As shown in FIG. 17, an arsenic ion implantation is carried out at 70 keV and 7 E15 to the source and drain regions 11 of NMOS section Tr₁ as well as the emitter 11e and the collector 11c of the NPN transistor part Tr₃. Next, a boron ion implantation is carried out at 25 keV and 1 E15 to the source and drain regions 14 of PMOS section Tr₂ and the base extraction region 14b of NPN transistor part Tr₃.

[0011] Thereafter, a thick interlayer dielectric film consisting of BPSG, etc. is formed over the entire surface, and a contact hole is formed. A BiCMOS semiconductor device is formed by smoothing by heat treatment and forming an electrode (not shown in the drawing).

[0012] However, the conventional BiCMOS semiconductor device has the following problems.

[0013] When an anisotropic etching process is performed over the entire surface to form LDD sidewalls 10 as shown in FIG. 18, the surface of the base region 32 of NPN transistor part Tr₃ is exposed to over-etching. At this point, the surface of the Si-substrate 1 is exposed, causing an etching damage. Thereby, problems such as increase in the leakage current occur.

[0014] As shown in FIG. 16, there are the following problems since a base ion implantation is performed with a resist mask using the resist pattern 31.

[0015] Namely, there are the following problems:

① Increase of variations in Tr characteristics due to dose error by the outgas from the resist at the time of ion implantation

[0016] ② Increase in the leakage current by the knock-on of contaminants to the Si substrate by the plasma at the time of resist removal.

[0017] FIGS. 19-24 show a BiCMOS semiconductor device having MOS transistors of an LDD structure and bipolar transistors of a lateral structure of another prior art example.

[0018] As shown in FIG. 19, N⁺ embedded layers 2 are formed in the LPNP Tr section and PMOS section by

carrying out an arsenic ion implantation at 40 keV and 5 E15 and thermal diffusion to a P-type Si substrate 1. Then, an N-type Si epitaxial layer 3 of 1 Ω cm is formed at a thickness of 2.0 μm.

[0019] P-wells 4p are formed by carrying out a boron ion implantation to PMOS section Tr₂ and an isolation region at 320 keV and 7 E12, and N-wells 4n are formed by carrying out a phosphorus ion implantation to NMOS section Tr₁ and LPNP transistor part Tr₃ at 180 keV and 8 E11.

[0020] SiO₂ films 5 of 800 nm thickness are formed in the isolation region of the Si epitaxial layers 3 by the usual LOCOS technique. Gate oxide films 6 of 20 nm thickness are formed in the active region.

[0021] As shown in FIG. 20, an N⁺ sinker region 8 of base electrode extraction is formed by carrying out a phosphorus ion implantation to LPNP transistor part Tr₃ at 50 keV and 5 E15. After the gate electrodes 7 are formed with a poly Si film doped with phosphorus, a phosphorus ion implantation is carried out to NMOS section Tr₁ at 25 keV and 5E13 to form a low-concentration N⁺ drain region 9.

[0022] As shown in FIG. 21, a 300-nm SiO₂ film 12 is formed over the entire surface by CVD. This SiO₂ film 12 is used to form LDD sidewalls.

[0023] As shown in FIG. 22, sidewalls 10 are formed in the side surfaces of the gate electrodes 7 of MOS transistor parts Tr₁ and Tr₂ by performing an anisotropic etching process over the entire surface. Then, source and drain regions 11 are formed by carrying out an arsenic ion implantation to NMOS section Tr₁ at 70 keV and 7 E15.

[0024] As shown in FIG. 23, the source and drain regions 14 of PMOS section Tr₂, as well as the emitter 14e and the collector region 14c of LPNP transistor part Tr₃ are formed by forming a mask 23 that opens the emitter and collector region of PMOS section Tr₂ and LPNP transistor part Tr₃ and carrying out a boron ion implantation at 25 keV and 1 E15.

[0025] As shown in FIG. 24, a thick interlayer dielectric film 19 consisting of BPSG, etc. is formed over the entire surface, and a contact hole is formed. A BiCMOS semiconductor device is formed by smoothing by heat treatment and forming an electrode.

[0026] Said conventional BiCMOS semiconductor technology also had the following problems.

[0027] When performing an anisotropic etching process over the entire surface to form LDD sidewalls as shown in FIG. 25, the surface of the base region 22 of LPNP transistor Tr₂ is exposed to over-etching. At this time, the Si-substrate surface is exposed, causing an etching damage. Thereby, problems occur, such as deterioration of Hfe by the increase in recombination current of the base and an increase in the leakage current between an

emitter and a collector.

[0028]

[Objects of the Invention] The present invention solves the problems mentioned above and aims to provide a BiCMOS semiconductor device that solved the inconvenience as the result of over-etching, and a manufacturing method for the same regarding the technology pertaining to the BiCMOS semiconductor device having bipolar transistors and MOS transistors having an LDD structure.

[0029]

[Means for Solving the Problem] The invention of Claim 1 of this patent application is a BiCMOS semiconductor device having bipolar transistors and MOS transistors having an LDD structure, characterized in that a conductive film identical to the gate electrode of said MOS transistor is formed around the base region of said bipolar transistor, and said conductive film is electrically isolated from the base region, thereby achieving said objective.

[0030] The invention of Claim 2 of this patent application is a manufacturing method of a BiCMOS semiconductor device having bipolar transistors and MOS transistors of an LDD structure, characterized in that the manufacturing method of a BiCMOS semiconductor device comprises a process of forming an insulating film over the entire surface after the formation of the LDD region and the gate electrode of said MOS transistor, a process of forming an opening in an insulating film of the base region of the bipolar transistor and carrying out an ion implantation to form the base region, a process of covering said opening by a resist, and a process of performing an anisotropic etching process to said insulating film, thereby achieving said objective.

[0031] The invention of Claim 3 of this application is a manufacturing method of a BiCMOS semiconductor device having bipolar transistors and MOS transistors of an LDD structure, characterized in that the manufacturing method of a BiCMOS semiconductor device comprises a process of forming a dummy pattern around the base region of the bipolar transistor simultaneously with the gate electrode of the MOS transistor, a process of forming an insulating film over the entire surface after the formation of the LDD region of the MOS transistor, a process of opening the insulating film of the base region of the bipolar transistor on said dummy pattern and carrying out an ion implantation to form the base region, a process of forming a resist pattern that covers the base region on the inside of said opening and the top of the dummy pattern, and a process of performing an anisotropic etching process to said insulating film, thereby achieving said objective.

[0032] The invention of Claim 4 of this patent application is a BiCMOS semiconductor device having MOS transistors of an LDD structure and bipolar transistors of a lateral structure, characterized in that the BiCMOS semiconductor device has a substrate surface of the base region of the bipolar transistor covered with an insulating film identical to the LDD sidewall of the MOS transistor, thereby achieving said objective.

[0033] The invention of Claim 5 of this patent application is a manufacturing method of a BiCMOS semiconductor device having MOS transistors of an LDD structure and bipolar transistors of a lateral structure, characterized in that the manufacturing method of a BiCMOS semiconductor device comprises a process of forming an insulating film over the entire surface after the formation of the LDD region and the gate electrode of said MOS transistor, a process of masking the top of the base region of said bipolar transistor with the insulating film formed over the entire surface, and a process of performing an anisotropic etching process to the insulating film formed over the entire surface, thereby achieving said objective.

[0034] The invention of Claim 6 of this patent application is a manufacturing method of a BiCMOS semiconductor device having MOS transistors of an LDD structure and bipolar transistors of a lateral structure, characterized in that the manufacturing method of a BiCMOS semiconductor device comprises a process of forming an insulating film over the entire surface after the formation of the LDD region and the gate electrode of said MOS transistor, a process of masking the top of the base region of said bipolar transistor with the insulating film formed over the entire surface, a process of simultaneously forming a sidewall in a gate electrode side surface of a MOS transistor by performing an anisotropic etching process to the insulating film formed over the entire surface and forming an insulating film that determines a base width on the base region of the bipolar transistor, and a process of simultaneously forming source and drain regions of a MOS transistor as well as emitter and collector regions of a bipolar transistor, thereby achieving said objective.

[0035]

[Operation] The invention of Claims 1-3 of this application can solve the problems described above by opening the top of the base region of the NPN transistor part [that is covered with] the insulating film that forms the LDD sidewalls and subjecting the insulating film as a mask to a base ion implantation. When performing an anisotropic etching process to form LDD sidewalls, the base region surface can be prevented from being exposed to over-etching by covering the base region surface of the NPN transistor part with a resist.

[0036] According to this invention, since the base region of the NPN transistor part is not exposed to over-etching when performing the anisotropic etching process over the entire surface to form the LDD sidewalls, etching damage does not occur on the Si-substrate surface, so there are no problems such as an increase in the leakage current and others. It is also possible to prevent an increase of variations in transistor characteristics and increase of the leakage current by performing a base ion implantation to the insulating film used as a mask.

[0037] According to the invention of the present invention claims 4-6, the base region surface can be prevented from being exposed to over-etching by using the insulating film that forms the LDD sidewalls to mask the top of the base region of the LPNP Tr section.

[0038] It is possible to minimize additional process by using the insulating film mask as the mask of the ion implantation that forms emitter and collector regions.

[0039] Since according to this invention the base region surface of the LPNP transistor part is not exposed to over-etching when an anisotropic etching process is performed over the entire surface to form LDD sidewalls, etching damage does not occur to the Si-substrate surface, so problems, such as deterioration of Hfe and an increase in the leakage current, are solved.

[0040]

[Examples of Embodiments] The examples of embodiments of the present invention are described below with reference to the drawings. And it shall be readily understood that the present invention is not limited to the examples of the embodiments.

[0041] This example of embodiment is described with reference to FIG. 1 showing a completed configuration and FIG. 2-FIG. 7 showing a manufacturing process. In a BiCMOS semiconductor device having a MOS transistor Tr_1 of an LDD structure, and a bipolar transistor Tr_3 as shown in FIG. 1, a conductive film 7d identical to the gate electrode 7 of the MOS transistor is formed around the base region 14b of the bipolar transistor Tr_3 , and this conductive film 7d is electrically isolated from the base region by an isolation region 5.

[0042] Next, the manufacturing process of this BiCMOS semiconductor device is described. As shown in FIG. 2, N^+ embedded layers 2 are formed in PMOS section Tr_2 and NPN transistor part Tr_3 by carrying out an arsenic ion implantation at 40 keV and 5 E15 and thermal diffusion to the P-type Si substrate 1. N-type Si epitaxial layers 3 of $1\ \Omega\text{ cm}$ are then formed at a thickness of 2.0 μm . P-wells 4p are formed by carrying out a boron ion implantation to PMOS section Tr_2 and isolation region at 320 keV and 7 E12, and N-wells 4n are formed by carrying out a phosphorus ion implantation to NMOS section Tr_1 at 180 keV and 8 E11.

[0043] An SiO_2 film 5 having a thickness of 800 nm is formed in the isolation region of the Si epitaxial layers 3 by the usual LOCOS technique. A gate oxide film 6 having a thickness of 20 nm is formed in an active region.

[0044] As shown in FIG. 3, an N^+ sinker region 8 of collector electrode extraction is formed by carrying out a phosphorus ion implantation to NPN transistor part Tr_3 at 50 keV and 5 E15. A gate electrode 7 and a dummy pattern 7d are formed with the poly Si film doped with phosphorus. The dummy pattern 7d is formed so as to surround the base region. Then, the phosphorus ion implantation is carried out to NMOS section Tr_1 at 25 keV and 5 E13 to form a low-concentration N^+ drain region 9.

[0045] As shown in FIG. 4, a resist pattern 33 that opens the base region of NPN transistor part Tr_3 is formed after forming the SiO_2 film 12 over the entire surface. At this time, the edge of the opening is made until it reaches the dummy pattern 7d.

[0046] As shown in FIG. 5, the insulating film of the base region is removed by wet etching. At this time, the dummy pattern 7d serves as an etching stopper. After forming an oxide film 34 to prevent channeling, a base

region 35 of NPN transistor part Tr_3 is formed by carrying out a boron ion implantation at 35 keV and 1 E14.

[0047] At this time, since the base ion implantation Ib is performed using the insulating film 5 as a mask, there are no problems such as dose error by the outgas from a resist, plasma contaminant knock-on, or the like to the Si substrate 1 at the time of resist removal, etc.

[0048] As shown in FIG. 6, a resist pattern 36 that covers the base region is formed. This pattern is made to be inside the opening and come on top of the dummy pattern 7d.

[0049] As shown in FIG. 7, sidewalls 10 and 37 are formed, respectively, on the side surfaces of the gate electrodes 7 of the MOS transistor and the side surfaces of the dummy pattern 7d by performing an anisotropic etching process over the entire surface. The base region surface is not exposed to over-etching since the top of the base region of NPN transistor part Tr_3 is covered with the resist pattern.

[0050] The case where there is no dummy pattern 7d is considered here. When the resist pattern 36 was formed slightly outside the opening due to mask alignment shift, the SiO_2 film 12 of the overlap part remains thin. When the resist pattern 36 was formed slightly inside the opening due to mask alignment shift, the SiO_2 film 5 of the field is shaved at the time of anisotropic etching. Forming the dummy pattern 7d can prevent said problem caused by mask alignment shift.

[0051] As shown in FIG. 1, an arsenic ion implantation is carried out at 70 keV and 7 E15 to the source and drain regions 11 of NMOS section Tr_1 as well as the emitter 11e and the collector region 11c of NPN transistor part. Next, a boron ion implantation is carried out at 25 keV and 1 E15 to the source and drain regions 14 of the PMOS section, as well as the base extraction region 14b of NPN transistor part.

[0052] Then, a thick interlayer dielectric film consisting of BPSG or the like is formed over the entire surface, and a contact hole is formed. A BiCMOS semiconductor device is completed by performing smoothing by heat treatment and forming an electrode (not shown in the drawing).

[0053] As is clear from the description above, according to this example of embodiment, when an anisotropic etching process is performed extensively to form LDD sidewalls, the base region surface of the NPN transistor part is not exposed to over-etching. Therefore, there are no problems such as an increase in the leakage current, because etching damage does not occur on the Si-substrate surface.

[0054] There will be no contaminant knock-on to the Si substrate and outgas from the resist by performing a base ion implantation using an insulating film as a mask, and it is possible to prevent the increase of variations in transistor characteristics and increase of the leakage current.

[0055] Example of Embodiment 2

This example of embodiment is described with reference to FIG. 8-FIG. 11.

[0056] First, the processes shown in FIG. 19-FIG. 21 similar to that of the conventional example are performed.

[0057] As shown in FIG. 21, after the SiO₂ film 12 is formed over the entire surface, a resist pattern 23 that masks the top of the base region of LPNP transistor part Tr₃ as shown in FIG. 9 is formed.

[0058] As shown in FIG. 10, sidewalls 10 are formed on the side surfaces of the gate electrodes 7 of the MOS transistor by performing an anisotropic etching process extensively. At this time, the SiO₂ film 26 remains on top of the base region of LPNP transistor part Tr₃ from the resist pattern 23. For this reason, the surface of the base region 22 is not exposed to over-etching. As compared to the conventional example, only a process of forming this resist pattern is added.

[0059] Source and drain regions 11 are then formed by carrying out an arsenic ion implantation to the NMOS section at 70 keV and 7 E15.

[0060] The source and drain regions 14 of PMOS section Tr₂ as well as the emitter 14e and the collector region 14c of the LPNP transistor part Tr₃ are formed by forming a mask 25 that opens except for the base electrode extraction of PMOS section Tr₂ and LPNP transistor part Tr₃ and carrying out a boron ion implantation at 25 keV and 1 E15, as shown in FIG. 11.

[0061] As shown in FIG. 8, a thick interlayer dielectric film 19 consisting of BPSG or the like is formed over the entire surface, and a contact hole is formed. A BiCMOS semiconductor device is formed by smoothing by heat treatment and forming an electrode.

[0062] As is clear from the description above, according to this example of embodiment, when an anisotropic etching process is performed extensively to form LDD sidewalls, the base region surface of the LPNP transistor part is not exposed to over-etching. Therefore, an etching damage does not occur on the Si-substrate surface, and problems such as deterioration of Hfe and an increase in the leakage current do not occur. It is possible to realize a highly efficient and high quality LPNP transistor at low cost by minimum additional process.

[0063]

[Effect of the Invention] As described above, the present invention provides a BiCMOS semiconductor device that solved the inconvenience as the result of over-etching and a manufacturing method for the same regarding the technology relating to the BiCMOS semiconductor device having bipolar transistors and MOS transistors having an LDD structure.

[Brief Description of the Drawings]

[FIG. 1] is a cross-sectional view showing the structure of the semiconductor device of Embodiment 1.

[FIG. 2] is a cross-sectional view showing the manufacturing process of the semiconductor device of Embodiment 1 in order (1).

[FIG. 3] is a cross-sectional view showing the manufacturing process of the semiconductor device of Embodiment 1 in order (2).

[FIG. 4] is a cross-sectional view showing the manufacturing process of the semiconductor device of Embodiment 1 in order (3).

[FIG. 5] is a cross-sectional view showing the manufacturing process of the semiconductor device of Embodiment 1 in order (4).

[FIG. 6] is a cross-sectional view showing the manufacturing process of the semiconductor device of Embodiment 1 in order (5).

[FIG. 7] is a cross-sectional view showing the manufacturing process of the semiconductor device of Embodiment 1 in order (6).

[FIG. 8] is a cross-sectional view showing the structure of the semiconductor device of Embodiment 2.

[FIG. 9] is a cross-sectional view showing the manufacturing process of the semiconductor device of Embodiment 2 in order (1).

[FIG. 10] is a cross-sectional view showing the manufacturing process of the semiconductor device of Embodiment 2 in order (2).

[FIG. 11] is a cross-sectional view showing the manufacturing process of the semiconductor device of Embodiment 2 in order (3).

[FIG. 12] is a figure showing the process of the conventional example 1 (1).

[FIG. 13] is a figure showing the process of the conventional example 1 (2).

[FIG. 14] is a figure showing the process of the conventional example 1 (3).

[FIG. 15] is a figure showing the process of the conventional example 1 (4).

[FIG. 16] is a figure showing the process of the conventional example 1 (5).

[FIG. 17] is a figure showing the process of the conventional example 1 (6).

[FIG. 18] is a figure showing the problem of the conventional example 1.

[FIG. 19] is a figure showing the process of the conventional example 2 (1).

[FIG. 20] is a figure showing the process of the conventional example 2 (2).

[FIG. 21] is a figure showing the process of the conventional example 2 (3).

[FIG. 22] is a figure showing the process of the conventional example 2 (4).

[FIG. 23] is a figure showing the process of the conventional example 2 (5).

[FIG. 24] is a figure showing the process of the conventional example 2 (6).

[FIG. 25] is a figure showing the problem of the conventional example 2.

[Explanations of references]

Tr₁ MOS transistor

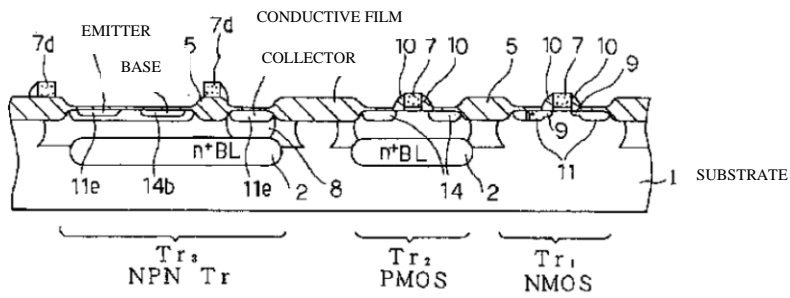
Tr₃ Bipolar transistor

7 Gate electrode

7 d Conductive film

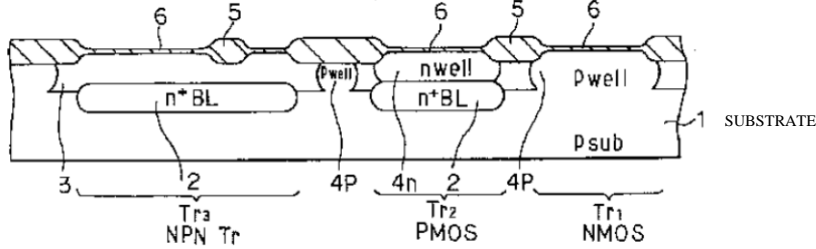
[FIG. 1]

The semiconductor device of Embodiment 1



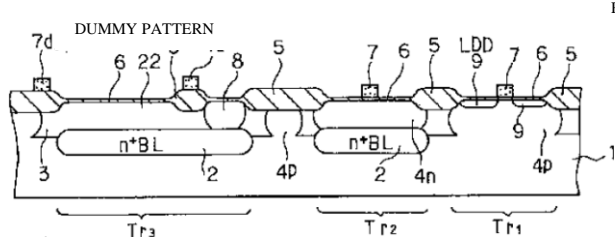
[FIG. 2]

Process (1) of Embodiment 1



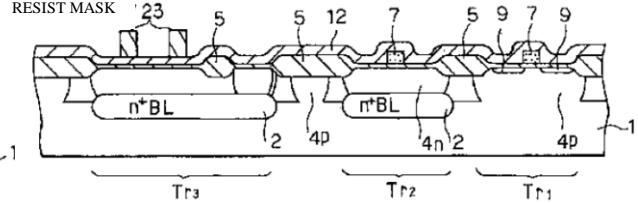
[FIG. 3]

Process (2) of Embodiment 1



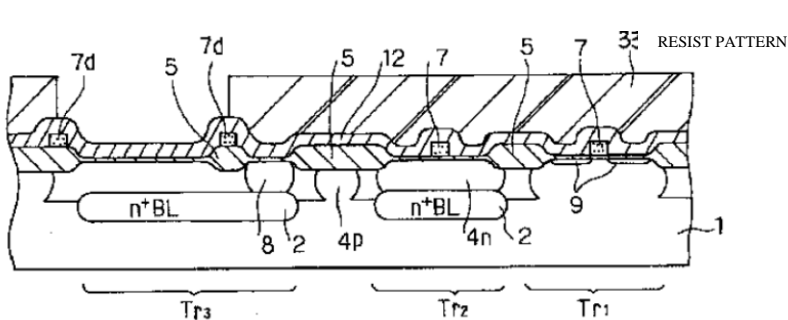
[FIG. 9]

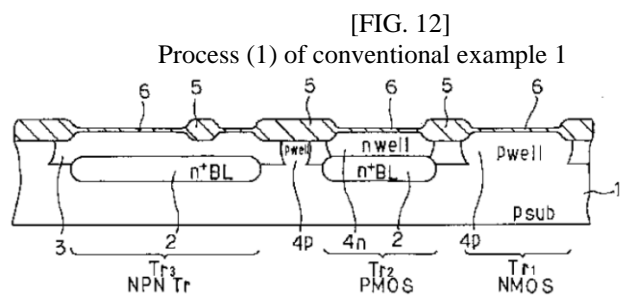
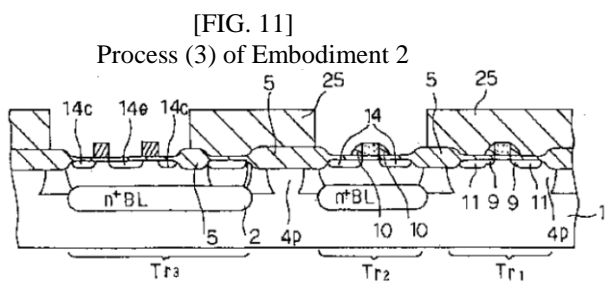
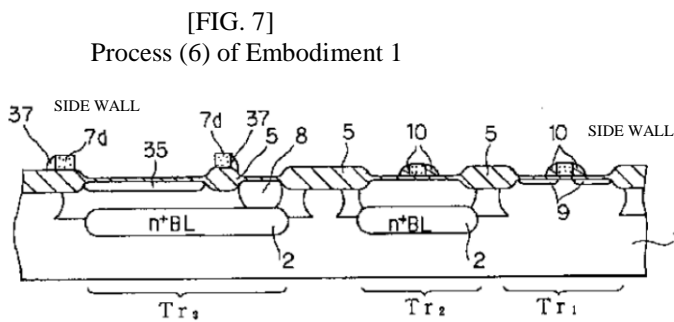
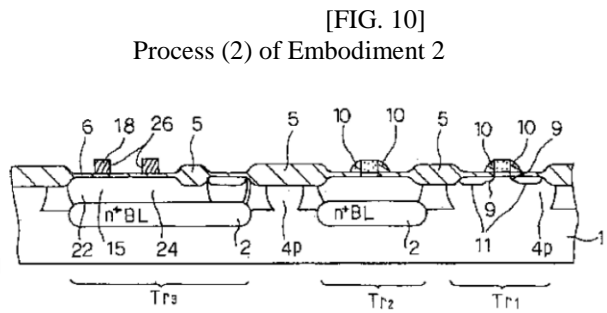
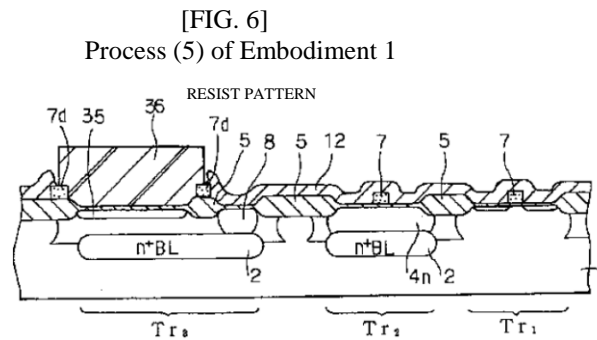
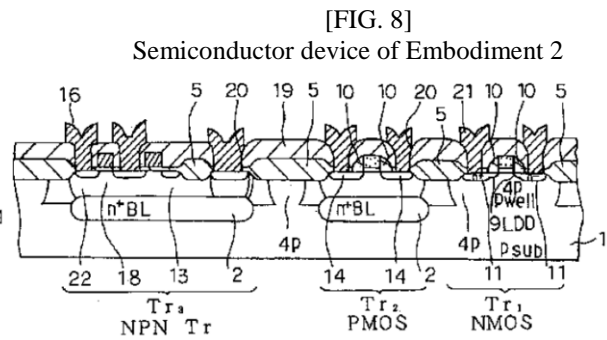
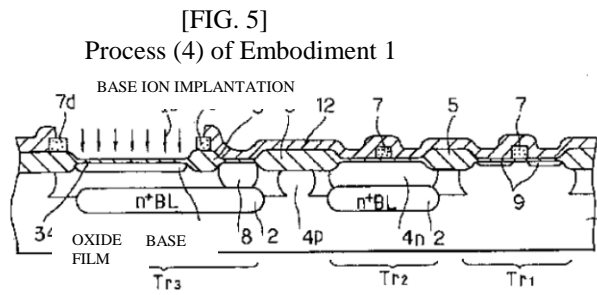
Process (1) of Embodiment 2



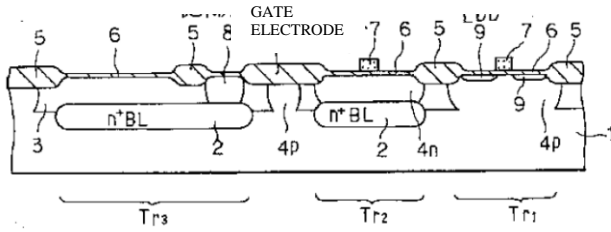
[FIG. 4]

Process (3) of Embodiment 1

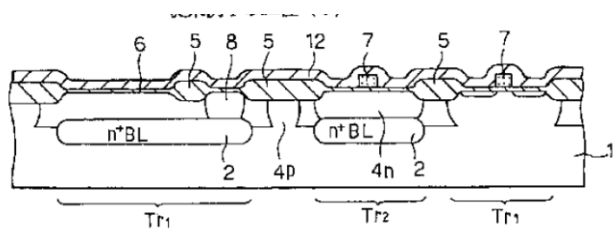




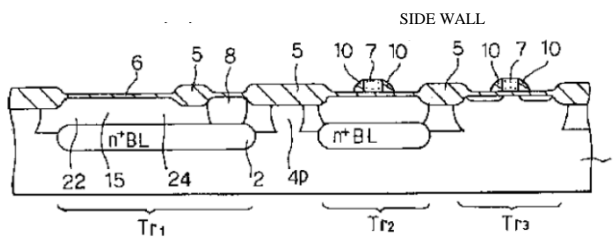
[FIG. 13]
Process (2) of conventional example 1



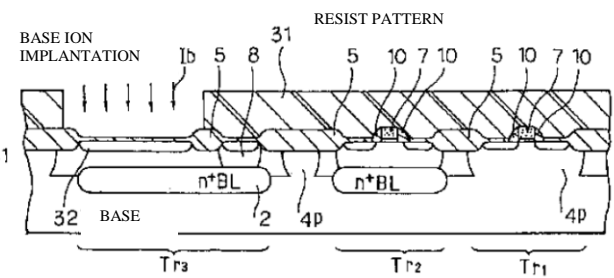
[FIG. 14]
Process (3) of conventional example 1



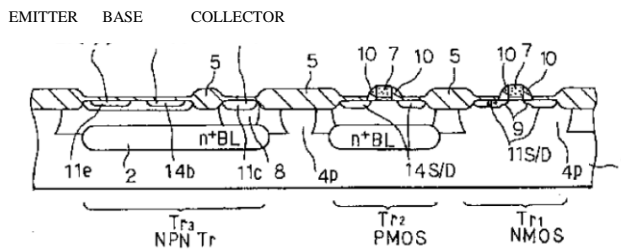
[FIG. 15]
Process (4) of conventional example 1



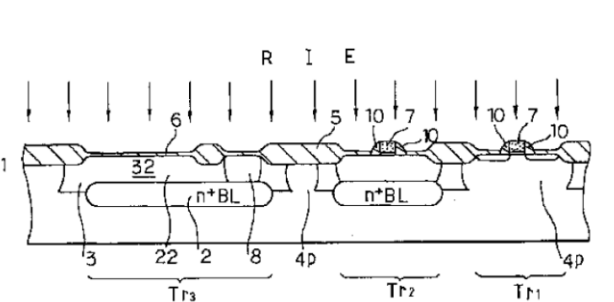
[FIG. 16]
Process (5) of conventional example 1



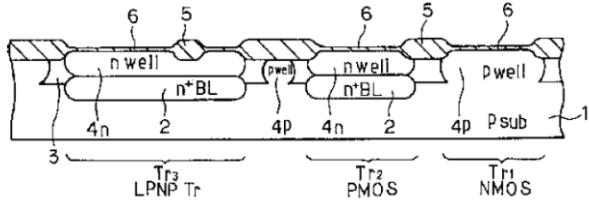
[FIG. 17]
Process (6) of conventional example 1



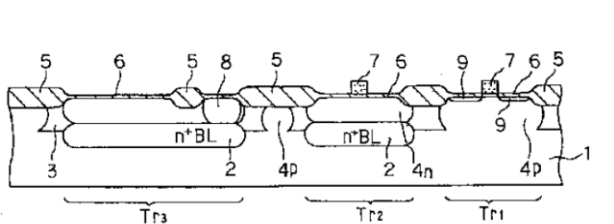
[FIG. 18]
Explanation drawing of problem of conventional example 1



[FIG. 19]
Process (1) of conventional example 2

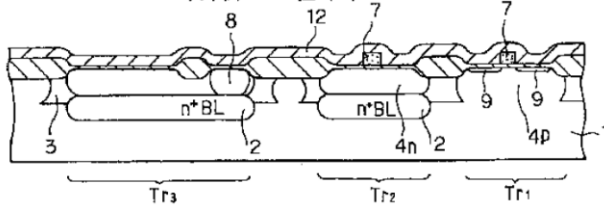


[FIG. 20]
Process (2) of conventional example 2



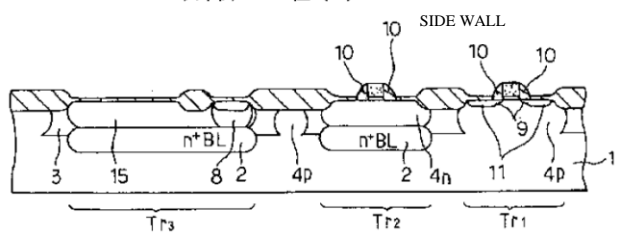
[FIG. 21]

Process (3) of conventional example 2



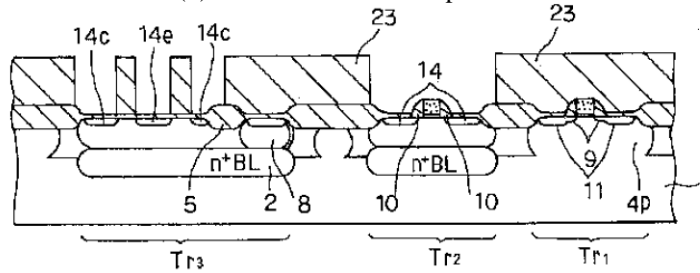
[FIG. 22]

Process (4) of conventional example 2



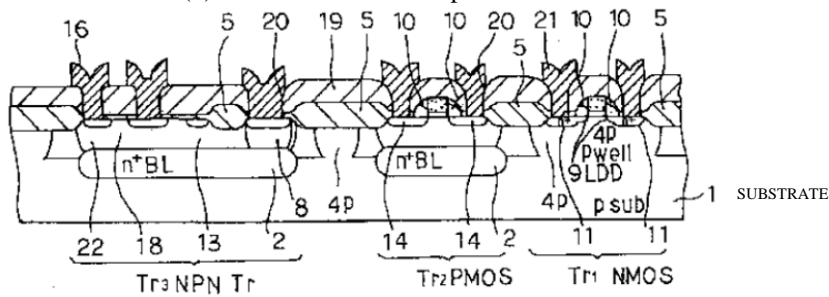
[FIG. 23]

Process (5) of conventional example 2



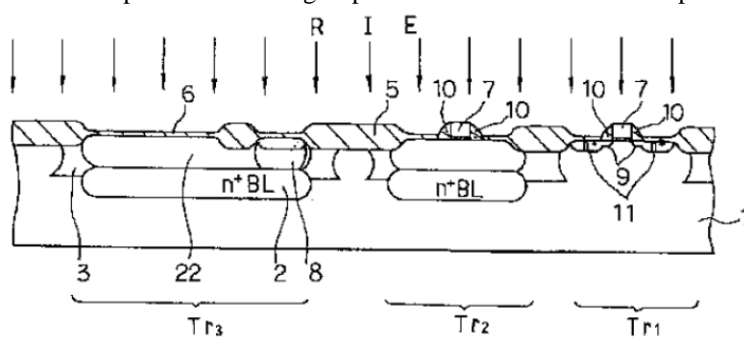
[FIG. 24]

Process (6) of conventional example 2



[FIG. 25]

Explanation drawing of problem of conventional example 2





TRANSPERFECT

City of New York, State of New York, County of New York

I, Caroline Lee, hereby certify that the following document is, to the best of my knowledge and belief, a true and accurate translation from Japanese to English

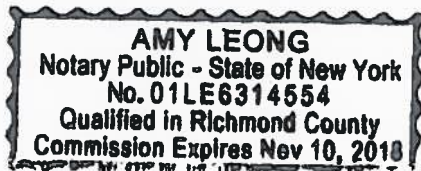
“JP Pub. No. H7-86158”

Caroline Lee

Sworn to before me this

Tuesday, April 28, 2015

Signature, Notary Public



Stamp, Notary Public

LANGUAGE AND TECHNOLOGY SOLUTIONS FOR GLOBAL BUSINESS

THREE PARK AVENUE, 39TH FLOOR, NEW YORK, NY 10016 | T 212.689.5555 | F 212.689.1059 | WWW.TRANSPERFECT.COM

OFFICES IN 90 CITIES WORLDWIDE

NVIDIA Corp.
Exhibit 1109
Page 011

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-86158

(43)公開日 平成7年(1995)3月31日

(51)Int.Cl.⁶

H 0 1 L 21/06

識別記号

庁内整理番号

F I

技術表示箇所

7210-4M

H 0 1 L 27/ 06

審査請求 未請求 請求項の数6 F D (全 10 頁)

(21)出願番号 特願平5-189021

(22)出願日 平成5年(1993)6月30日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 安茂 博章

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 大内 紀和

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 高月 亨

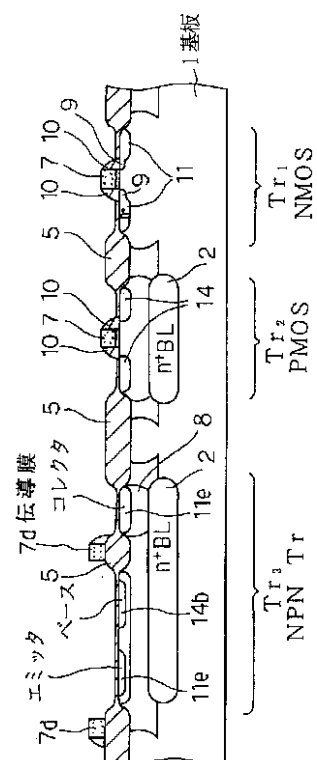
(54)【発明の名称】 B i C M O S 半 導 体 装 置 及 び そ の 製 造 方 法

(57)【要約】 (修正有)

【目的】 L D D 構造のM O S トランジスタとバイポーラトランジスタを有するB i C M O S 半 導 体 装 置 に関する技術につき、オーバーエッチに伴う不都合を解決した技術を提供する。

【構成】 L D D 構造のM O S トランジスタ T_{r1} とバイポーラトランジスタ T_{r3} を有するB i C M O S 半 導 体 装 置 において、M O S トランジスタのゲート電極7と同一の伝導膜7dが、上記バイポーラトランジスタ T_{r3} のベース領域14bの周囲に形成され、かつこの伝導膜7dが、ベース領域とは分離領域5等により電気的に分離されているB i C M O S 半 導 体 装 置。

実施例1の半導体装置



【特許請求の範囲】

【請求項1】LDD構造のMOSトランジスタとバイポーラトランジスタを有するBiCMOS半導体装置において、

上記MOSトランジスタのゲート電極と同一の伝導膜が、上記バイポーラトランジスタのベース領域の周囲に形成され、かつ上記伝導膜がベース領域とは電気的に分離されていることを特徴とするBiCMOS半導体装置。

【請求項2】LDD構造のMOSトランジスタとバイポーラトランジスタを有するBiCMOS半導体装置の製造方法において、

上記のMOSトランジスタのゲート電極、LDD領域形成後、全面に絶縁膜を形成する工程と、

上記バイポーラトランジスタのベース領域の絶縁膜に開口部を形成し、ベース領域形成のイオン注入をする工程と、

上記開口部をレジストで覆う工程と、

上記絶縁膜に対して異方性エッチング処理を施す工程とを有することを特徴とするBiCMOS半導体装置の製造方法。

【請求項3】LDD構造のMOSトランジスタとバイポーラトランジスタを有するBiCMOS半導体装置の製造方法において、

上記のバイポーラトランジスタのベース領域の周囲にダミーパターンを上記のMOSトランジスタのゲート電極と同時に形成する工程と、

MOSトランジスタのLDD領域形成後、全面に絶縁膜を形成する工程と、

バイポーラトランジスタのベース領域の絶縁膜を上記ダミーパターン上で開口し、ベース領域形成のイオン注入をする工程と、

ベース領域を覆うレジストパターンを、上記開口部の内側かつダミーパターン上に形成する工程と、

上記絶縁膜に対して異方性エッチング処理を施す工程とを有することを特徴とするBiCMOS半導体装置の製造方法。

【請求項4】LDD構造のMOSトランジスタとラテラル構造のバイポーラトランジスタを有するBiCMOS半導体装置において、

上記MOSトランジスタのLDDサイドウォールと同一の絶縁膜で、上記バイポーラトランジスタのベース領域の基板表面が被覆されていることを特徴とするBiCMOS半導体装置。

【請求項5】LDD構造のMOSトランジスタとラテラル構造のバイポーラトランジスタを有するBiCMOS半導体装置の製造方法において、

上記のMOSトランジスタのゲート電極、LDD領域形成後、全面的に絶縁膜を形成する工程と、

上記全面的に形成した絶縁膜の上記バイポーラトランジ

スタのベース領域上をマスクする工程と、

上記全面的に形成した絶縁膜に対して異方性エッチング処理を施す工程とを有することを特徴とするBiCMOS半導体装置の製造方法。

【請求項6】LDD構造のMOSトランジスタとラテラル構造のバイポーラトランジスタを有するBiCMOS半導体装置の製造方法において、

上記のMOSトランジスタのゲート電極、LDD領域形成後、全面的に絶縁膜を形成する工程と、

上記全面的に形成した絶縁膜の上記バイポーラトランジスタのベース領域上をマスクする工程と、

上記全面的に形成した絶縁膜に対して異方性エッチング処理を施すことによりMOSトランジスタのゲート電極側面にサイドウォールを、バイポーラトランジスタのベース領域上にベース幅を決定する絶縁膜を同時に形成する工程と、

MOSトランジスタのソース及びドレイン領域と、バイポーラトランジスタのエミッタ及びコレクタ領域とを同時に形成する工程と、を有することを特徴とするBiCMOS半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、BiCMOS半導体装置及びその製造方法に関する。特に、LDD構造のMOSトランジスタとバイポーラトランジスタを有するBiCMOS半導体装置、及びその製造方法に関する。

【0002】

【従来の技術及びその問題点】図12～図17に従来技術の一例のLDD構造のMOSトランジスタ Tr_1 とラテラル構造のバイポーラトランジスタ Tr_3 を有するBiCMOS半導体装置の製造工程を示す。

【0003】図12に示すように、P型のSi基板1にヒ素を40keV、5E15でイオン注入し、熱拡散することにより、 N^+ 埋め込み層2を、PMOS部 Tr_2 とNPNトランジスタ部 Tr_3 に形成する。その後、N型1cmのSiエピタキシャル層3を2.0μm厚で形成する。

【0004】PMOS部 Tr_2 及びアイソレーション領域にホウ素を320keV、7E12でイオン注入することにより、Pウェル4pを形成し、NMOS部 Tr_1 にリンを180keV、8E11でイオン注入することにより、Nウェル4nを形成する。

【0005】Siエピタキシャル層3のうちの素子分離領域に、通常のLOCOS法によって800nm厚の SiO_2 膜5を形成する。アクティブ領域に20nm厚のゲート酸化膜6を形成する。

【0006】次に、図13に示すように、NPNトランジスタ部 Tr_3 にリンを50keV、5E15でイオン注入することにより、コレクター電極取り出しの N^+ シンカー領域8を形成する。リンをドーピングしたPol

y Si膜によりゲート電極7を形成した後、低濃度の N^+ ドレイン領域9形成のため、NMOS部 Tr_1 にリンを25keV、5E13でイオン注入する。

【0007】図14に示すように、CVDにより300nmの SiO_2 膜12を全面的に形成する。この SiO_2 膜は、LDDサイドウォールの形成に用いられる。

【0008】図15に示すように、全面的に異方性エッチング処理を施すことにより、MOSトランジスタ部 Tr_1 、 Tr_2 のゲート電極7側面にサイドウォール10を形成する。

【0009】図16に示すように、NPNトランジスタ部 Tr_3 のベース領域を開口したレジストパターン31を形成し、ホウ素を35keV、1E14でイオン注入することにより、NPNトランジスタ部 Tr_3 のベース領域32を形成する。

【0010】図17に示すように、NMOS部 Tr_1 のソース及びドレイン領域11、NPNトランジスタ部 Tr_3 のエミッタ11e及びコレクタ11cにヒ素を70keV、7E15イオン注入する。次に、PMOS部 Tr_2 のソース及びドレイン領域14、NPNトランジスタ部 Tr_3 のベース取り出し領域14bにホウ素を25keV、1E15でイオン注入する。

【0011】その後、全面にBPSG等からなる厚い層間絶縁膜を形成し、コンタクトホールを形成する。熱処理を施すことにより平滑化を行い、電極を形成することで、BiCMOS半導体装置が形成される(図示せず)。

【0012】ところで、従来のBiCMOS半導体装置には、以下の問題があった。

【0013】図18に示すように、LDDサイドウォール10を形成するために全面的に異方性エッチング処理を施す際、NPNトランジスタ部 Tr_3 のベース領域32の表面が、オーバーエッチに晒される。この時、Si基板1表面が露出し、エッチングダメージが生じる。これにより、リーク電流の増大等の問題が発生する。

【0014】また図16に示したように、ベースのイオン注入をレジストパターン31を用いたレジストマスクで行うため、以下の問題がある。

【0015】即ち、

① イオン注入時のレジストからのアウトガスによるドーゼエラーによる Tr 特性のばらつきの増大

【0016】② レジスト剥離時のプラズマによるコンタミネーションのSi基板へのノッキングによるリーク電流の増大という問題がある。

【0017】また、図19～24に他の従来技術の一例のLDD構造のMOSトランジスタとラテラル構造のバイポーラトランジスタを有するBiCMOS半導体装置を示す。

【0018】図19に示すように、P型のSi基板1にヒ素40keV、5E15でイオン注入し、熱拡散する

ことにより、 N^+ 埋め込み層2を、PMOS部LPNP Tr 部に形成する。その後、N型1cmのSiエピタキシャル層3を2.0 μ m厚形成する。

【0019】PMOS部 Tr_2 及びアイソレーション領域にホウ素を320keV、7E12でイオン注入することにより、Pウェル4pを形成し、NMOS部 Tr_1 及びLPNPトランジスタ部 Tr_3 にリンを180keV、8E11でイオン注入することにより、Nウェル4nを形成する。

10 【0020】Siエピタキシャル層3のうちの素子分離領域に、通常LOCOS法によって800nm厚の SiO_2 膜5を形成する。アクティブ領域に20nm厚のゲート酸化膜6を形成する。

【0021】図20に示すように、LPNPトランジスタ部 Tr_3 にリンを50keV、5E15でイオン注入することにより、ベース電極取り出しの N^+ シンカー領域8を形成する。リンをドーピングしたPoly Si膜によりゲート電極7を形成した後、低濃度の N^+ ドレイン領域9形成のため、NMOS部 Tr_1 にリンを25keV、5E13イオン注入する。

20 【0022】図21に示すように、CVDにより300nmの SiO_2 膜12を全面形成する。この SiO_2 膜12は、LDDサイドウォールの形成に用いられる。

【0023】図22に示すように、全面に異方性エッチング処理を施すことにより、MOSトランジスタ部 Tr_1 、 Tr_2 のゲート電極7側面にサイドウォール10を形成する。その後、NMOS部 Tr_1 にヒ素を70keV、7E15イオン注入することにより、ソース及びドレイン領域11を形成する。

30 【0024】図23に示すように、PMOS部 Tr_2 とLPNPトランジスタ部 Tr_3 のエミッタ及びコレクタ領域を開口したマスク23を形成し、ホウ素を25keV、1E15でイオン注入することにより、PMOS部 Tr_2 のソース及びドレイン領域14、並びにLPNPトランジスタ部 Tr_3 のエミッタ14e及びコレクタ領域14cを形成する。

【0025】図24に示すように、全面にBPSG等からなる厚い層間絶縁膜19を形成し、コンタクトホールを形成する。熱処理を施すことにより平滑化を行い、電極を形成することで、BiCMOS半導体装置が形成される。

【0026】上記従来のBiCMOS半導体技術についても、以下の問題があった。

【0027】図25に示すように、LDDサイドウォールを形成するために全面的に異方性エッチング処理を施す際、LPNPトランジスタ Tr_2 のベース領域22表面が、オーバーエッチに晒される。この時、Si基板表面が露出し、エッチングダメージが生じる。これにより、ベースの再結合電流増加によるHfeの低下、エミッタとコレクタ間のリーク電流の増加等の問題が発生す

る。

【0028】

【発明の目的】本発明は上記問題点を解決して、LDD構造のMOSトランジスタとバイポーラトランジスタを有するBiCMOS半導体装置に関する技術につき、オーバーエッチに伴う不都合を解決したBiCMOS半導体装置及びその製造方法を提供することを目的とする。

【0029】

【問題点を解決するための手段】本出願の請求項1の発明は、LDD構造のMOSトランジスタとバイポーラトランジスタを有するBiCMOS半導体装置において、上記MOSトランジスタのゲート電極と同一の伝導膜が、上記バイポーラトランジスタのベース領域の周囲に形成され、かつ上記伝導膜がベース領域とは電気的に分離されていることを特徴とするBiCMOS半導体装置であって、これにより上記目的を達成するものである。

【0030】本出願の請求項2の発明は、LDD構造のMOSトランジスタとバイポーラトランジスタを有するBiCMOS半導体装置の製造方法において、上記のMOSトランジスタのゲート電極、LDD領域形成後、全面に絶縁膜を形成する工程と、上記バイポーラトランジスタのベース領域の絶縁膜に開口部を形成し、ベース領域形成のイオン注入をする工程と、上記開口部をレジストで覆う工程と、上記絶縁膜に対して異方性エッチング処理を施す工程とを有することを特徴とするBiCMOS半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0031】本出願の請求項3の発明は、LDD構造のMOSトランジスタとバイポーラトランジスタを有するBiCMOS半導体装置の製造方法において、上記のバイポーラトランジスタのベース領域の周囲にダミーパターンを上記のMOSトランジスタのゲート電極と同時に形成する工程と、MOSトランジスタのLDD領域形成後、全面に絶縁膜を形成する工程と、バイポーラトランジスタのベース領域の絶縁膜を上記ダミーパターン上で開口し、ベース領域形成のイオン注入をする工程と、ベース領域を覆うレジストパターンを、上記開口部の内側かつダミーパターン上に形成する工程と、上記絶縁膜に対して異方性エッチング処理を施す工程とを有することを特徴とするBiCMOS半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0032】本出願の請求項4の発明は、LDD構造のMOSトランジスタとラテラル構造のバイポーラトランジスタを有するBiCMOS半導体装置において、上記MOSトランジスタのLDDサイドウォールと同一の絶縁膜で、上記バイポーラトランジスタのベース領域の基板表面が被覆されていることを特徴とするBiCMOS半導体装置であって、これにより上記目的を達成するものである。

【0033】本出願の請求項5の発明は、LDD構造の

MOSトランジスタとラテラル構造のバイポーラトランジスタを有するBiCMOS半導体装置の製造方法において、上記のMOSトランジスタのゲート電極、LDD領域形成後、全面的に絶縁膜を形成する工程と、上記全面的に形成した絶縁膜の上記バイポーラトランジスタのベース領域上をマスクする工程と、上記全面的に形成した絶縁膜に対して異方性エッチング処理を施す工程とを有することを特徴とするBiCMOS半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0034】本出願の請求項6の発明は、LDD構造のMOSトランジスタとラテラル構造のバイポーラトランジスタを有するBiCMOS半導体装置の製造方法において、上記のMOSトランジスタのゲート電極、LDD領域形成後、全面的に絶縁膜を形成する工程と、上記全面的に形成した絶縁膜の上記バイポーラトランジスタのベース領域上をマスクする工程と、上記全面的に形成した絶縁膜に対して異方性エッチング処理を施すことによりMOSトランジスタのゲート電極側面にサイドウォールを、バイポーラトランジスタのベース領域上にベース幅を決定する絶縁膜を同時に形成する工程と、MOSトランジスタのソース及びドレイン領域と、バイポーラトランジスタのエミッタ及びコレクタ領域とを同時に形成する工程とを有することを特徴とするBiCMOS半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0035】

【作用】本出願の請求項1ないし3の発明は、LDDのサイドウォールを形成する絶縁膜のNPNトランジスタ部のベース領域上を開口し、その絶縁膜をマスクにベースのイオン注入を行うことにより、上記した問題を解決できる。また、LDDサイドウォール形成の異方性エッチング処理を施す際、NPNトランジスタ部のベース領域表面をレジストで覆うことにより、オーバーエッチにベース領域表面が晒されることが防止できる。

【0036】この発明によれば、LDDサイドウォールを形成するために全面的に異方性エッチング処理を施す際、NPNトランジスタ部のベース領域がオーバーエッチに晒されることが無いため、Si基板表面にエッチングダメージが入らず、リーク電流の増加等の問題がない。また、ベースのイオン注入を絶縁膜をマスクに行うことにより、トランジスタ特性のバラツキの増大及びリーク電流の増大を防止できる。

【0037】本発明請求項4ないし6の発明によれば、LDDのサイドウォールを形成する絶縁膜により、LPNP Tr部のベース領域上をマスクすることにより、上記オーバーエッチにベース領域表面が晒されることが防止できる。

【0038】更に上記絶縁膜マスクを、エミッタ及びコレクタ領域を形成するイオン注入のマスクに利用するこ

とにより、工程の追加を最小限にできる。

【0039】この発明によれば、LDDサイドウォールを形成するために全面的に異方性エッチング処理を施す際、LPNPトランジスタ部のベース領域表面がオーバーエッチに晒されることが無いため、Si基板表面にエッチングダメージが入らず、Hfeの低下、リーク電流の増加等の問題が解決される。

【0040】

【実施例】以下本発明の実施例について、図面を参照して説明する。但し当然のことではあるが、本発明は実施例により限定を受けるものではない。

【0041】この実施例を、でき上がり構造を示す図1、及び製造工程を示す図2～図7を参照しながら説明する。本実施例のBiCMOS半導体装置は、図1に示すように、LDD構造のMOSトランジスタTr₁とバイポーラトランジスタTr₃を有するBiCMOS半導体装置において、MOSトランジスタのゲート電極7と同一の伝導膜7dが、上記バイポーラトランジスタTr₃のベース領域14bの周囲に形成され、かつこの伝導膜7dがベース領域とは分離領域5により電氣的に分離されているものである。

【0042】次にこのBiCMOS半導体装置の製造工程を説明する。図2に示すように、P型のSi基板1にヒ素を40keV、5E15でイオン注入し、熱拡散することにより、N⁺埋め込み層2を、PMOS部Tr₂とNPNトランジスタ部Tr₃に形成する。その後、N型1cmのSiエピタキシャル層3を2.0μm厚形成する。PMOS部Tr₂及びアイソレーション領域にホウ素を320keV、7E12でイオン注入することによりPウェル4pを形成し、NMOS部Tr₁にリンを180keV、8E11でイオン注入することによりNウェル4nを形成する。

【0043】Siエピタキシャル層3のうちの素子分離領域に、通常のLOCOS法によって800nm厚のSiO₂膜5を形成する。アクティブ領域に20nm厚のゲート酸化膜6を形成する。

【0044】図3に示すように、NPNトランジスタ部Tr₃にリンを50keV、5E15でイオン注入することにより、コレクター電極取り出しのN⁺シンカー領域8を形成する。リンをドーピングしたPoly Si膜によりゲート電極7とダミーパターン7dを形成する。ダミーパターン7dはベース領域を囲むように形成する。その後、低濃度のN⁺ドレイン領域9形成のため、NMOS部Tr₁にリスを25keV、5E13イオン注入する。

【0045】図4に示すように、全面にSiO₂膜12を形成した後、NPNトランジスタ部Tr₃のベース領域を開口するレジストパターン33を形成する。この時、開口部のエッジはダミーパターン7d上に来るようにする。

【0046】図5に示すように、ウエットエッチングによりベース領域の絶縁膜を除去する。この時ダミーパターン7dはエッチングのストッパーとなる。チャネリング防止のため酸化膜34を形成した後、ホウ素を35keV、1E14でイオン注入することにより、NPNトランジスタ部Tr₃のベース領域35を形成する。

【0047】この時、ベースのイオン注入Ibは、絶縁膜5がマスクとなつて行われるためレジストからのアウトガスによるドーズエラー、レジスト剥離時のプラズマによるコンタミネーションのSi基板1へのノッキング等の問題が無い。

【0048】図6に示すように、ベース領域を覆うレジストパターン36を形成する。このパターンは開口部の内側でダミーパターン7d上に来るようにする。

【0049】図7に示すように、全面的に異方性エッチング処理を施すことにより、MOSトランジスタのゲート電極7の側面、及びダミーパターン7dの側面に、それぞれサイドウォール10、37を形成する。この時、前記レジストパターンによりNPNトランジスタ部Tr₃のベース領域上が覆われているため、ベース領域表面はオーバーエッチに晒されることが無い。

【0050】ここでダミーパターン7dが無い場合を考えてみる。レジストパターン36がマスク合わせずれにより、開口部の僅かに外側に形成された場合、オーバーラップ部のSiO₂膜12が細く残ってしまう。また、レジストパターン36がマスク合わせずれにより、開口部の僅かに内側に形成された場合、フィールドのSiO₂膜5が異方性エッチング時に削られてしまう。ダミーパターン7dの形成によりマスク合わせずれによる上記の問題を防止できる。

【0051】図1に示すように、NMOS部Tr₁のソース及びドレイン領域11、NPNトランジスタ部のエミッタ11e及びコレクタ領域11cにヒ素を70keV、7E15イオン注入する。次に、PMOS部のソース及びドレイン領域14、NPNトランジスタ部のベース取り出し領域14bにホウ素を25keV、1E15でイオン注入する。

【0052】その後、全面にBPSG等からなる厚い層間絶縁膜を形成し、コンタクトホールを形成する。熱処理を施すことにより平滑化を行い、電極を形成することで、BiCMOS半導体装置が完成する(図示せず)。

【0053】以上述べたことから明かなように、本実施例によれば、LDDサイドウォールを形成するために全面的に異方性エッチング処理を施す際、NPNトランジスタ部のベース領域表面が、オーバーエッチに晒されることが無い。そのため、Si基板表面にエッチングダメージが入らず、リーク電流の増加等の問題がない。

【0054】また、ベースのイオン注入を絶縁膜をマスクに行うことにより、レジストからのアウトガス、及びコンタミネーションのSi基板へのノッキングが無く、

トランジスタ特性のバラツキの増大及びリーク電流の増大を防止できる。

【0055】実施例 2

本実施例を、図 8 ~ 図 11 を参照しながら説明する。

【0056】まず、従来例と同様に、図 19 ~ 図 21 の工程を行う。

【0057】図 21 に示すように、全面に SiO_2 膜 12 を形成した後、図 9 に示すように L P N P トランジスタ部 Tr_3 のベース領域上をマスクするレジストパターン 23 を形成する。

【0058】図 10 に示すように、全面的に異方性エッチング処理を施すことにより M O S トランジスタのゲート電極 7 側面に、サイドウォール 10 を形成する。この時、前記レジストパターン 23 により L P N P トランジスタ部 Tr_3 のベース領域上に SiO_2 膜 26 が残る。このため、ベース領域 22 表面はオーバーエッチに晒されることが無い。従来例と比較して、このレジストパターンを形成工程のみが追加となる。

【0059】その後、N M O S 部にヒ素を 70 keV、 7×10^{15} イオン注入することにより、ソース及びドレイン領域 11 を形成する。

【0060】図 11 に示すように、P M O S 部 Tr_2 と L P N P トランジスタ部 Tr_3 のベース電極取り出し部以外を開口したマスク 25 を形成し、ホウ素を 25 keV、 1×10^{15} でイオン注入することにより、P M O S 部 Tr_2 のソース及びドレイン領域 14、並びに L P N P トランジスタ部 Tr_3 のエミッタ 14e 及びコレクタ領域 14c を形成する。

【0061】図 8 に示すように、全面に B P S G 等からなる厚い層間絶縁膜 19 を形成し、コンタクトホールを形成する。熱処理を施すことにより平滑化を行い、電極を形成することで、B i C M O S 半導体装置が形成される。

【0062】以上述べたことから明らかなように、本実施例によれば、L D D サイドウォールを形成するために全面的に異方性エッチング処理を施す際、L P N P トランジスタ部のベース領域表面が、オーバーエッチに晒されることが無い。そのため、 Si 基板表面にエッチングダメージが入らず、 Hf e の低下、リーク電流の増加等の問題が発生しない。また、最小限の工程の追加ですむため、高性能、高品質な L P N P トランジスタを低コストで実現できる。

【0063】

【発明の効果】上述の如く、本発明によれば、L D D 構造の M O S トランジスタとバイポーラトランジスタを有

する B i C M O S 半導体装置に関する技術につき、オーバーエッチに伴う不都合を解決した B i C M O S 半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図 1】 実施例 1 の半導体装置の構造を示す断面図である。

【図 2】 実施例 1 の半導体装置の製造工程を順に断面図で示すものである (1)。

【図 3】 実施例 1 の半導体装置の製造工程を順に断面図で示すものである (2)。

【図 4】 実施例 1 の半導体装置の製造工程を順に断面図で示すものである (3)。

【図 5】 実施例 1 の半導体装置の製造工程を順に断面図で示すものである (4)。

【図 6】 実施例 1 の半導体装置の製造工程を順に断面図で示すものである (5)。

【図 7】 実施例 1 の半導体装置の製造工程を順に断面図で示すものである (6)。

【図 8】 実施例 2 の半導体装置の構造を示す断面図である。

【図 9】 実施例 2 の半導体装置の製造工程を順に断面図で示すものである (1)。

【図 10】 実施例 2 の半導体装置の製造工程を順に断面図で示すものである (2)。

【図 11】 実施例 2 の半導体装置の製造工程を順に断面図で示すものである (3)。

【図 12】 従来例 1 の工程を示す図である (1)。

【図 13】 従来例 1 の工程を示す図である (2)。

【図 14】 従来例 1 の工程を示す図である (3)。

【図 15】 従来例 1 の工程を示す図である (4)。

【図 16】 従来例 1 の工程を示す図である (5)。

【図 17】 従来例 1 の工程を示す図である (6)。

【図 18】 従来例 1 の問題点を示す図である。

【図 19】 従来例 2 の工程を示す図である (1)。

【図 20】 従来例 2 の工程を示す図である (2)。

【図 21】 従来例 2 の工程を示す図である (3)。

【図 22】 従来例 2 の工程を示す図である (4)。

【図 23】 従来例 2 の工程を示す図である (5)。

【図 24】 従来例 2 の工程を示す図である (6)。

【図 25】 従来例 2 の問題点を示す図である。

【符号の説明】

Tr_1 M O S トランジスタ

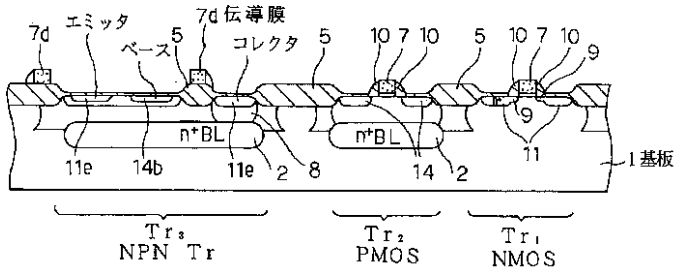
Tr_3 バイポーラトランジスタ

7 ゲート電極

7d 伝導膜

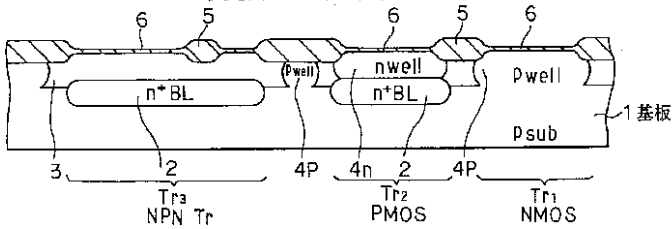
【図 1】

実施例 1 の半導体装置



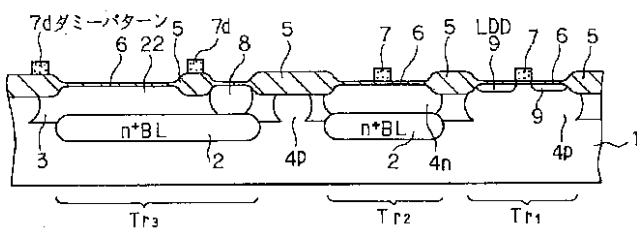
【図 2】

実施例 1 の工程 (1)



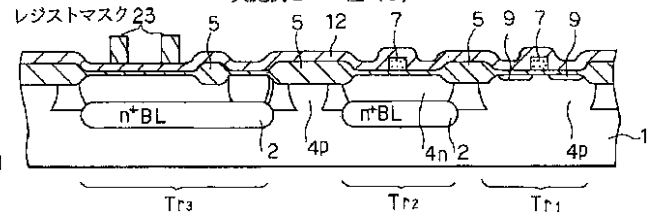
【図 3】

実施例 1 の工程 (2)



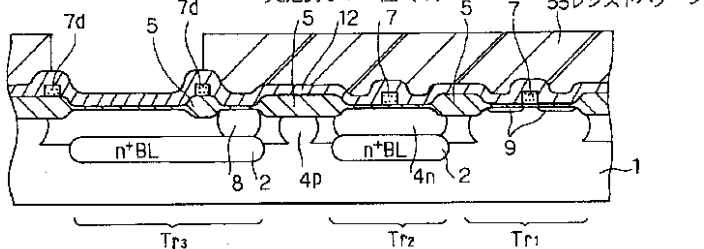
【図 9】

実施例 2 の工程 (1)



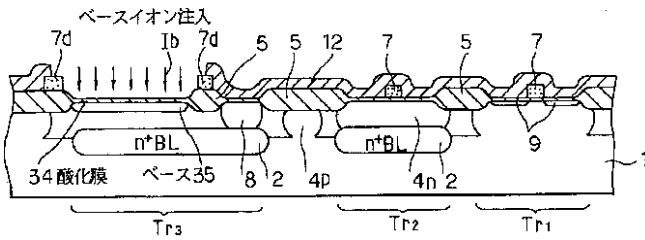
【図 4】

実施例 1 の工程 (3)



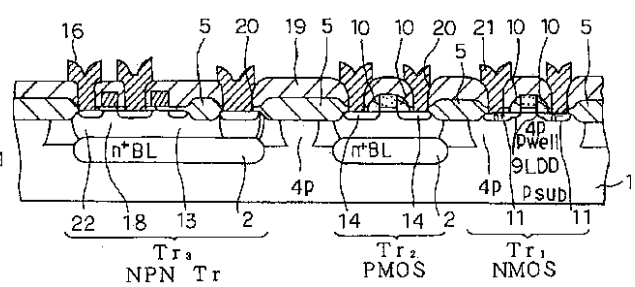
【図 5】

実施例 1 の工程 (4)



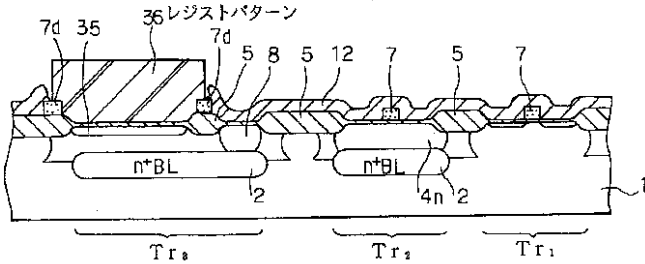
【図 8】

実施例 2 の半導体装置



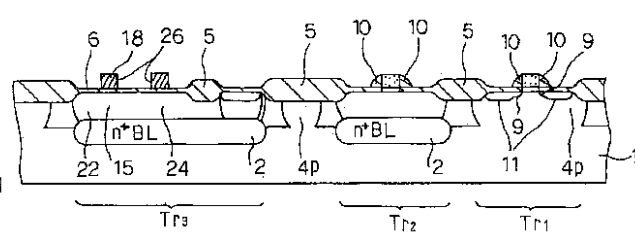
【図 6】

実施例 1 の工程 (5)



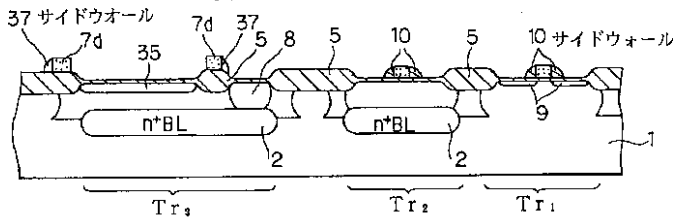
【図 10】

実施例 2 の工程 (2)



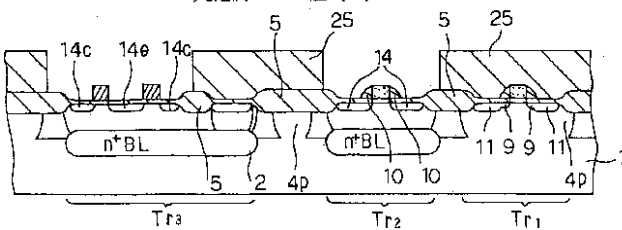
【図 7】

実施例 1 の工程 (6)



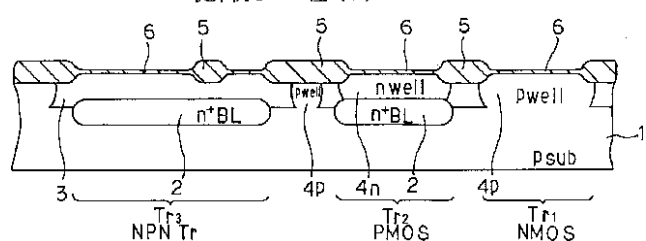
【図 11】

実施例 2 の工程 (3)

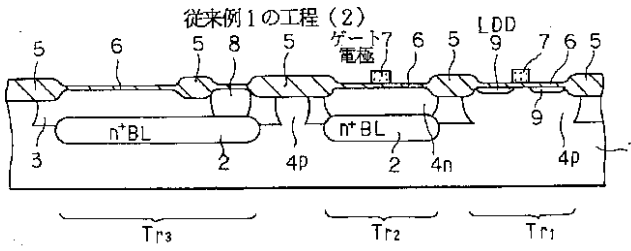


【図 12】

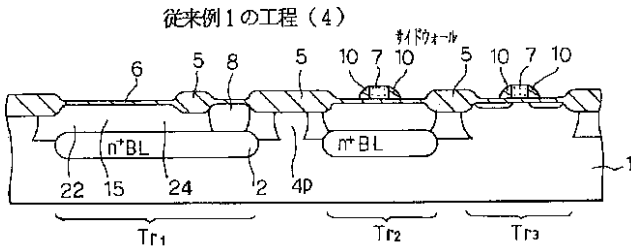
従来例 1 の工程 (1)



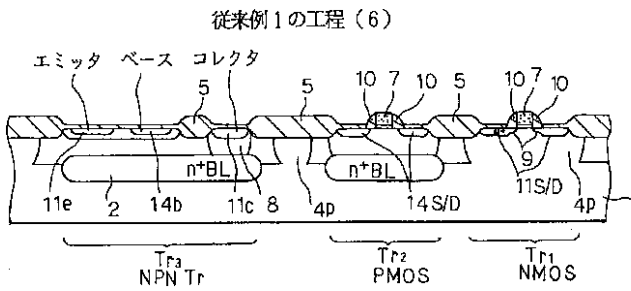
【図 13】



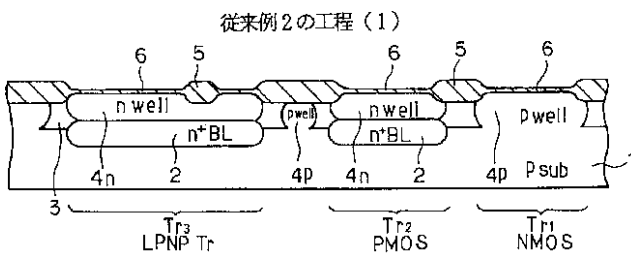
【図 15】



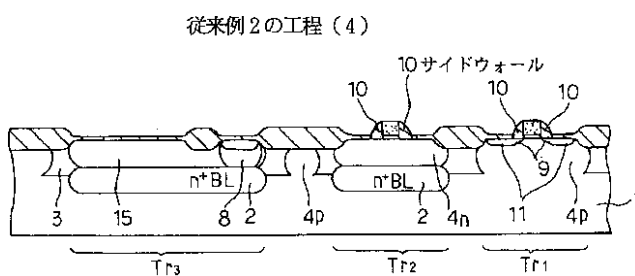
【圖 17】



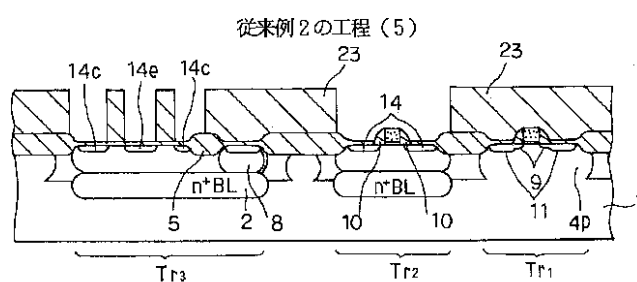
【図 19】



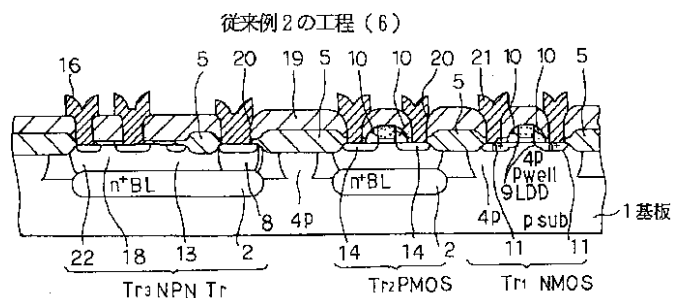
【图 22】



【圖 23】



【图 24】



【圖 25】

従来例 2 の問題点の説明図

