

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-275611

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/065

25/07

25/18

21/60

3 1 1 S 6918-4M

H 0 1 L 25/ 08

Z

審査請求 未請求 請求項の数 2 (全 4 頁)

(21)出願番号

特願平4-74085

(22)出願日

平成4年(1992)3月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 鳥羽瀬 浩守

東京都港区芝五丁目7番1号 日本電気株式会社内

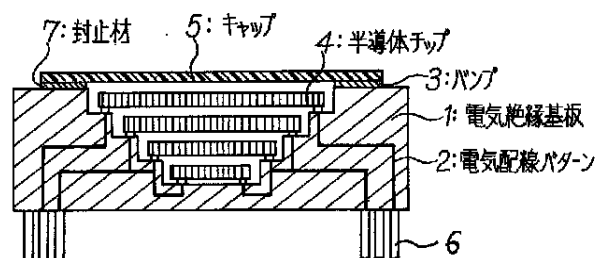
(74)代理人 弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 マルチチップモジュール

(57)【要約】

【目的】 フリップチップ接続等のマルチチップモジュールにおいて、実装密度の向上および電気配線の線路長を短くし信号の伝播時間を短縮化し、マルチチップの高速動作化を図る。

【構成】 複数の半導体チップ4を収納し、前記半導体チップが bumps 3により所定の電気配線パターン2を有する電気絶縁基板1に電気的に接続されてなるマルチチップモジュールにおいて、前記電気絶縁基板1に多段式凹部を形成し、各半導体チップ4を該凹部に上下方向に相互に離間して収容する。



【特許請求の範囲】

【請求項1】 複数の半導体チップを収納し、前記半導体チップがバンプにより所定の電気配線パターンを有する電気絶縁基板に電氣的に接続されてなるマルチチップモジュールにおいて、前記電気絶縁基板には多段式凹部が形成されており、かつ、前記各半導体チップが該凹部に上下方向に相互に離間して収容されていることを特徴とするマルチチップモジュール。

【請求項2】 前記電気絶縁基板に形成された凹部内において、水平方向に単段および・または複数の凹部が複数形成されて多段式凹部を形成し、これらの凹部に前記半導体チップが収容されていることを特徴とする請求項1に記載のマルチチップモジュール。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は半導体装置に関し、特に複数の半導体チップが、収納されるマルチチップモジュールの構造に関する。

【0002】

【従来の技術】従来のマルチチップモジュールは第5図の断面図に示すように、複数の半導体チップ4が電気配線パターン（図示せず）を有する電気絶縁基板の同一面上に収納されており、前記電気絶縁基板1と前記半導体チップ4とは、金属細線10によって電氣的に接続され、前記電気絶縁基板1の電気配線パターンは、外部リード6によって電氣的に接続されている。

【0003】この従来構造で例えば、CPU（Central Processing Unit）1個、FPU（Floating Processing Unit）1個、BIU（Buth Interface Unit）1個、キャッシュメモリ6個の合計9個の半導体チップで構成されるマルチチップモジュールであれば、電気絶縁基板の大きさは、約85mm角となる。

【0004】

【発明が解決しようとする課題】ところで、この従来のマルチチップモジュールでは、半導体チップ4が電気絶縁基板1の同一面のみに収納されているため、半導体チップの収納数が増えると電気絶縁基板の大きさも大きくなるを得ない。従って電気配線の線路長が長くなる。

【0005】このように、電気配線の線路長が長くなると、配線の持つキャパシタンスが大きくなり、信号の伝播遅延時間が大きくなる。このため、マルチチップモジュールを高速動作させようとした場合、1つのクロックの時間内に信号が戻らなくなり、マルチチップモジュールが高速動作しなくなるといった問題があった。

【0006】この問題は、非常に大きな問題であり、高速動作すればするほど信号の処理スピードが上がるのに対し、高速動作ができないという問題があった。

【0007】この発明はこのような従来技術の課題に鑑

みて提案されたもので、フリップチップ接続等のマルチチップモジュールにおいて、実装密度の向上および電気配線の線路長を短くし、上記従来技術の欠点を除去することを目的とする。

【0008】

【課題を解決するための手段】本発明によれば、複数の半導体チップを収納し、前記半導体チップがバンプにより所定の電気配線パターンを有する電気絶縁基板に電氣的に接続されてなるマルチチップモジュールにおいて、前記電気絶縁基板には多段式凹部が形成されており、かつ、前記各半導体チップが該凹部に上下方向に相互に離間して収容されていることを特徴とするマルチチップモジュールが得られる。

【0009】

【実施例】まず、本発明の第1実施例のマルチチップモジュールについて説明する。図1に示すように、半導体チップ4は、電気配線パターン2を有する電気絶縁基板1に設けられた多段の凹部にそれぞれ離間並行に上下方向多段式に収容されている。そして半導体チップ4を載置する段部にはバンプ3が形成されている。各半導体チップ4はこのバンプ3上に載置されており、電気配線パターン2にて、任意の半導体チップ同士、あるいは、外部リード6と接続されている。

【0010】この場合、半導体チップ4として、チップコンデンサ等の搭載も可能である。なお、図中5はキャップ、7は封止材である。

【0011】次に、本発明の第2実施例のマルチチップモジュールについて説明する。第2実施例のマルチチップモジュールは図2に示すように、水平方向にも半導体チップ4を並列させるように凹部の半導体チップ載置部を形成しておくものである。なお、このような縦方向のみではなく横方向への半導体チップ4の配置や数は図示のものに限定されるものでないことはいうまでもない。

【0012】第1実施例の半導体チップ4の配置によれば、上方に行くにしたがって半導体チップの大きさが大きくなるを得ず、同じ大きさの半導体チップ4を同一基板に配置することができなかったが、この第2実施例の配置にすることにより、搭載される半導体チップ4の大きさ多種多様であっても対応させることが可能となる。

【0013】次に、本発明のマルチチップモジュールにヒートシンクを取り付ける場合について説明する。図3は第1実施例のマルチチップモジュールにヒートシンク9を取り付けた場合の断面図である。ヒートシンク9を発熱性の高い半導体チップを最上部に接続し、前記半導体チップとヒートシンク9を高熱伝導性接着材8を介して接着したものである。

【0014】図4は、本発明の第2実施例のマルチチップモジュールにヒートシンク9を取り付けた場合の断面図である。発熱性の高い半導体チップを複数収納する場

合、本実施例のように電気絶縁基板の凹部の最上部に前記複数の半導体チップを接続することで、複数の半導体チップにヒートシンクを接着可能となる。

【0015】なお、上記電気絶縁基板1の材料としては、アルミナ基板及びガラスエポキシ基板等が従来より用いられているが、フリップチップ実装の信頼性から考えると半導体チップと熱膨張率の整合のとれたイビデン(株)より市販されているセラコム基板という商品名の基板を用いるのが適切である。

【0016】セラコム基板におけるフリップチップ実装評価実績として、125℃～65℃の温度サイクル試験にて1000サイクルで断線の発生なしという結果が得られている。

【0017】上記本発明の各実施例によれば、従来技術で電気絶縁基板の大きさが約85mm角必要であるものを、約50mm角程度まで小さくすることが可能である。

【0018】

【発明の効果】以上説明したように本発明は、電気配線パターンを有する電気絶縁基板に設けられた多段の凹部に半導体チップを離間並行して縦方向に収容して接続することで、搭載される半導体チップの大きさや数による制限を受けることなく、電気絶縁基板を小さくすること

ができ、実装密度の向上および電気配線の線路長を短くして信号伝播遅延時間を短くでき、マルチチップモジュールの高速動作を可能ならしめるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す断面図である。

【図2】本発明の第2実施例を示す断面図である。

【図3】本発明の第1実施例にヒートシンクを取り付けた場合の断面図である。

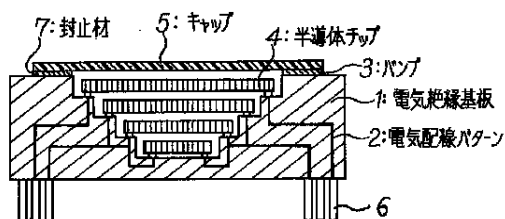
【図4】本発明の第2実施例にヒートシンクを取り付けた場合の断面図である。

【図5】従来のヒートシンク付マルチチップモジュールを示す断面図である。

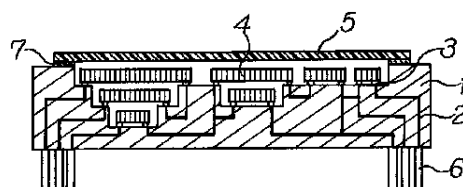
【符号の説明】

- 1 電気絶縁基板
- 2 電気配線パターン
- 3 バンプ
- 4 半導体チップ
- 5 キャップ
- 6 外部リード
- 7 封止材
- 8 高熱伝導性接着材
- 9 ヒートシンク
- 10 金属細線

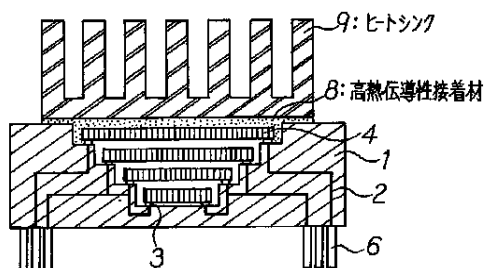
【図1】



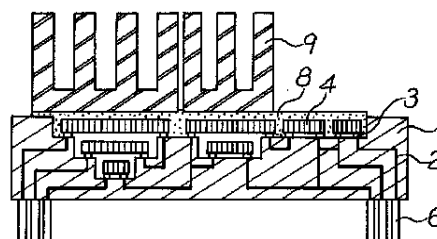
【図2】



【図3】



【図4】



【図5】

