

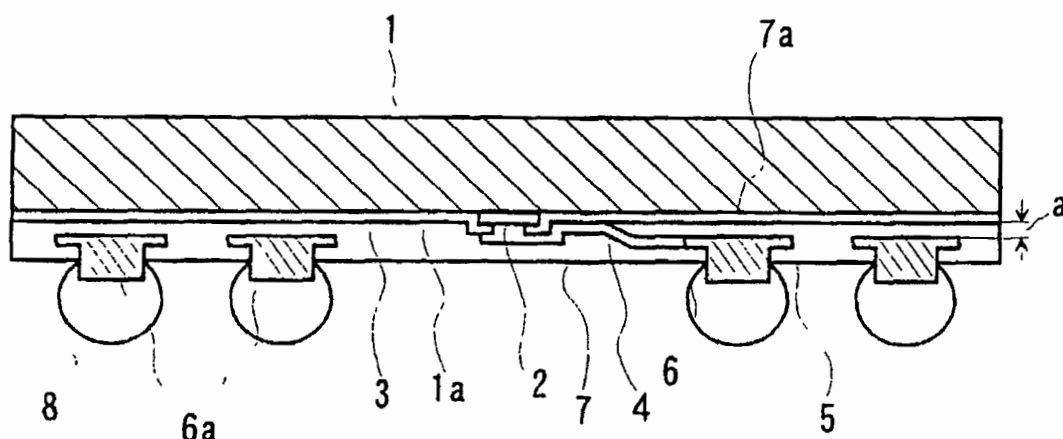
PCT

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類7 H01L 23/12</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/55910</p> <p>(43) 国際公開日 2000年9月21日(21.09.00)</p>
<p>(21) 国際出願番号 PCT/JP00/01550</p> <p>(22) 国際出願日 2000年3月14日(14.03.00)</p> <p>(30) 優先権データ 特願平11/67839 1999年3月15日(15.03.99) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてののみ) 矢口昭弘(YAGUCHI, Akihiro)(JP/JP) 三浦英生(MIURA, Hideo)(JP/JP) 風間 敦(KAZAMA, Atsushi)(JP/JP) 〒300-0013 茨城県土浦市神立町502番地 株式会社 日立製作所 機械研究所内 Ibaraki, (JP) 西村朝雄(NISHIMURA, Asao)(JP/JP) 〒187-0022 東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体事業本部内 Tokyo, (JP)</p>		<p>(74) 代理人 浅村 皓, 外(ASAMURA, Kiyoshi et al.) 〒100-0004 東京都千代田区大手町2丁目2番1号 新大手町ビル331 Tokyo, (JP)</p> <p>(81) 指定国 CN, KR, SG, US</p> <p>添付公開書類 国際調査報告書</p>

(54)Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR MODULE

(54)発明の名称 半導体装置および半導体実装構造体



(57) Abstract

The invention provides a small semiconductor device including a semiconductor element with external terminals, and a semiconductor module including such a small semiconductor device, which protect their external terminals from damage due to changes in temperature when they are on a printed-circuit board. Projections are formed on lands for connection of external terminals of the semiconductor device, and the external terminals are connected with the ends of the corresponding projections. Protective plastic film is formed between the semiconductor element and lands.

(57)要約

〔課題〕 半導体素子上に外部端子を有する小型の半導体装置および小型の半導体装置を搭載した半導体実装構造体において、半導体装置をプリント配線基板に実装した状態で温度変化が加わった際に、外部端子に発生する断線を防止すること。

〔解決手段〕

半導体装置の外部端子接合部であるランド上に突起を形成し、突起の突出部と外部端子を接合する。また、ランドと半導体素子の間に樹脂材料からなる保護膜の介在部を形成する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサウ		共和国	TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	ML	マリ	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボアール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IN	インド	MZ	モザンビーク	VN	ヴェトナム
CN	中国	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CR	コスタ・リカ	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NO	ノルウェー	ZW	ジンバブエ
CY	キプロス	KE	ケニア	NZ	ニュージーランド		
CZ	チェッコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

明 細 書

半導体装置および半導体実装構造体

5 技術分野

本発明は、半導体素子上に外部端子を有する小型の半導体装置、特に種々の機能を有する半導体素子を形成するウエハプロセスによって製造する小型の半導体装置、および外部端子を有する半導体装置をプリント配線基板に実装した半導体実装構造体に関する。

10 背景技術

従来から、高密度実装技術として、半導体素子をパッケージングすることなくプリント配線基板などに実装するフリップチップ実装が用いられている。フリップチップ実装は半導体素子のパッド上に外部端子を形成し、半導体素子のパッドとプリント配線基板の接合パッドを、この外部端子を介して電気的および機械的に接続する技術である。

しかし、フリップチップ実装では、外部端子の配置と大きさとは、半導体素子のパッド配置と大きさによって制限を受ける。半導体素子のパッドの大きさは最大でも $50\mu\text{m}$ 程度であり、この場合のパッド間隔は $100\mu\text{m}$ 程度である。一般的に用いられている樹脂材料を基材としたプリント配線基板では、接合パッドのサイズは最小でも $200\mu\text{m}$ 程度であり、この場合のパッド間隔は $500\mu\text{m}$ 程度である。したがって、フリップチップ実装技術では、樹脂材料を基材としたプリント配線基板に半導体素子を実装することが困難となる。

上記したフリップチップ実装技術の問題を解決するため、半導体装置のサイズを、半導体素子のサイズに近づけようとする傾向が顕著になっている。これら半導体装置のパッケージは一般にCSP（チップサイズパッケージまたはチップスケールパッケージの略称）と呼ばれている。CSPの例として、特表平6-504408号公報および信学技報「テープBGAタイプCSPの開発」、電子情報通信学会、CPM96-121、ICD96-160（1996年12月）などに記載がある。

発明の開示

これら従来技術による半導体装置のパッケージでは、フィルム基材に導電性の配線やランドが形成されたシート状部材が半導体素子表面に接着部材によって接着され、外部端子が半導体素子の主表面の投影面内に設けられており、パッケー

- 5 ジサイズがほぼ半導体素子のサイズと等しくなっている。

上記外部端子が半導体素子主表面の投影面内に配置されるC S Pの従来技術では、外部端子にはんだなどの金属バンプが用いられ、プリント配線基板に接続される。このような構造のC S Pで問題となるのは、はんだバンプの接続信頼性である。

- 10 半導体素子（シリコン（S i））の線膨張係数は $3 \times 10^{-6} / ^\circ\text{C}$ 程度であり、最も一般的に使用されるガラスエポキシ樹脂系のプリント回路基板（F R - 4 など）の線膨張係数は約 $17 \times 10^{-6} / ^\circ\text{C}$ である。このように両者の線膨張係数が大きく異なるような場合、半導体装置に温度変化が加えられると外部端子であるはんだバンプに熱ひずみが発生する。

- 15 バンプに発生したひずみは、バンプと半導体装置のランドあるいはプリント配線基板の接合パッドとの接合界面付近に集中し、温度変化を繰り返し受けることによって、この部分にき裂を発生させる。バンプの接合部に発生したき裂は次第に成長し、いずれはバンプの接合部に破壊が発生する。外部端子であるバンプが破壊すると、外部端子を通じた半導体装置と外部機器との電氣的接続ができなく
20 なるため、半導体装置の信頼性を著しく低下させることになる。

- はんだバンプの疲労破壊に対して考慮され、信頼性が高いと考えられるC S P型の半導体装置は、特表平6 - 5 0 4 4 0 8号公報に記載された半導体装置である。この半導体装置では、半導体素子の主表面に柔軟材（例えばエラストマ樹脂：常温でゴム状弾性を有する高分子物質）からなる低弾性の接着部材を介して
25 シート状部材を接着している。また、封止部材にも接着部材と弾性係数が同程度の材料を使用している。このため、半導体素子とプリント配線基板の線膨張係数差が柔軟なエラストマ樹脂である接着部材によって吸収され、その結果はんだバンプに加わる熱ひずみが小さくなる。

しかし、この半導体装置では柔軟材の形成、リードによる内部配線の接合およ

び封止部材による封止のそれぞれの工程に特別の技術が必要である。したがって、このパッケージを従来の半導体素子を形成するウエハプロセスを利用して製造する場合には、新たな製造設備を準備することが必要となり、これに伴う工程数増加と併せて製造コストの増加が問題となる。

- 5 また、この従来の半導体装置は、リードの周囲も柔軟な封止部材で覆われているため、柔軟な接着部材の熱変形によってリードに多大な変形が作用し、リードに断線が発生する可能性がある。

はんだバンプの信頼性向上と製造コストの抑制を満足し、ウエハ製造プロセスで半導体装置を製造するC S P型半導体装置の例が日経マイクロデバイス199
10 8年4月号「チップサイズ実装の本命候補C S Pを安く作る方法が登場」（164ページ～167ページ）に提案されている。

この従来の半導体装置は、半導体素子上に再配線を形成し、再配線に金属製のビアポストと呼ばれる柱状物を形成し、ビアポスト周囲を樹脂で封止している。はんだバンプはバリヤーメタル層を介して封止樹脂から露出しているビヤポスト
15 の上面に接合されている。この半導体装置では、剛性の大きなビアポストによって半導体装置側接合部近傍のはんだバンプの変形が抑制され、この部分に発生するひずみを低減する効果が得られる。しかし、半導体装置側接合部のひずみが低減した分、半導体素子とプリント配線基板の線膨張係数差で発生するひずみは、プリント配線基板側の接合部で増加することになり、半導体装置全体として信頼
20 性の向上を図ることが困難となっている。

フリップチップ実装技術でも、上記C S Pと同様に外部端子となるはんだバンプの接続信頼性が問題となる。フリップチップ実装技術によるはんだ接続部信頼性の向上策として、半導体素子のパッド上に金属薄膜を介して設けた第1金属層と第2金属層とによって外部端子となるバンプ電極を形成し、プリント配線基板
25 の接合パッドに接合する技術が、特開平7-211722号公報に記載されている。

本従来技術では、パッド上に突出した第1金属層によって、バンプ電極高さを高くし、バンプ電極に発生する熱ひずみを低減することができる。しかし、半導体素子をフリップチップ実装技術によって樹脂材料を基材とするプリント配線基

板に実装すると、上記した半導体素子側とプリント配線基板側接続部分の大きさの違いによって、接続部分のサイズが小さい半導体素子側の接続部に熱ひずみが集中するようになり、十分な熱ひずみの低減効果を得ることができない。

また、外部端子となるバンプ電極の配置は、半導体素子のパッド配置に依存する
5 ため、プリント配線基板の配線設計を自由に行うことができず、プリント配線基板の共通化を阻害する要因となる。

本発明は、上記課題を克服し、特に外部端子の破断を防止・抑制し、信頼性の高い半導体装置および半導体実装構造体を提供することを目的とする。

上記した課題は、半導体素子と、パッシベーション膜と、半導体素子のパッド
10 に接続する導電性配線と、導電性配線に連なるランドと、絶縁性の保護膜と、外部端子とを備えた半導体装置において、半導体装置とプリント配線基板との線膨張係数差によって外部端子に発生するひずみを緩和・低減する以下の構成を採用することによって解決することができる。

(1) 外部端子を接合するランドに突起を形成し、この突起と、はんだ材料など
15 から形成する外部端子を接合し、前記パッシベーション膜と前記ランドの間に前記保護膜を介在させる。

前記突起と外部端子の接合は、外部端子の内部に突起が突出するように接合するのが望ましい。

半導体装置のランドは銅 (Cu) などの金属材料によって形成されており、こ
20 の材料は外部端子用の材料として用いられるはんだや半導体素子表面を覆う保護膜より大きな剛性を有している。上記のように突起と外部端子とが接合されると、半導体装置側の接合部近傍における外部端子の変形が突起によって拘束されるようになる。これによって、半導体装置側接合部近傍の外部端子に発生する熱ひずみを小さくすることができる。

さらに、ランドと半導体素子表面のパッシベーション膜との間に保護膜を介在
25 させる。保護膜は樹脂材料から形成されており、通常ランド形成材料や外部端子の形成材料より弾性係数が小さくなっている。弾性係数の小さな保護膜が外部端子を接合するランドと半導体素子表面のパッシベーション膜との間に介在していると、半導体装置とプリント配線基板の線膨張係数差によって外部端子に発生す

る変形を、保護膜の変形によって緩和することができる。これによって、半導体装置側およびプリント配線基板側両方の接合部に発生するひずみを低減することができる。

- (2) また、前記導電性配線を、半導体素子のパッドに接続する第1導電性配線
5 と、前記第1導電性配線とランドに接続する第2導電性配線とによって構成する。

また、前記保護膜を前記第1導電性配線と前記第2導電性配線に接する第1の保護膜と、前記外部端子形成面側に露出面を有する第2の保護膜とから構成する。

また、好ましくは、前記ランドの直下部は前記第1の保護膜が介在するような構成とする。

- 10 また、好ましくは、前記ランドに突起を形成し、前記外部端子と突起を接合する。

さらに、好ましくは、上記構成の半導体装置において、前記第1導電性配線と前記第2導電性配線を前記ランドの直下を除く部分で接続する。

- 上記のような構成によって、第1導電性配線と第2導電性配線は半導体装置の
15 厚さ方向に層状に配置され、第2導電性配線に連なるランドと半導体素子との間に保護膜を介在させることができる。これによって、半導体装置側およびプリント配線基板側両方の接合部に発生するひずみを低減することができる。

- また、導電性配線は保護膜より剛性の大きな銅(Cu)などの金属材料で形成されるため、第1導電性配線と第2導電性配線の接続部がランドの投影面内にあ
20 ると、保護膜によるひずみ緩和効果が損なわれることになる。したがって、第1導電性配線と第2導電性配線の接続はランドの投影面外の部分で行うことが望ましい。

- また、好ましくは、第2の保護膜は第1の保護膜より弾性係数の大きな材料で形成する。これによって、第2導電性配線の変形量を低減できるので、断線の発
25 生を防止することができる。

(3) また、前記絶縁性の保護膜を、前記半導体素子と前記ランドとの間にあって前記ランドに接する第1の保護膜と前記外部端子形成面側に露出面を有する第2の保護膜とによって構成する。

上記したように前記ランドに接するように第1の保護膜を設ける。第1の保護

膜はポリイミドなどの樹脂材料から形成されており、通常ランド形成材料や外部端子の材料より弾性係数が小さくなっている。弾性係数の小さな第1の保護膜が外部端子を接合するランドに接するように設けられていると、半導体装置とプリント配線基板の線膨張係数差によって外部端子に発生する変形を、第1の保護膜
5 の変形によって緩和することができる。これによって、半導体装置側およびプリント配線基板側両方の接合部に発生するひずみを低減することができる。第2の保護膜は外部端子形成面に露出し、導電性配線とランドの外部端子形成面側に接するように形成し、導電性配線及びランドとを保護する。

また、好ましくは、第2の保護膜は第1の保護膜より弾性係数の大きな材料で
10 形成する。これによって導電性配線の変形量を低減できるので、断線の発生を防止することができる。

(4) 好ましくは、上記した半導体装置において、前記突起は前記ランドの投影面内にあり、ランドの端部を突起の端部より外側に配置する。

上記したように温度変化によって外部端子に発生する熱ひずみは、剛性の大きな突起による外部端子の変形拘束によって低減するが、半導体装置とプリント配線基板の線膨張係数差によって生じる変形は突起自体に作用するようになる。突起の変形は突起が形成されているランドと保護膜の界面に応力を発生させ、特にランドの端部に応力が集中し、この部分から保護膜の割れが発生することがある。この保護膜の割れを防止するため、ランド端部が突起端部より外側になるよ
15 うに配置する。これによって、ランドと保護膜の接触面積が増加し、両者の界面に発生する応力を広い面積で分担するため、ランド端部に集中する応力を緩和できるようになる。

(5) また、好ましくは、上記した半導体装置の突起と外部端子との接合を、突起表面に設けられた金属薄膜を介して接合するようにする。

25 外部端子が接合される突起の接合部分に金(Au)、ニッケル(Ni)などの金属薄膜を形成すると、接合信頼性の向上を図ることができる。

(6) 上記した半導体装置を、外部端子を介してプリント配線基板に実装した半導体実装構造体において、プリント配線基板の接合パッドと外部端子との外部端子配列方向の接合面積を、前記突起と外部端子との外部端子配列方向の接合面積

より大きくなるように半導体実装構造体を構成する。

(7) また、上記した半導体装置を、外部端子を介してプリント配線基板に実装した半導体実装構造体において、プリント配線基板の接合パッドと外部端子との接合部周囲を樹脂で覆って半導体実装構造体を構成する。

- 5 半導体装置側およびプリント配線基板側の各接合部に発生するひずみを比較した場合、半導体装置に形成されている低弾性の第1の保護膜に隣接し、さらに上記突起が形成されている半導体装置側よりプリント配線基板側の接合部に発生するひずみが相対的に大きくなる。プリント配線基板側の接合部に発生するひずみを低減するため、本発明では、プリント配線基板の接合パッドと外部端子との外部端子配列方向の接合面積を、前記突起と外部端子との外部端子配列方向の接合面積より大きくなるように構成する。外部端子の接合部分に発生するひずみは、接合部分の面積が大きくなるとともに減少する。これは接合面積を拡大するために半導体装置のランド、あるいはプリント配線基板の接合パッドのサイズを大きくすると、接合部分の剛性が増大することになり、はんだの変形量が減少するためである。上記したように、プリント配線基板側の接合面積を半導体装置側より大きくすると、プリント配線基板側の接合部に発生するひずみを低減し、パッケージ側接合部のひずみとの差異を小さくすることができる。これによって半導体実装構造体の信頼性を全体として向上することが可能になる。

- 20 また、プリント配線基板の接合パッドと外部端子との接合部周囲を樹脂で覆うようにする。上記接合部分に発生するひずみは、外部端子と樹脂との界面にも分散するようになり、外部端子と接合パッドの接合部分に発生するひずみが低減する。これによってパッケージ側接合部とプリント配線側接合部に発生するひずみの差異を小さくでき、半導体実装構造体の信頼性を全体として向上することができる。

25 図面の簡単な説明

第1図は、本発明による半導体装置の第1の実施形態を示す断面図および保護膜の一部を取り除いた状態での平面図である。

第2図は、第1図に示した第1実施形態による半導体装置の製造方法を説明する部分断面図である。

第3図は第1図に示した第1実施形態による半導体装置をプリント配線基板に実装した半導体実装構造体を示す断面図である。

第4図は、第1図に示した第1実施形態による半導体装置をプリント配線基板に実装した半導体実装構造体の他の様態を示す断面図である。

5 第5図は、本発明による半導体装置の第2実施形態を示す断面図である。

第6図は、第5図に示した第2実施形態による半導体装置の製造方法を説明する部分断面図である。

第7図は、本発明による半導体装置の第3実施形態を示す断面図である。

第8図は、第7図に示した第3実施形態による半導体装置をプリント配線基板
10 に実装した半導体実装構造体を示す断面図である。

第9図は、本発明による半導体装置の第4実施形態を示す断面図である。

第10図は、第9図に示した第4実施形態による半導体装置をプリント配線基板に実装した半導体実装構造体を示す断面図である。

第11図は、第9図に示した第4実施形態による半導体装置の製造方法を説明
15 する部分断面図である。

第12図は、第9図に示した第4実施形態による半導体装置を搭載した半導体実装構造体の他の様態を示す断面図である。

第13図は、さらに他の様態を示す断面図である。

第14図は、第9図に示した本発明による半導体装置の他の様態を示す断面図
20 である。

第15図は、ランドサイズと突起サイズの関係を示すための本発明による半導体装置の断面図である。

第16図は、半導体素子の端部近傍にパッドが形成された半導体装置の例を説明する断面図である。

25 第17図は、第9図に示した第4実施形態による半導体装置の他の様態を示す断面図である。

発明を実施するための最良の形態

本発明をより詳細に説述するため、添付の図面に従ってこれを説明する。

第1図は本発明による半導体装置の第1実施形態を示す断面図である。また、

第2図は第1図に示した半導体装置の保護膜の一部を取り除いた状態での平面図である。なお、第1図の断面図は、第2図に示すA-A断面位置における断面を示している。

第1図および第2図に示すように、本発明の第1実施形態である半導体装置は、
5 半導体素子1と、半導体装置表面1a上のパッド2表面が露出するように形成されているパッシベーション膜3と、パッド2に接続する導電性配線4と、導電性配線4に連なるランド5と、保護膜7と、ランド5に設けられた突起6と、外部端子8とを備えている。

パッド2は半導体素子表面1aの中央部分に縦列に配置されており、パッド2
10 に接続される導電性配線4は半導体素子表面1a上で突起6が形成されているランド5まで引き延ばされている。保護膜7は、半導体素子表面1a上においてパッシベーション膜3と導電性配線4とランド5および突起6の一部を覆うとともに、ランド5とパッシベーション膜3の間にも設けられており、保護膜の介在部7aを形成している。突起6の一部は保護膜7より突出しており、この突出部分
15 6aと外部端子8とが接合されている。半導体素子1のパッド2と外部端子8は、導電性配線4、ランド5、突起6を経由して電氣的に接続されている。

導電性配線4には、銅(Cu)あるいはアルミ(Al)、金(Au)、銀(Ag)などの材料が単独もしくは複数の材料を用いた合金の状態 で用いられる。また、表面にニッケル(Ni)、クロム(Cr)などのメッキを施す場合もある。
20 導電性配線4に連なるランド5も上記導電性配線と同じ材料で形成する。

外部端子8には、はんだ材料(例えばPb-Sn系共晶はんだ、Sn-Ag-Cu系はんだ)などを使用し、球状のはんだ材もしくはペースト状のはんだ材を突起の突出部6a上に載置した後、はんだを熔融させてランド5と接合させる。

保護膜7には液状あるいはフィルム状のポリイミド樹脂、ポリエーテルイミド
25 樹脂、アクリル変成エポキシ樹脂、ゴムを配合したエポキシ樹脂、シリコーン樹脂などが用いられる。

導電性配線4およびランド5に用いる材料の弾性係数は、例えば銅(Cu)の場合は110GPa程度である。保護膜7に用いることができる例えばポリイミド樹脂の室温における弾性係数は1～9GPa程度であり、保護膜7を形成する

材料の弾性係数は、ランド5を形成する材料より小さくなっている。なお、保護膜7の弾性係数は、材料の選択によってさらに小さくすることが可能である。

5 以上のように、本発明の第1の実施形態における半導体装置によれば、ランド5に形成した突起6の突出部6aに外部端子8が接合されていると、半導体装置をプリント配線基板に実装した状態で温度変化が加わった場合、半導体装置側の突起6と外部端子8の接合部近傍における外部端子8の変形が突起6によって拘束され、変形量を小さくすることができる。これによって、半導体装置側接合部近傍の外部端子8に発生する熱ひずみを小さくすることができる。

10 また、ランド5と半導体素子表面1a上のパッシベーション膜3との間に保護膜7の介在部7aを設けることによって、半導体装置とプリント配線基板の線膨張係数差によって外部端子8に発生する変形を、ランド5の構成材料より低弾性である保護膜の介在部7aの変形によって緩和することができ、半導体装置側およびプリント配線基板側両方の接合部に発生するひずみを低減することができる。

15 これらによって、半導体装置をプリント配線基板に実装した状態で温度変化が加わった場合の、外部端子接合部で発生する断線不良を防止することが可能となり、信頼性の高い半導体装置および半導体実装構造体を実現することができる。

さらに、本発明の第1の実施形態における半導体装置によれば、半導体素子表面1aに導電性配線4を形成し、パッド2とは離れた個所に設けたランド5上の突起6と外部端子8を接続するため、外部端子8の接合部分からパッド2までの20 距離を長くすることができる。これによって、外部端子8の接合部分より半導体装置内部に水分が浸入しても、パッド2まで水分が浸入するのを防止することができ、パッド2の腐食による電氣的導通不良の発生を抑止することが可能となる。

25 また、外部端子8を接合するランド5をパッド2上から離れた個所に形成することによって、ランド5のサイズをパッド2より大きくすることができ、外部端子8とランド5あるいは本実施形態に示した突起6との接合面積を大きくすることが可能となる。接合面積が大きくなると半導体装置とプリント配線基板の線膨張係数差によって外部端子接合部に発生するひずみを広い面積で負担するようになるため、き裂発生の起点となる接合部端部のひずみを低減できる効果も得られる。

ランド5上に形成した突起6の突出部6aと外部端子8との接合は、外部端子8の材料として用いられるはんだ材料を溶融させて行う。この際突起6と外部端子8との接合性を向上させるため、突起6の接合箇所である突出部6aに金属薄膜をメッキなどにより形成しても良い。金属薄膜には金（Au）、ニッケル

5 （Ni）などの材料を用いる。

第2図は第1図に示した本発明の第1実施形態における半導体装置の製造方法を説明するための断面図である。

- パッド2と、パッド2の一部を露出させて半導体素子表面1aを覆うパッシベーション膜3が形成された半導体素子1の表面1a（a）に、ポリイミド樹脂な
- 10 どの保護膜7をポッティング法、印刷法、あるいはフィルム状材料の貼付けなどによって形成する（b）。導電性配線3をパッド2から保護膜7の表面上まで形成し、これと同時に保護膜7の表面上にランド5を設ける（c）。導電性配線3およびランド5はメッキ法あるいはスパッタ法によって形成する。半導体素子表面1a上に設けられた保護膜7はランド5と半導体素子表面1aの間であって、
- 15 保護膜の介在部7aとなる。さらに半導体素子1a表面上の導電性配線4とランド5とを覆うように保護膜7を形成し（d）、ランド5の表面が露出するように保護膜7に表面7bから開口部13を形成する（e）開口部13の形成には、開口部13の非形成領域をマスクで覆い、エッチング法によって開口部13を形成した後にマスクを除去する方法あるいはレーザーによる孔形成法などを用いる。
- 20 開口部13に銅（Cu）などの金属材料をスパッタ法あるいはメッキ法によって充てんし、ランド5上に突起6を形成する（f）。保護膜7を表面7bからエッチングなどによって削り取り、突起6の一部を保護膜7の表面7aから突出させ突出部6aを形成し（g）、突起6の突出部6aとはんだ材料からなる外部端子8を接合し（h）、所定のサイズに切断して、本発明の第1実施形態に示した半
- 25 導体装置を得る。

上記第2図に示した本発明による半導体装置の製造方法は、ウェハ状態で半導体素子を製造するのと同様の製造方法である。

なお、保護膜7には半導体素子のサイズや外部端子の端子配置と端子数に応じて選択した弾性係数を有する上記材料などを使用するが、保護膜の介在部7aの

- 変形によって接合部に発生するひずみの緩和効果を高めるためには、弾性係数の小さな材料、好ましくは $0.5 \text{ GPa} \sim 3 \text{ GPa}$ の範囲内にある材料を用いる。さらにこれらは低温（ -50°C 程度）において上記弾性係数の値を有していることが望ましい。さらに、ひずみ低減効果を得るためには、第1図（a）に示す介在部7aの厚さaをある程度確保することが必要である。ランド5とパッシベーション膜の間に介在する保護膜の介在部7aの厚さは、保護膜7に用いる材料の弾性係数によって変えることが望ましく、保護膜7の弾性係数が大きくなるとともに、介在部7aは厚く形成する必要がある。例えば上記したポリイミド樹脂を保護膜7として使用する場合は、ポリイミド樹脂の中から弾性係数が $1 \text{ GPa} \sim 3 \text{ GPa}$ 程度である材料を選択して使用するのが望ましく、この場合の介在部7aの厚さは $20 \mu\text{m}$ 以上にすることが望ましい。

また、保護膜7の構成は単一の材料から構成されていても良いし、複数の材料の層状構成であっても良い。この場合でも、保護膜全体としての弾性係数の値は上記範囲（ $0.5 \text{ GPa} \sim 3 \text{ GPa}$ ）にあることが望ましい。

- 第3図は、第1図に示した第1の実施形態における半導体装置を、プリント配線基板に実装した本発明による半導体実装構造体の第1の実施形態を示す断面図である。

- 第3図に示した半導体装置12は、外部端子8が設けられた平面側をプリント配線基板9と対向させ、プリント配線基板9の表面に設けられている接合パッド10と外部端子8を接合することによってプリント配線基板と機械的および電気的に接続される。なお、プリント配線基板9表面の接合パッド10が形成されていない部分には、プリント配線基板9の図示されていない内部配線を保護するためのレジスト膜11が形成されている。

- プリント配線基板9には、エポキシ樹脂を基材としてガラス布を配合したガラス／エポキシ基板（例えばFR-4）が代表的であるが、エポキシ樹脂の代わりにBT樹脂、アラミド樹脂などを用いた基板も使用される。

第3図に示すランド5上に設けた突起6の外部端子8と接合する突出部6aの高さをb、プリント配線基板9の接合パッド10が外部端子8と接合する高さをcとした場合、第1の実施形態における半導体装置では $b \geq c$ とするのが望まし

い。

上記した本発明の第1実施形態における半導体装置のように、ランド5上に設けた突起6の一部を外部端子8内部に突出させて接合すると、この部分に発生するひずみを低減することができる。同様に、プリント配線基板9側の接合部でも

5 接合パッド10が外部端子8内部に突出した状態で接合することによって、接合部に発生するひずみを低減することが可能となる。

第1図に示したようなランド5上の突起6および保護膜の介在部7aを形成していない半導体装置をプリント配線基板に実装すると、プリント配線基板の線膨張係数が外部端子8に用いられるはんだ材料の線膨張係数に近いことと、プリント

10 ト配線基板は半導体素子1が大部分を占める半導体装置より低弾性であることから、プリント配線基板側の外部端子接合部に発生するひずみが半導体装置側に発生するひずみより小さくなる。上記した第1の実施形態における半導体装置では、ランド5に形成した突起6と外部端子8を接合することによって、接合部分の剛性を大きくし、半導体装置側の接合部に発生するひずみを低減する。これとともに

15 に、半導体装置側、プリント配線基板側の両接合部に発生するひずみの差異を小さくすることができる。しかし、プリント配線側接合部において、接合パッド10が外部端子8内部への突出して接合する高さcを大きくすると、プリント配線基板側接合部のひずみは低減するが、相対的に半導体装置側接合部のひずみが増加することになる。したがって、突出部6aの高さbを、プリント配線基板9の

20 接合パッド10が外部端子8と接合する高さをcと同等、あるいは大きくした場合に、両接合部に発生するひずみの差異を小さくすることができ、全体として信頼性の向上を図ることが可能となる。

また、本発明による半導体実装構造体の第1実施形態では、プリント配線基板9の接合パッド10と外部端子8の平面方向、すなわち外部端子配列方向の接合

25 面積を、半導体装置12のランド5上に設けた突起6の外部端子8と接合する突出部6aの接合面積より大きくするのが望ましい。本実施形態では、突起6および接合パッド10の平面形状を円形としており、プリント配線基板側の接合面積を半導体装置側より大きくするため、突起6の突出部6aの直径をd、プリント配線基板9の接合パッドの直径をeとすると、 $e > d$ となるようにする。

プリント配線基板側の接合面積を半導体装置側より大きくすることによって、接合パッド10の剛性が増加し、プリント配線基板側の外部端子接合部に発生するひずみを低減することができる。そして、プリント配線基板側の外部端子接合部に発生するひずみと、突起6の突出部6aとの接合によって低減した半導体装置側の外部端子接合部に発生するひずみとの差異を小さくすることができる。これによって、温度変化が加わった場合の、半導体装置側、プリント配線基板側両方の外部端子接合部で発生する断線不良を防止することが可能となり、全体として信頼性の高い半導体実装構造体を実現することができる。

第4図は、第1図に示した半導体装置をプリント配線基板に実装した半導体実装構造体の他の様態を示す断面図である。

第4図に示す本半導体実装構造体では、プリント配線基板9の半導体装置実装面9aに、少なくとも外部端子8と接合パッド10の接合部分周囲を覆うように補強樹脂14を設けている。

補強樹脂14には、エポキシ樹脂あるいはエポキシ樹脂にシリカ粒子を充てんした材料などが用いられる。補強樹脂14の形成は、半導体装置20をプリント配線基板9に実装した後、液状の樹脂をプリント配線基板表面9aに流し込み、加熱、硬化させることによって行う。

プリント配線基板9の接合パッド10と外部端子8の接合部分を補強樹脂14で覆うことにより、プリント配線基板側の外部端子接合部に発生するひずみを補強樹脂14で緩和することができ、発生するひずみが減少する。プリント配線基板側の外部端子接合部のひずみが減少すると、突起6の突出部6aと外部端子8の接合、および保護膜の介在部7aの形成とによって減少した半導体装置側の外部端子接合部に発生するひずみとの差異がなくなり、半導体装置全体として外部端子接合部に発生するひずみを小さくすることが可能になる。

第5図は本発明による半導体装置の第2実施形態を示す断面図である。

第5図に示す本発明の第2実施形態である半導体装置の基本的な構成は、第1図に示した第1実施形態と同じであるが、第1実施形態と異なる点は、突起6の保護膜7で囲まれた部分6bが、外部端子8との接合部である突出部6aより細くなっていること、これによって、突起6の突出部6aの投影面内には、保護膜7

の介在部 7 c を形成したことである。

本発明の第 2 の実施形態における半導体装置によれば、突出部 6 a の投影面内に保護膜 7 の介在部 7 c を設けることによって、半導体装置とプリント配線基板の線膨張係数差によって外部端子 8 に発生する変形を、ランド 5 の構成材料より

5 低弾性である保護膜 7 の介在部 7 c の変形によって緩和することができ、半導体装置側およびプリント配線基板側両方の接合部に発生するひずみを低減することができる。

第 6 図は第 5 図示した本発明の第 2 実施形態における半導体装置の製造方法を説明するための断面図である。

10 パッド 2 と、パッド 2 の一部を露出させて半導体素子表面 1 a を覆うパッシベーション膜 3 が形成された半導体素子 1 の表面 1 a に (a)、導電性配線 4 をパッド 2 から保護膜 7 の表面上までメッキ法あるいはスパッタ法によって形成し、これと同時に保護膜 7 の表面上にランド 5 を設ける (b)。導電性配線 4 とランド 5 とパッシベーション膜 3 を覆うように、保護膜 7 をポッティング法、印刷法

15 あるいは張り付け法によって形成する (c)。さらに、ランド 5 の表面が露出するように保護膜 7 に表面 7 b から開口部 1 3 をレーザーあるいはエッチング等によって形成する (d)。開口部 1 3 および保護膜 7 の表面 7 b に銅 (Cu) などの金属材料 1 8 をスパッタ法あるいはメッキ法によって形成する (e) 開口部 1 3 内部の金属材料は、突起 6 となる。保護膜 7 の表面 7 b にレジスト膜 1 6 を形

20 成し (f)、不要な金属材料 1 8 をエッチング等により除去し、突起 6 の突出部 6 a を形成する (g)。突出部 6 a は保護膜 7 に覆われた突起 6 b 部分より平面方向のサイズが大きくなるように形成されており、突出部 6 a と半導体素子表面 1 a の間に保護膜の介在部 7 c が形成される。突起 6 の突出部 6 a と外部端子 8 を接合し (h)、所定のサイズに切断して、本発明の第 2 実施形態に示した半導

25 体装置を得る。

上記第 6 図に示した本発明による半導体装置の製造方法は、ウエハ状態で半導体素子を製造するのと同様の製造方法である。

第 7 図は本発明による半導体装置の第 3 実施形態を示す断面図である。

第 7 図に示すように、本発明の第 3 実施形態である半導体装置は、半導体素子

1 と、半導体装置表面 1 a 上のパッド 2 表面が露出するように形成されているパッシベーション膜 3 と、パッド 2 に接続する導電性配線 4 と、導電性配線 4 に連なるランド 5 と、第 1 保護膜 7 および第 2 保護膜 15 と、外部端子 8 とを備えている。

- 5 パッド 2 は半導体素子表面 1 a の中央部分に配置されており、パッド 2 には導電性配線 4 が接続している。導電性配線 4 は、パッド 2 に接続し、半導体素子表面 1 a 上に配置されている第 1 導電性配線 4 a と、ランド 5 に接続している第 2 導電性配線 4 b とから構成されている。第 1 保護膜 7 は、半導体素子表面 1 a 上においてパッシベーション膜 3 と第 1 導電性配線 4 a と第 2 導電性配線 4 b の一
- 10 部を覆うように設けられている。第 2 保護膜 15 は、第 2 導電性配線 4 b と、ランド 5 の外部端子接合面 5 a を除く部分を覆っている。第 1 導電性配線 4 a と第 2 導電性配線 4 b は、第 1 保護膜 7 を介して層状に配置されており、第 2 導電性配線に連なるランド 5 とパッシベーション膜 3 の間には、第 1 保護膜の介在部 7 a が形成されている。外部端子 8 はランドの外部端子接合面 5 a に接合される。
- 15 半導体素子 1 のパッド 2 と外部端子 8 は、導電性配線 4、ランド 5 を経由して電氣的に接続されている。第 1 導電性配線 4 a と第 2 導電性配線 4 b は、第 2 導電性配線 4 b の一部であって第 1 保護膜 7 の厚さ方向に延びるように形成した垂直配線 4 c によって電氣的に接続されている。

- 20 第 1 保護膜 7 には液状あるいはフィルム状のポリイミド樹脂、ポリエーテルイミド樹脂、アクリル変成エポキシ樹脂、ゴムを配合したエポキシ樹脂、シリコーン樹脂などが用いられる。

第 2 保護膜 15 には液状あるいはフィルム状のポリイミド樹脂、エポキシ樹脂、ガラス等のフィラーを充てんしたエポキシ樹脂などが用いられる。

- 25 導電性配線 4 およびランド 5 に用いる材料の弾性係数は、例えば銅 (Cu) の場合は 110 GPa 程度である。第 1 保護膜 7 に用いることができる例えば上記ポリイミド樹脂の室温における弾性係数は 1 ~ 9 GPa 程度であり、第 1 保護膜 7 を形成する材料の弾性係数は、ランド 5 を形成する材料より小さくなっている。なお、第 1 保護膜 7 の弾性係数は、材料の選択によってさらに小さくすることが可能である。

第8図は、第7図に示した第3実施形態における半導体装置を、プリント配線基板に実装した半導体実装構造体の断面図である。

第7図に示した半導体装置12は、外部端子8が設けられた平面側をプリント配線基板9と対向させ、プリント配線基板9の表面に設けられている接合パッド10と外部端子8を接合することによってプリント配線基板と機械的および電気的に接続される。

以上のように、本発明の第3の実施形態における半導体装置によれば、第1導電性配線4aと第2導電性配線4bを層状に配置することによって、ランド5と半導体素子表面1a上のパッシベーション膜3との間に第1保護膜7の介在部7aを設けることができる。これによって、半導体装置とプリント配線基板の線膨張係数差によって外部端子8に発生する変形を、ランド5の構成材料より低弾性である保護膜7の介在部7aの変形によって緩和することができ、半導体装置側およびプリント配線基板側両方の接合部に発生するひずみを低減することができる。

したがって、半導体装置をプリント配線基板に実装した状態で温度変化が加わった場合の、外部端子接合部で発生する断線不良を防止することが可能となり、信頼性の高い半導体装置および半導体実装構造体を実現することができる。

第1保護膜7は、外部端子8に発生する熱ひずみを低減するため、上記した材料のうち、比較的低弾性の材料を選択する。一方、第2保護膜15は、第1保護膜7を構成する材料より弾性係数の大きな材料で構成するのが望ましい。

一般に樹脂材料では、弾性係数が小さくなると、線膨張係数が大きくなる傾向がある。第7図に示した半導体装置が温度変化を受けると、弾性係数の小さな第1保護膜7には、収縮と膨張による変形が生じるようになる。この変形によって、第1保護膜7に接する導電性配線4にも変形が生じ、導電性配線4とパッド2の接合部、あるいは導電性配線4の屈曲部などで断線が発生する可能性がある。導電性配線4の上部に接する第2保護膜15を第1保護膜7より弾性係数の大きな材料で構成することにより、第2保護膜15による導電性配線4の変形拘束力が増加する。これによって、導電性配線4の変形量を減少でき、断線の発生を防止することができる。

第9図は本発明による半導体装置の第4実施形態を示す断面図である。

第9図において、半導体装置の構成は第7図に示した第3実施形態の半導体装置とほぼ同じであるが、異なる点はランド5上に突起6を形成し、第2保護膜15より突出した突出部6aと外部端子8を接合したことにある。

5 第10図は、第9図に示した第4実施形態における半導体装置を、プリント配線基板に実装した半導体実装構造体の断面図である。

第10図に示した半導体装置12は、外部端子8が設けられた平面側をプリント配線基板9と対向させ、プリント配線基板9の表面に設けられている接合パッド10と外部端子8を接合することによってプリント配線基板と機械的および電
10 氣的に接続される。

上記のように、ランド5に形成した突起6の突出部6aに外部端子8が接合されていると、半導体装置をプリント配線基板に実装した状態で温度変化が加わった場合、半導体装置側の突起6と外部端子8の接合部近傍における外部端子8の変形が突起6によって拘束され、変形量を小さくすることができる。これによ
15 て、半導体装置側接合部近傍の外部端子8に発生する熱ひずみを小さくすることができる。

第11図は第9図示した本発明の第4実施形態における半導体装置の製造方法を説明するための断面図である。なお、第7図に示した本発明の第3実施形態による半導体装置も、第11図に示す方法から突起6を形成する工程を省くこと
20 によって製造することができる。

パッド2と、パッド2の一部を露出させて半導体素子表面1aを覆うパッシベーション膜3が形成された半導体素子1の表面1aに(a)、パッド2に接続した第1導電性配線4aをメッキ法あるいはスパッタ法によって形成する(b)。第1導電性配線4aとパッシベーション膜3を覆うように、第1保護膜7をポッ
25 ティング法、印刷法あるいは張り付け法によって形成する(c)。第1保護膜7の表面7bから第1導電性配線4aの表面に達する開口部13をレーザーあるいはエッチング等によって形成する(d)。開口部13および第1保護膜7の表面7bに銅(Cu)などの金属材料18をスパッタ法あるいはメッキ法によって形成する(e)。開口部13内の金属材料は、垂直配線4cとなる。第1保護膜7

の表面 7 b に形成した金属材料 1 8 の不要部分をエッチング等で除去し、第 2 導電性配線 4 b と、これと同時にランド 5 を形成する (f)。第 1 保護膜 7 の表面 7 b に第 2 導電性配線 4 b とランド 5 を覆う第 2 保護膜 1 5 を形成し (g)、ランド 5 の外部端子接合面 5 a が露出するように第 2 保護膜 1 5 に開口部 1 3 を形成する (h)。この開口部 1 3 の内部に銅 (Cu) などを充てんし、突起 6 を形成し (i)、第 2 保護膜 1 5 の表面をエッチング等によって削り取って突起 6 の突出部 6 a を形成する (j)。突起 6 の突出部 6 a と外部端子 8 を接合し (k)、所定のサイズに切断して、本発明の第 4 実施形態に示した半導体装置を得る。

上記第 1 1 図に示した本発明による半導体装置の製造方法は、ウェハ状態で半導体素子を製造するのと同様の製造方法である。

なお、第 1 保護膜 7 には半導体素子のサイズや外部端子の端子配置と端子数に応じて選択した弾性係数を有する上記のような材料を使用するが、第 1 保護膜の介在部 7 a の変形によって接合部に発生するひずみの緩和効果を高めるためには、弾性係数の小さな材料、好ましくは 0.5 GPa ~ 3 GPa の範囲内にある材料を用いる。さらにこれらは低温 (-50℃程度) において上記弾性係数の値を有していることが望ましい。さらに、ひずみ低減効果を得るためには、第 7 図および第 9 図に示す介在部 7 a の厚さ a をある程度確保することが必要である。ランド 5 とパッシベーション膜の間に介在する第 1 保護膜の介在部 7 a の厚さは、第 1 保護膜 7 に用いる材料の弾性係数によって変えることが望ましく、第 1 保護膜 7 の弾性係数が大きくなるとともに、介在部 7 a は厚く形成する必要がある。例えば上記したポリイミド樹脂を第 1 保護膜 7 として使用する場合は、ポリイミド樹脂の中から弾性係数が 1 GPa ~ 3 GPa 程度ある材料を選択して使用するのが望ましく、この場合の介在部 7 a の厚さは 20 μm 以上にするのが望ましい。

また、第 1 保護膜 7 の構成は単一の材料から構成されていても良いし、複数の材料の層状構成であっても良い。この場合でも、保護膜全体としての弾性係数の値は上記範囲 (0.5 GPa ~ 3 GPa) にあることが望ましい。

第 1 2 図は、第 9 図に示した本発明の第 4 の実施形態による半導体装置をプリント配線基板に実装した半導体実装構造体の断面図であり、プリント配線基板 9 の接合パッド 1 0 と外部端子 8 の平面方向、すなわち外部端子配列方向の接合面

積を、半導体装置 12 のランド 5 上に設けた突起 6 の外部端子 8 と接合する突出部 6a の接合面積より大きくしている。第 12 図では、突起 6 および接合パッド 10 の平面形状を円形としており、プリント配線基板側の接合面積を半導体装置側より大きくするため、突起 6 の突出部 6a の直径を d 、プリント配線基板 9 の接合パッドの直径を e とすると、 $e > d$ となるようにする。

以上のように、プリント配線基板側の接合面積を半導体装置側より大きくすることによって、接合パッド 10 の剛性が増加し、プリント配線基板側の外部端子接合部に発生するひずみを低減することができる。そして、プリント配線基板側の外部端子接合部に発生するひずみと、突起 6 の突出部 6a との接合によって低減した半導体装置側の外部端子接合部に発生するひずみとの差異を小さくすることができる。これによって、温度変化が加わった場合の、半導体装置側、プリント配線基板側両方の外部端子接合部で発生する断線不良を防止することが可能となり、全体として信頼性の高い半導体実装構造体を実現することができる。

さらに、第 13 図は、第 9 図に示した本発明の第 4 の実施形態による半導体装置をプリント配線基板に実装した半導体実装構造体の断面図であり、プリント配線基板 9 の半導体装置実装面 9a には、少なくとも外部端子 8 と接合パッド 10 の接合部分周囲を覆うように補強樹脂 14 が設けられている。

補強樹脂 14 には、エポキシ樹脂あるいはエポキシ樹脂にシリカ粒子を充てんした材料などが用いられる。補強樹脂 14 の形成は、半導体装置 12 をプリント配線基板 9 に実装した後、液状の樹脂をプリント配線基板表面 9a に流し込み、加熱、硬化させることによって行う。

以上のように、プリント配線基板 9 の接合パッド 10 と外部端子 8 の接合部分を補強樹脂 14 で覆うことにより、プリント配線基板側の外部端子接合部に発生するひずみを補強樹脂 14 で緩和することができ、発生するひずみが減少する。プリント配線基板側の外部端子接合部のひずみが減少すると、突起 6 の突出部 6a と外部端子 8 の接合、および第 1 保護膜の介在部 7a の形成とによって減少した半導体装置側の外部端子接合部に発生するひずみとの差異がなくなり、半導体装置全体として外部端子接合部に発生するひずみを小さくすることが可能になる。

これによって、半導体装置をプリント配線基板に実装した状態で温度変化が加

わった場合の、外部端子接合部で発生する断線不良を防止することが可能となり、信頼性の高い半導体装置および半導体実装構造体を実現することができる。

第14図は、第7図および第9図に示した本発明による半導体装置の他の様態を示す断面図である。

- 5 第14図(a)に示した半導体装置の基本構成は第7図に示した半導体装置と同じであり、また第14図(b)に示した半導体装置の基本構成は第9図に示した半導体装置と同じであるが、異なる点は半導体素子表面1aのパッシベーション膜3と第1導電性配線4aとの間に第3保護膜17を設けていることである。

- 第3保護膜17には、液状あるいはフィルム状のポリイミド樹脂、特に感光性のポリイミド樹脂や、ポリエーテルイミド樹脂、エポキシ樹脂、アクリル変成エポキシ樹脂、ゴムを配合したエポキシ樹脂、シリコーン樹脂などが用いられる。第3保護膜17は、上記した樹脂材料を印刷、ポッティング、スピコート、あるいはフィルム状にした貼付けなどによって形成する。
- 10

- 第14図のようにパッシベーション膜3と第1導電性配線との間に第3保護膜17を設けることによって、半導体素子1内部に形成されている図示されていない回路配線と第1導電性配線4aの間に生じる電気容量に起因して発生する信号ノイズの発生を防止することができる。
- 15

- 第3保護膜17は、半導体素子1内部に形成されている回路配線と第1導電性配線4aの間に生じる電気容量を小さくするために、厚く形成することが望ましい。第3保護膜17の厚さは、半導体素子の性能や内部の回路配線の配置によって適宜選択することが必要であるが、10 μ m程度の厚さを確保する必要がある。
- 20

- これまで示したランド5に突起6を形成する本発明の半導体装置においては、第15図に示すように、ランド5の平面方向のサイズgを突起6のサイズdより大きくし、ランド5の端部5bが突起6の側面6cより外側へ突出するように形成するのが望ましい。
- 25

温度変化が加わったことによって外部端子8に発生する熱ひずみは、剛性の大きな突起6による外部端子8の変形拘束によって低減するが、半導体装置とプリント配線基板の線膨張係数差によって生じる変形は突起6自体に作用するようになる。突起6の変形は突起6が形成されているランド5と保護膜7の界面に応力

を発生させ、特にランド5の端部5bに応力が集中し、この部分から保護膜7の割れが発生することがある。この保護膜7の割れを防止するため、ランド端部5bを突起側面6cより外側に位置するようにする。これによって、ランド5と保護膜7の接触面積が増加し、両者の界面に発生する応力を広い面積で分担するようになるため、ランド端部5bに集中する応力を緩和できるようになる。

また、これまで示した本発明による半導体装置では、半導体素子1のパッド2が半導体素子1の中央部分に配置されている実施形態を例としていた。半導体素子1のパッド2の配置は、半導体素子1の中央部分に限定されるものではなく、第16図に示すように、半導体素子の端部1b近傍に配置しても良い。第16図に示した半導体装置では、半導体素子1の端部1b近傍に配置されたパッド2から半導体素子内部方向に導電性配線4が引き延ばされ、パッド2とパッシベーション膜3と導電性配線4に連なるランド5を覆う保護膜7が形成されている。ランド5上には突起6が形成されており、外部端子8は突起6の突出部6aに接合されている。

半導体素子1の端部1b近傍にパッド2を設ける構造は、比較的入出力信号の数が多し半導体素子1を用いて半導体装置を構成する場合に適している。

第17図は、第9図に示した本発明の第4実施形態における半導体装置の他の様態を示す断面図であり、プリント配線基板に実装した状態を示している。

第17図に示した半導体装置の基本構成は第9図に示した半導体装置と同じであるが、異なる点は、ランド5上に形成された突起6の表面6dが第2保護膜15の表面15aと面一になっており、外部端子8を突起6の表面6dに接合していることである。

第17図のような構成によっても、半導体装置をプリント配線基板に実装した状態で温度変化が加わった場合、半導体装置側の突起6と外部端子8の接合部近傍における外部端子8の変形が剛性の大きな突起6によって拘束されるため、外部端子8の変形量を小さくすることができる。これによって、半導体装置側接合部近傍の外部端子8に発生する熱ひずみを小さくすることができる。

半導体装置のランド5に形成した突起6の突出部6aに外部端子8を接合した場合の熱ひずみ低減効果を確認するため、有限要素法による熱ひずみの解析を行

- った。ランド5と半導体素子表面1 a間の保護膜6の厚さを $5\mu\text{m}$ 、突出部6 aの直径および接合パッドの直径を $\phi 250\mu\text{m}$ 、プリント配線基板の材質は、ガラス布が配合されたエポキシ樹脂基板（FR-4相当）とし、 125°C から -55°C の温度変化を与えた。その結果、第1表に示すように外部端子8に発生する熱ひずみは、突起6を形成しない場合は3.4%であるのに対して、突起6形成によって2.7%まで低減することができる。

第1表

	外部端子に発生する 最大ひずみ(%)
突起有り ($b=0.02\text{mm}$)	2.7
突起無し	3.4

- また、外部端子8を接合するプリント配線基板の接合パッドサイズを同じく外部端子8を接合する半導体装置側の接合部（または突出部6 a）のサイズより大きくした場合の熱ひずみの関係を有限要素法による解析で求めた。その結果、第2表で示すように、接合パッドの直径eと半導体装置側の接続部の直径dが同じで、突起6が形成されていない場合は、プリント配線基板側に発生するひずみと半導体装置側に発生するひずみの差異は大きくなる。突起6を形成して外部端子8を接合し、さらに接合パッドの直径eを突出部6 aの直径dより大きくすることによって、プリント配線基板側及び半導体装置側に発生するひずみの差異を小さくすることができる。

第2表

突起	接合パッドの直径e / 半導体装置側接続部 (突起部) の直径d	プリント配線基板側 のひずみ / 半導体装置 側のひずみ
無し	1	0.72
有り ($b=0.02\text{mm}$)	1	1.11
有り ($b=0.02\text{mm}$)	1.14	1.02

- 以上のように、本発明にかかる半導体装置および半導体実装構造体は、半導体装置をプリント配線基板に実装した後に、半導体装置とプリント配線基板との線膨張係数差によって外部端子に生じるひずみを低減し、外部端子の破断発生を防止することができる。特に、ウエハプロセスによって製造するチップサイズの半
- 5 導体装置において、外部端子の破断防止に有用であり、これによって、信頼性の高い小型の半導体装置および半導体実装構造体を提供することができる。

請求の範囲

1. パッドが形成された半導体基板と、
この半導体基板のパッド形成面側に形成されたパッシベーション膜と、
- 5 前記パッシベーション膜の前記半導体基板側とは反対側に絶縁性膜を介して形成された外部端子接続用のランドとを備え、
前記パッドと前記ランドは導電性配線により接続されており、
前記ランドの外部端子が接続される部分には突起が形成されていることを特徴とする半導体装置。
- 10 2. パッドが形成されたシリコン基板と、
このシリコン基板のパッド形成面側に形成されたパッシベーション膜と、
前記シリコン基板のパッド形成面側に形成された外部端子接続用のランドと、
前記パッドと前記ランドを接続する配線とを備えた半導体装置において、
前記パッシベーション膜と前記ランドとの間には絶縁膜が介在しており、
- 15 前記ランドの前記シリコン基板側とは反対側の面には突起が形成されており、
前記突起には前記外部端子が接続されていることを特徴とする半導体装置。
3. パッドが形成された半導体基板と、
この半導体基板のパッド形成面側に形成されたパッシベーション膜と、
前記半導体基板のパッド形成面側に形成された外部端子接続用のランドと、
- 20 前記パッドと前記ランドを接続する配線とを備えた半導体装置において、
前記配線は前記パッドと接する第1の配線と前記ランドに連なる第2の配線とを有していることを特徴とする半導体装置。
4. パッドが形成されたシリコン基板と、
このシリコン基板のパッド形成面側に形成されたパッシベーション膜と、
- 25 前記シリコン基板のパッド形成面側に形成された外部端子接続用のランドと、
前記パッドと前記ランドを接続する配線とを備えた半導体装置において、
前記配線は前記パッドと接する第1の配線と前記ランドに連なる第2の配線とを有しており、
前記パッシベーション膜と前記ランドとの間には絶縁性の膜が形成されており、

前記ランドの前記シリコン基板側とは反対側の面には突起が形成されており、前記突起には前記外部端子が接続されていることを特徴とする半導体装置。

5. パッドが形成された半導体基板と、

この半導体基板のパッド形成面側に形成されたパッシベーション膜と、

5 前記半導体基板のパッド形成面側に形成された外部端子接続用のランドと、

前記ランドに接続された外部端子と、

前記パッドと前記ランドを接続する配線とを備えた半導体装置において、

前記半導体基板のパッド形成面側には、前記外部端子以外の領域に絶縁性の保護膜が形成されていることを特徴とする半導体装置。

10 6. パッドが形成された半導体基板と、

この半導体基板のパッド形成面側に形成されたパッシベーション膜と、

前記半導体基板のパッドに接続する導電性配線と、

この導電性配線に連なるランドと、

前記ランド上に形成した突起と、

15 前記突起に接合された外部端子と、

前記半導体基板と前記ランドとの間にあって前記ランドに接する第1の保護膜と

前記外部端子形成面側に露出面を有する第2の保護膜とを備えたことを特徴とする半導体装置。

20 7. パッドが形成されたシリコン基板と、

このシリコン基板のパッド形成面側に形成されたパッシベーション膜と、

前記シリコン基板のパッド形成面側に形成された外部端子接続用のランドと、

前記パッドと前記ランドを接続する配線とを備えた半導体装置において、

前記配線は前記パッドと接する第1の配線と前記ランドに連なる第2の配線と

25 を有しており、

前記第1の配線と前記パッシベーション膜との間には第1の絶縁性膜が形成された領域があり、

前記パッシベーション膜と前記ランドとの間には第2の絶縁性膜が形成されており、前記ランドの前記シリコン基板側とは反対側の面には突起が形成されてお

り、前記突起には前記外部端子が接続されていることを特徴とする半導体装置。

8. 請求項6において、前記第2の保護膜を前記第1の保護膜より弾性係数の大きな材料で形成したことを特徴とする半導体装置。

9. 請求項1, 2, 4, 6, 7, 8のいずれかにおいて、前記突起は前記ランドの投影面内にあり、前記ランドの端部は突起の端部より外側に位置することを特徴とする半導体装置。

10. 請求項1, 2, 4, 6, 7, 8のいずれかにおいて、前記外部端子と前記突起は、前記突起表面に設けられた金属薄膜を介して接合されていることを特徴とする半導体装置。

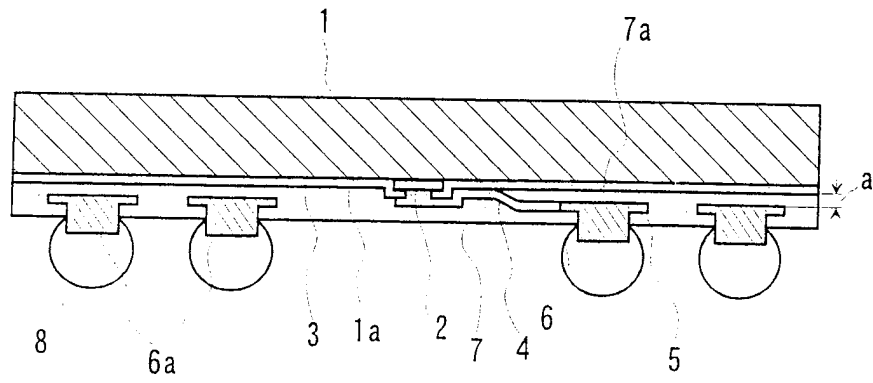
10 11. 請求項1及至10のいずれかに記載の半導体装置において、外部端子を介してプリント回路基板に実装した半導体実装構造体において、プリント配線基板の接合パッドと前記外部端子との外部端子配列方向の接合面積を、前記突起と外部端子との外部端子配列方向の接合面積より大きくしたことを特徴とする半導体実装構造体。

15 12. 請求項1及至10のいずれかに記載の半導体装置において、外部端子を介してプリント回路基板に実装した半導体実装構造体において、プリント配線基板の接合パッドと前記外部端子との接合部周囲を樹脂で覆ったことを特徴とする半導体実装構造体。

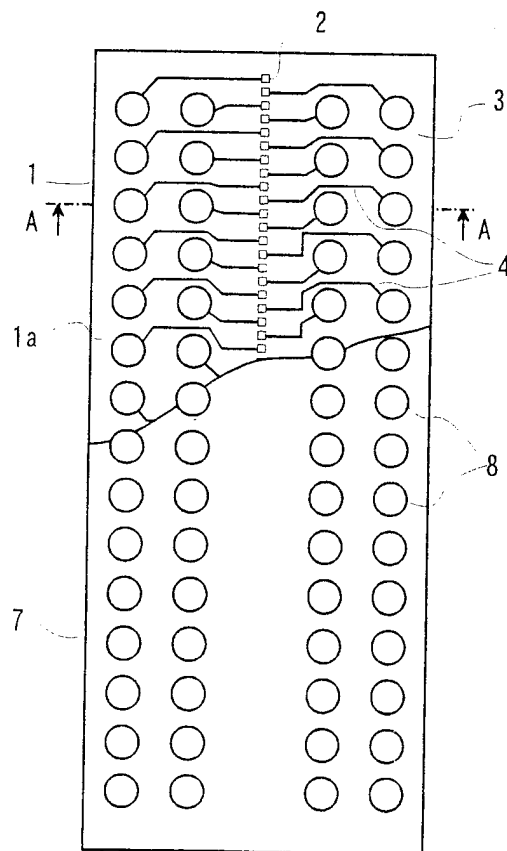
1 / 13

第 1 図

(a)

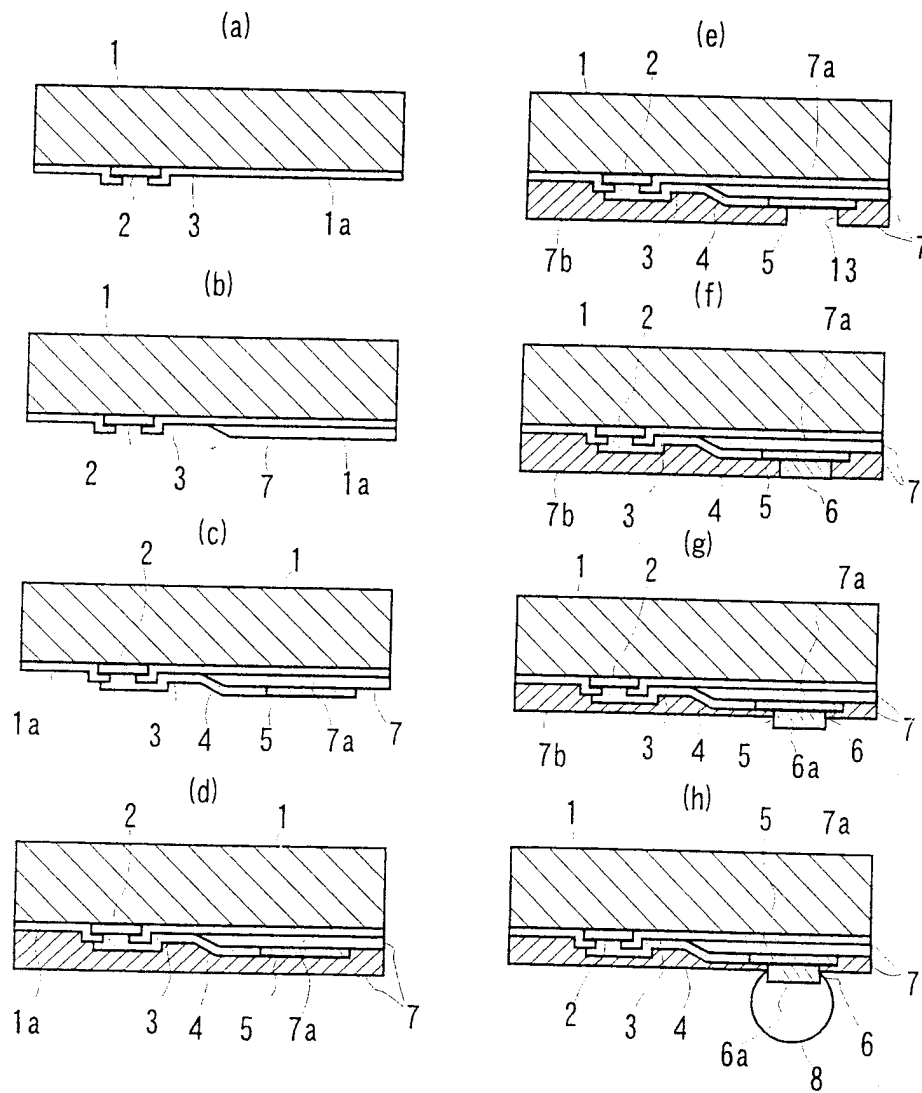


(b)



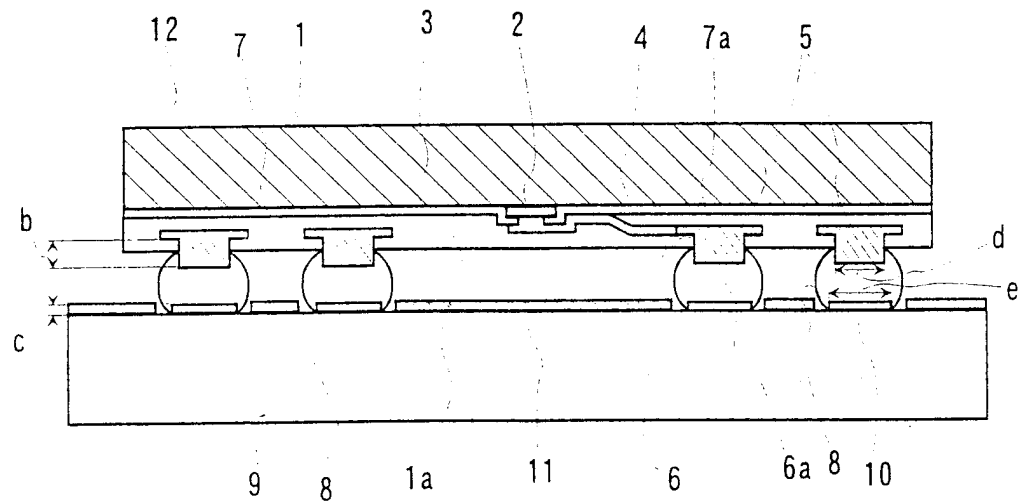
2 / 13

第 2 図



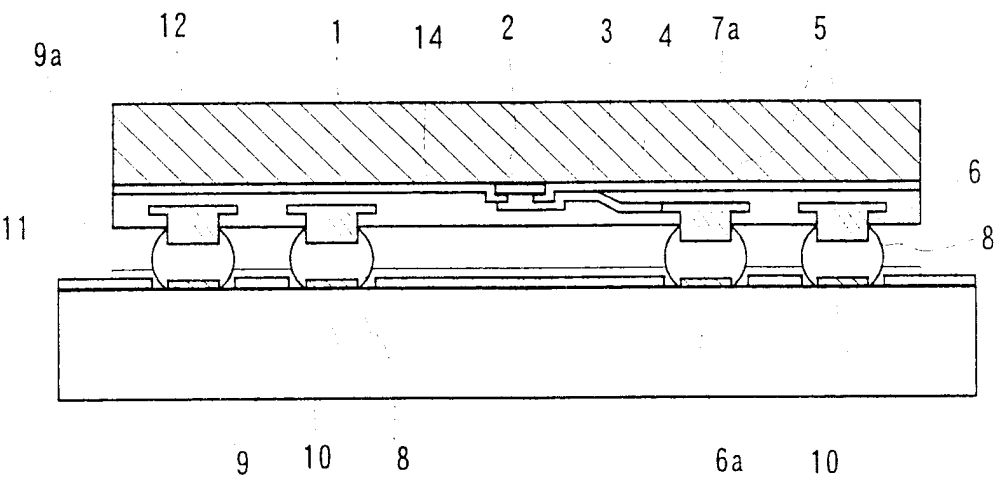
3 / 13

第 3 図

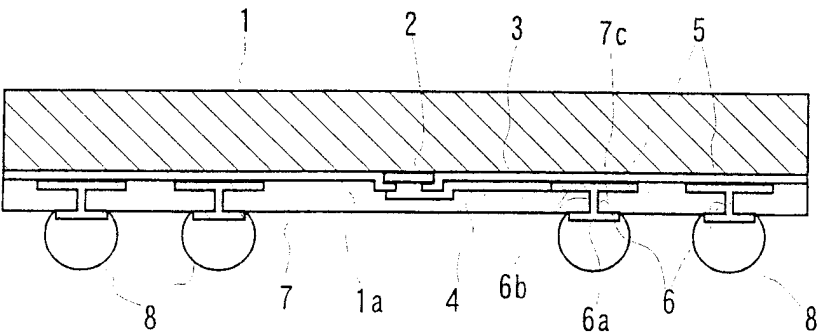


4 / 13

第 4 図

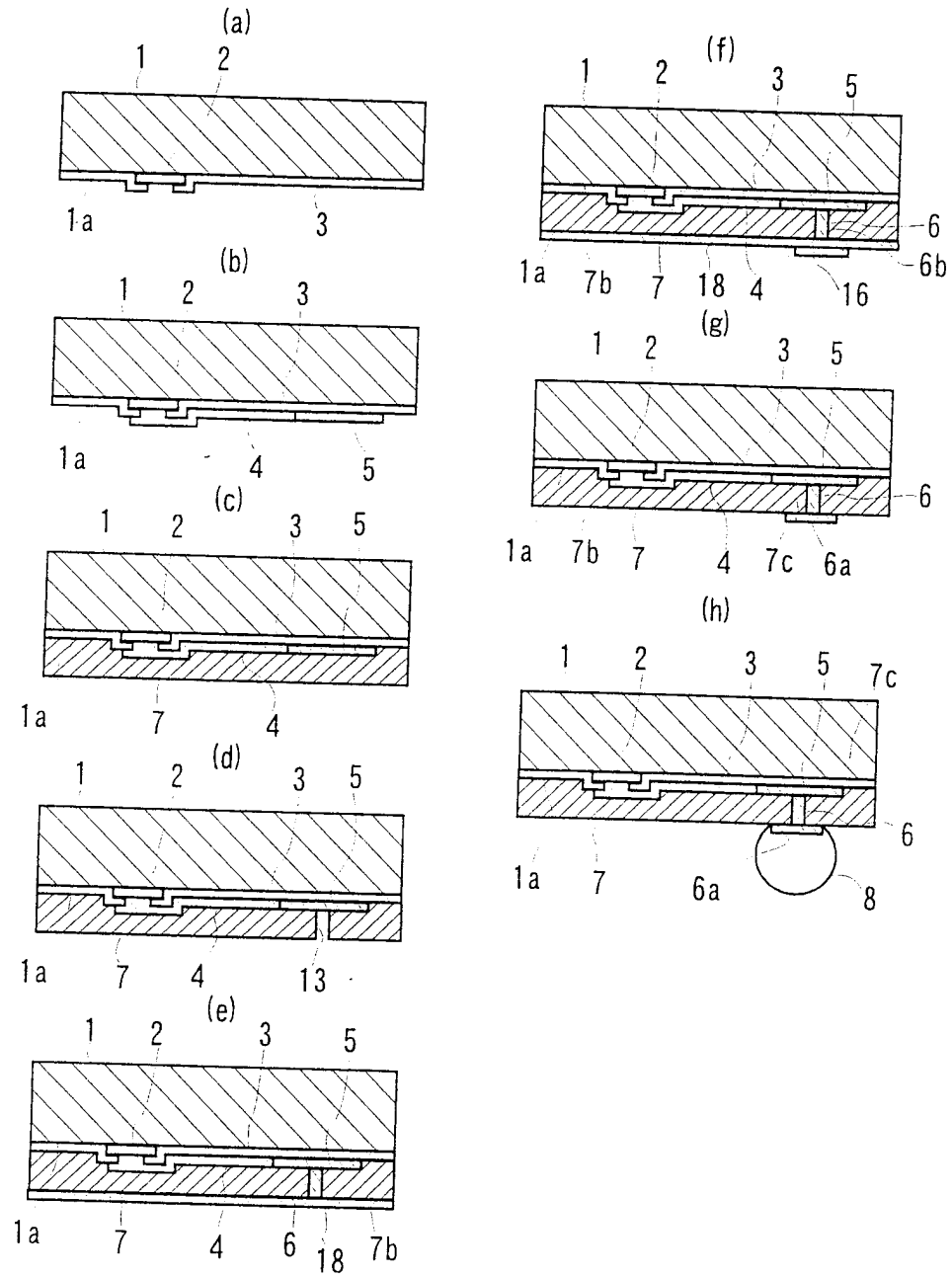


第 5 図

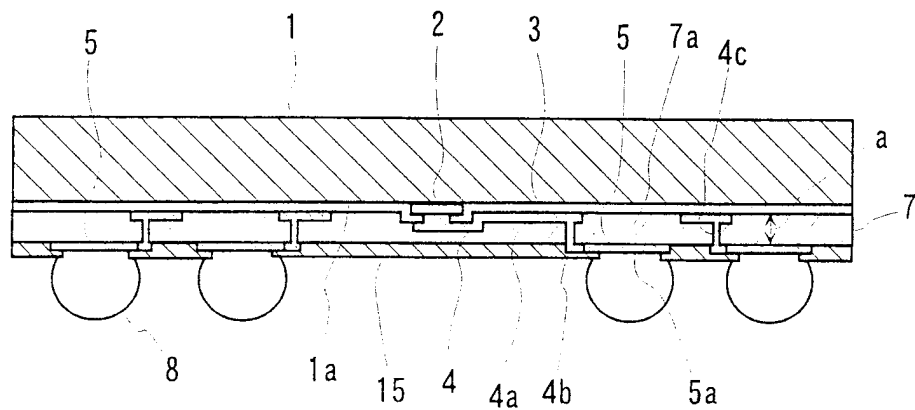


6 / 13

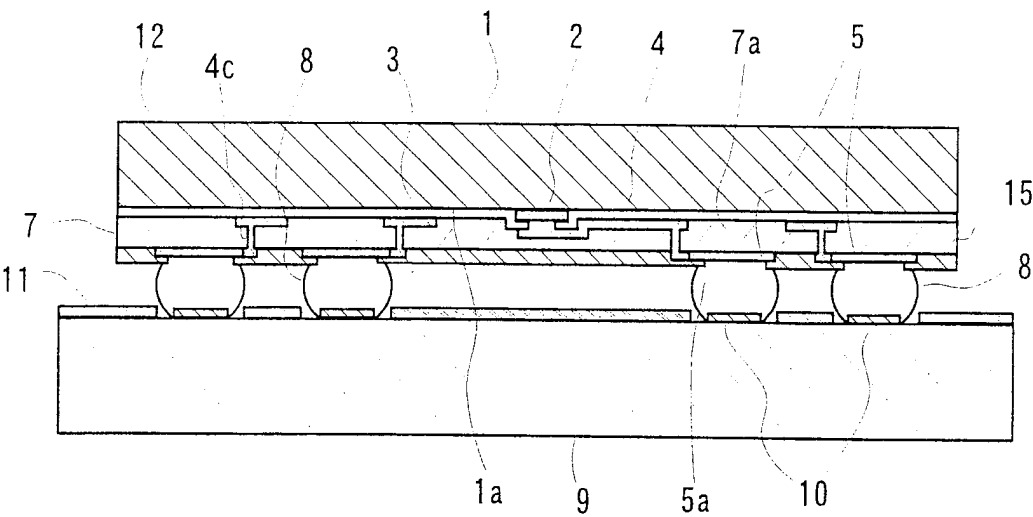
第 6 図



第 7 図

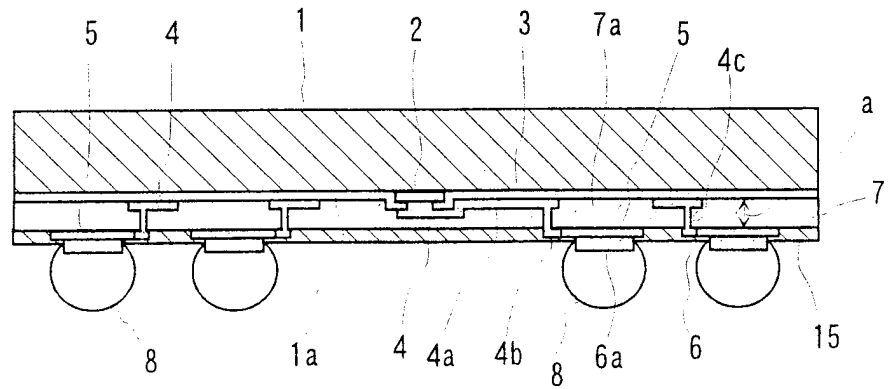


第 8 図

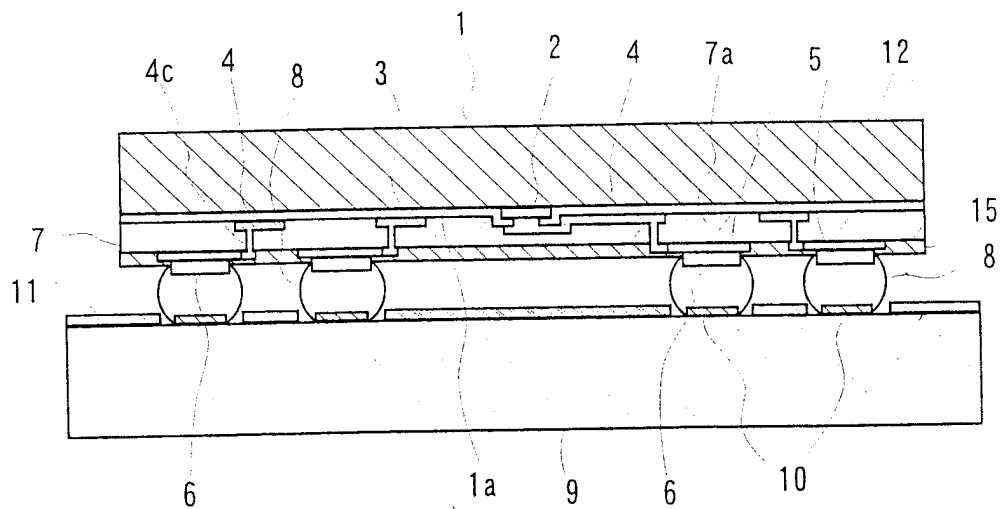


8 / 13

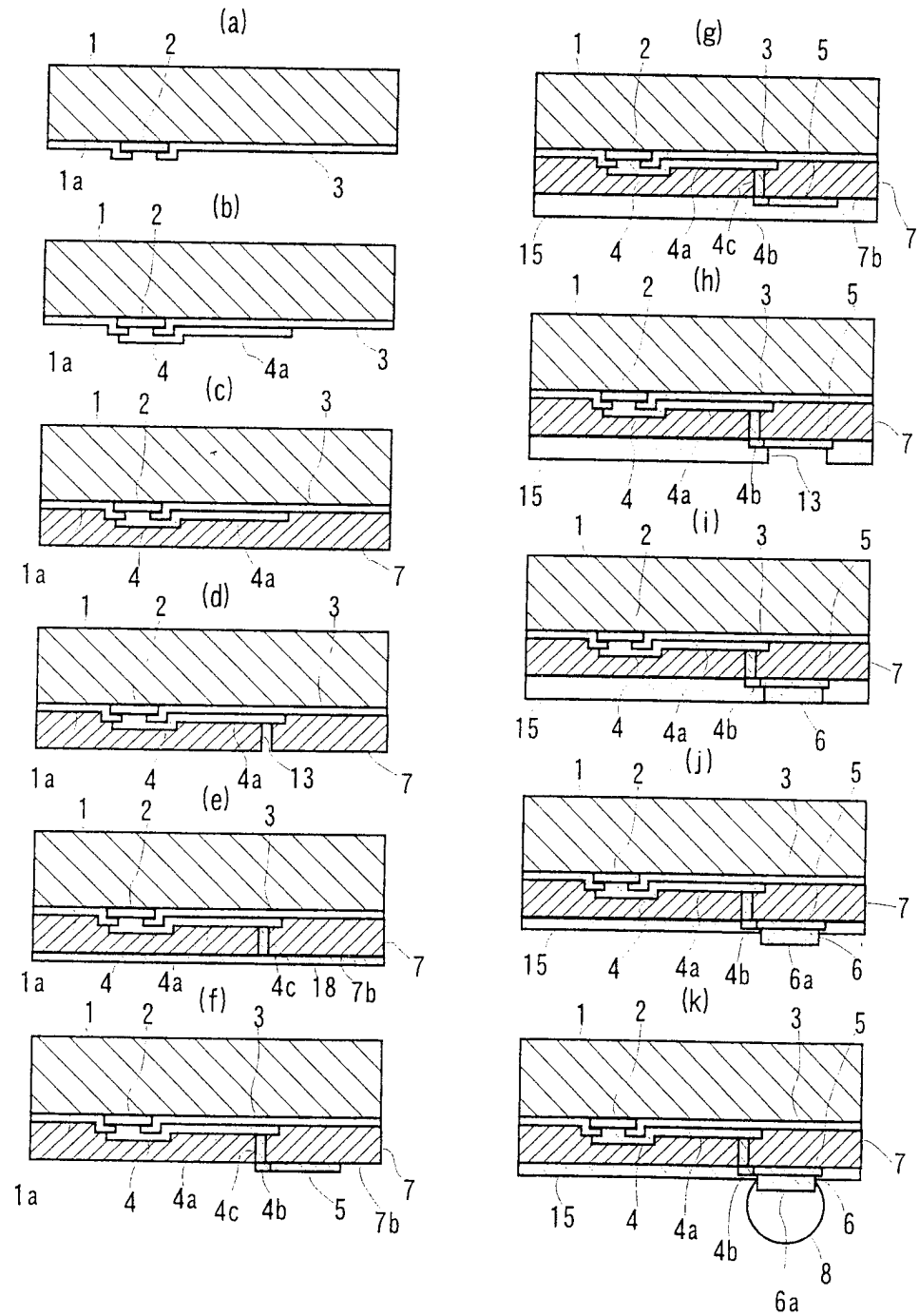
第 9 図



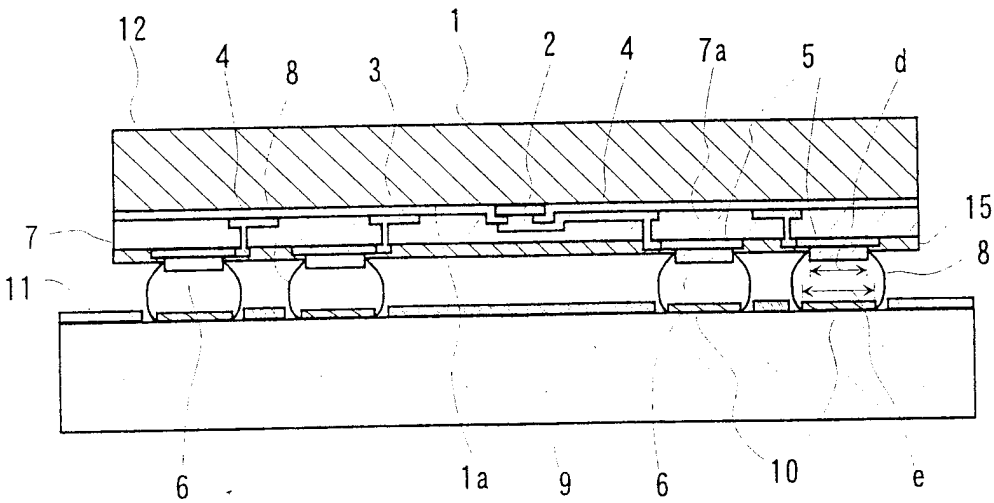
第 10 図



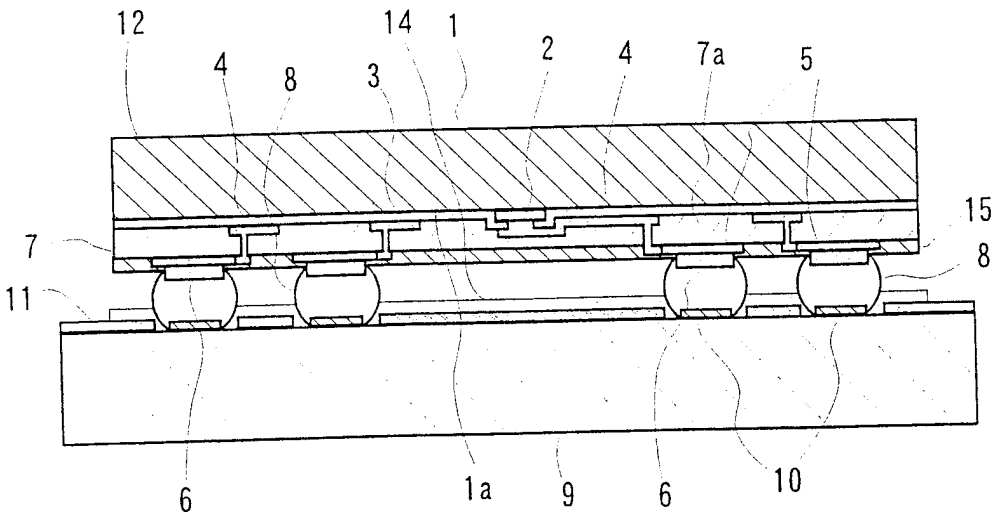
第 1 1 図



第 1 2 図



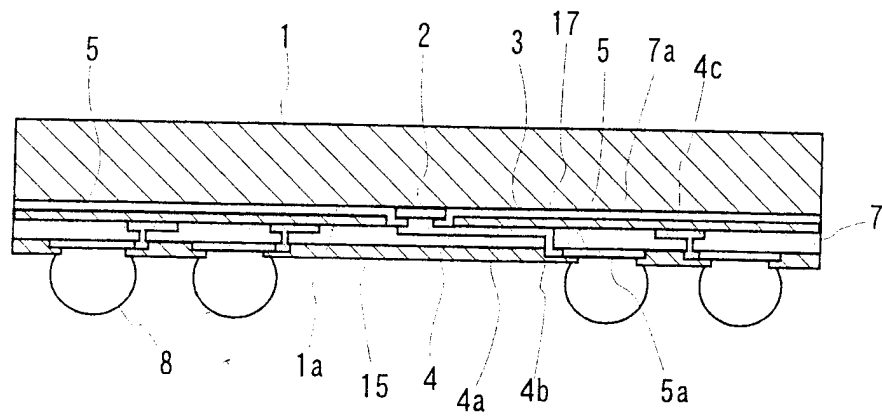
第 1 3 図



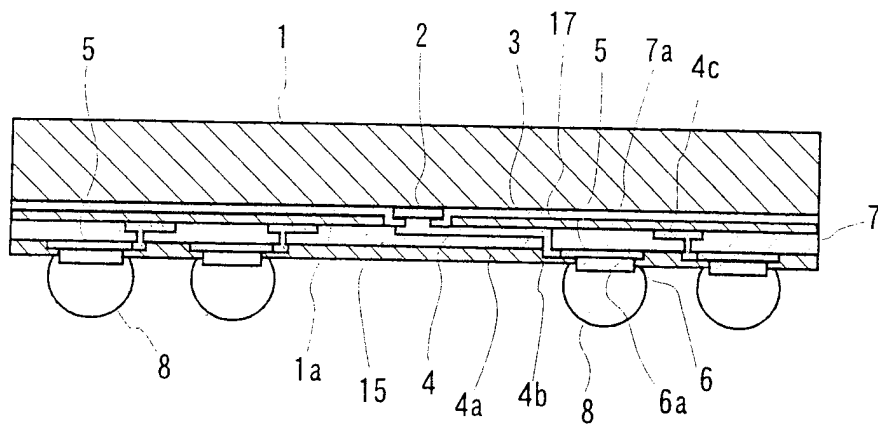
11 / 13

第 1 4 図

(a)

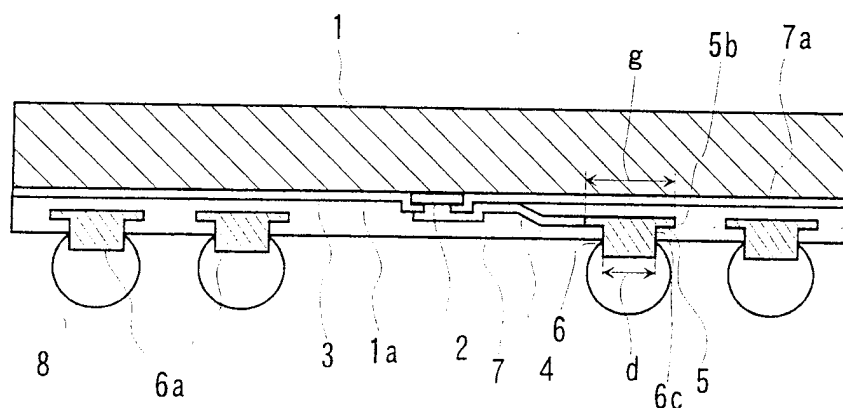


(b)

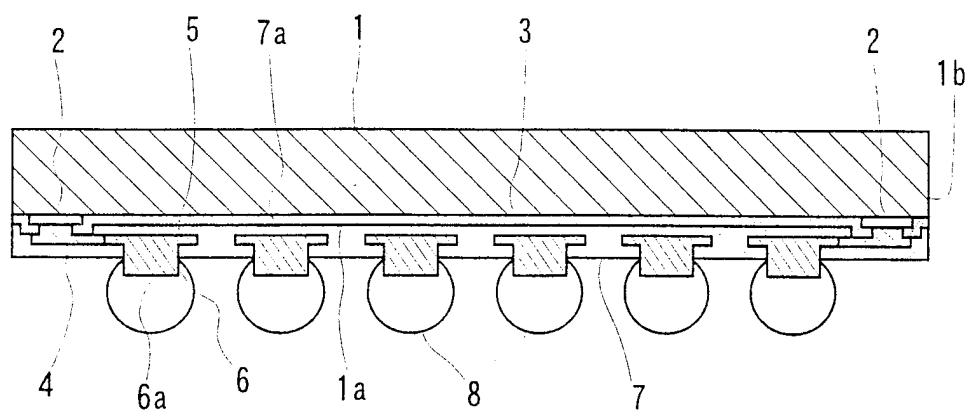


12 / 13

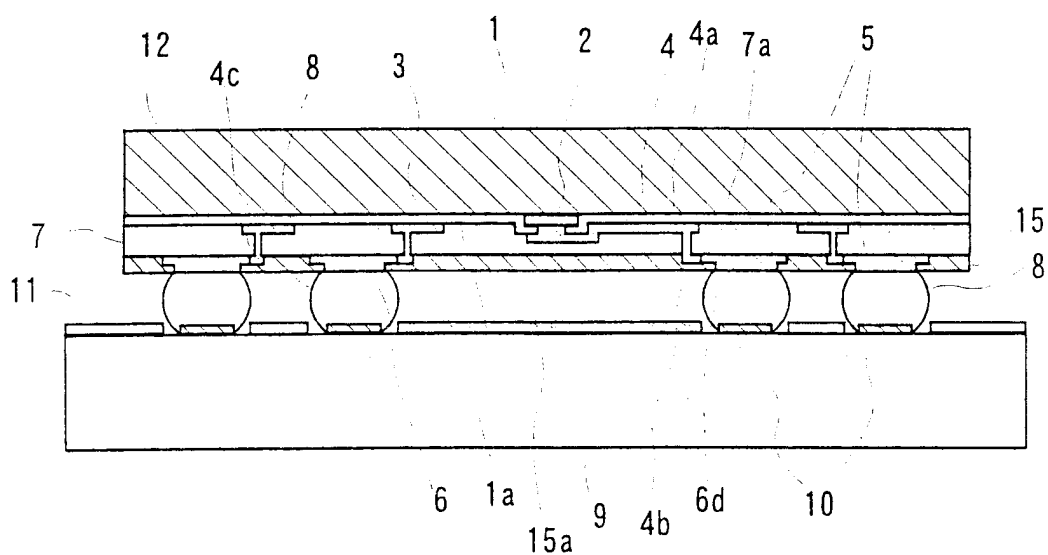
第 15 図



第 16 図



第 17 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/01550

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L23/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L23/12 H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2000

Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	JP, 2000-68671, A (Matsushita Electric Ind. Co., Ltd.), 03 March, 2000 (03.03.00), Claims; Fig. 2 (Family: none)	3, 5
X Y	WO, 98/32170, A1 (Seiko Epson Corporation), 23 July, 1998 (23.07.98), Fig. & EP, 917195, A1	5 12
X Y	JP, 8-330313, A (SHINKO ELECTRIC INDUSTRIES CO., LTD.), 13 December, 1996 (13.12.96), Par. No. [0016]; Fig. 5 (Family: none)	3 12
A	JP, 11-54649, A (Matsushita Electronic Corporation), 26 February, 1999 (26.02.99) & WO, 98/56041, A1	1-12
A	JP, 10-289966, A (NEC Corporation), 27 October, 1998 (27.10.98) (Family: none)	1-12
A	EP, 706208, A2, A (KABUSHIKI KAISHA TOSHIBA), 10 April, 1996 (10.04.96) & JP, 9-129772, A	1-12

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
05 June, 2000 (05.06.00)Date of mailing of the international search report
13 June, 2000 (13.06.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/01550

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 10-12768, A (NEC Corporation), 16 January, 1998 (16.01.98) (Family: none)	1, 2, 4, 6-11
Y	JP, 10-214911, A (Toshiba Corporation), 11 August, 1998 (11.08.98), Par. No. [0006]; Fig. 13 (Family: none)	12

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁷ H01L23/12

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁷ H01L23/12 H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2000年
 日本国登録実用新案公報 1994-2000年
 日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PX	JP, 2000-68671, A (松下電器産業株式会社) 3. 3月. 2000 (03. 03. 00) 特許請求の範囲、図2 (ファミリーなし)	3, 5
X Y	WO98/32170, A1 (セイコーエプソン株式会社) 23. 7月. 1998 (23. 07. 98) 図8 & EP, 917195, A1	5 12

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

05. 06. 00

国際調査報告の発送日

13.06.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂本 薫昭



4R

9265

電話番号 03-3581-1101 内線 6362

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP, 8-330313, A (新光電気工業株式会社) 13. 12月. 1996 (13. 12. 96) 【0016】、図5 (ファミリーなし)	3 12
A	JP, 11-54649, A (松下電子工業株式会社) 26. 2月. 1999 (26. 02. 99) & WO, 98/56041, A1	1-12
A	JP, 10-289966, A (日本電気株式会社) 27. 10月. 1998 (27. 10. 98) (ファミリーなし)	1-12
A	EP, 706208, A2, A (KABUSHIKI KAISHA TOSHIBA) 10. 4月. 1996 (10. 04. 96) & JP, 9-129772, A	1-12
A	JP, 10-12768, A (日本電気株式会社) 16. 1月. 1998 (16. 01. 98) (ファミリーなし)	1, 2, 4, 6-11
Y	JP, 10-214911, A (株式会社東芝) 11. 8月. 1998 (11. 08. 98) 【0006】、図13 (ファミリーなし)	12