

(19) **FEDERAL
REPUBLIC OF
GERMANY GERMAN
PATENT AND
TRADEMARK OFFICE**

(12) **Patent application**
(10) **DE 100 11 368 A1**

(21) Registration number: 10011 368.0
(22) Date of filing: 3.9.2000
(43) Publication Date: 12.7.2000

(51) Int. Cl.⁷:
H 01L 23/50
H 01 L21/60

DE 100 11 368 A1

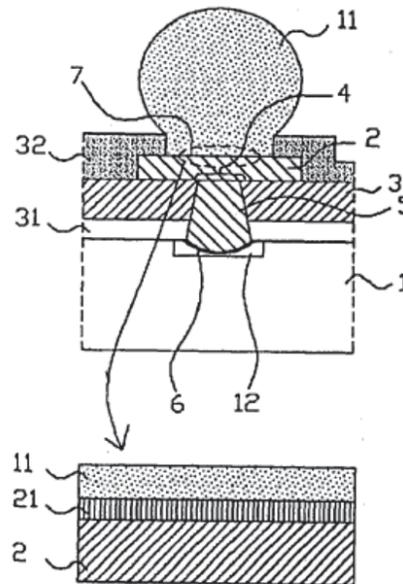
<p>(30) Union priority: 11-061912 9. 3.1999 JP</p> <p>(71) Applicant: NEC Corp., Tokyo, JP</p> <p>(74) Representative: Glawe, Delfs, Moll & Partner, Patent Attorneys, 80538 Munich, Germany</p>	<p>(72) Inventors: Takizawa, Tomoko, Tokyo, JP; Takeuchi, Masanori, Tokyo, JP</p>
--	---

The following information is taken from the documents submitted by the applicant.

Examination effected according to Section 44 PatG

(54) Semiconductor device and method for its fabrication

(57) There is provided a semiconductor device including a semiconductor chip (1), a wiring (2) making electrical connection with the semiconductor chip (1) and containing copper (Cu) therein, a solder ball (11) making contact with the wiring (2) and containing tin (Sn) therein, and a layer (21) made of copper-tin (Cu-Sn) alloy, sandwiched between the wiring (2) and the solder ball (11), and having a thickness equal to or greater than about 1.87 micrometers. The copper-tin alloy layer strengthens connection between the wiring and the solder ball (11), and hence ensures reduction in occurrence of breakage and/or cracking in the wiring and the solder ball (11). As a result, it would be possible to avoid the solder ball (11) from being separated from the wiring due to the breakage and cracking. Accordingly, a fabrication yield of the semiconductor device may be enhanced.



DE 100 11 368 A1

Description

The invention relates to a semiconductor device and a method of fabricating the same, and more particularly to enhancement of a fabrication yield of a semiconductor device.

In response to requirement for an electronic device to accomplish higher performance, to be smaller in size and lighter in weight, and to be able to operate at a higher rate, many new semiconductor devices have been developed. For instance, an electronic device is formed smaller in size and lighter in weight by more highly integrating a semiconductor chip to thereby fabricate a semiconductor device in smaller size and weight.

FIGS. 1A to 1C illustrate a conventional semiconductor device. FIG. 1A is a cross-sectional view of a conventional semiconductor device, FIG. 1B is an enlarged view of a connection between a wiring layer and a solder ball, and FIG. 1C is a cross-sectional view illustrating that the semiconductor device illustrated in FIG. 1A is electrically connected to a printed wiring board.

With reference to FIG. 1A, the conventional semiconductor device is comprised of a semiconductor chip 1, a film substrate 3, a polyimide adhesive layer 31 adhering the film substrate 3 to the semiconductor chip 1, a resist 32 covering the wiring layer 2 therewith and formed with a land 7 which is a recess formed at a surface thereof, a wiring layer 2 formed on the film substrate 3, a solder ball 101 mounted on the wiring layer 2 in the land 7, a gold (Au) layer 8 covering the wiring layer 2 therewith within the land 7, a metal 5 filled in a through-hole 4 formed through both the film substrate 3 and the polyimide adhesive layer 31, and a gold (Au) layer 6 covering therewith the metal 5 at a top surface thereof.

The wiring layer 2 is in electrical connection with the semiconductor chip 1, and contains copper (Cu) therein. The solder ball 101 contains tin (Sn) therein. Though FIG. 1A explicitly illustrates the gold layer 8 formed on the wiring layer 2, it is considered that the gold layer 8 is diffused into the solder ball 101 in a heating step such as a temperature cycle test to be carried out after completion of the semiconductor device, and hence, it is further considered that the gold layer 8 will not exist on the wiring layer 2 after such a heating step is carried out.

As illustrated in FIG. 1C, the semiconductor device illustrated in FIG. 1A is electrically connected to a printed wiring board 34 through the solder ball 101.

FIG. 2A is an enlarged view of the wiring layer 2 and the solder ball 101, wherein the solder ball 101 is composed of Sn-Pb eutectic solder containing tin 82 at 63% and lead 83 at 37%. FIG. 2B is a partially enlarged view of a boundary between the wiring layer 2 and the solder ball 101. As illustrated in FIG. 2B, a Cu-Sn alloy layer 81 having a thickness of 1.75 micrometer to 2.0 micrometer is sandwiched between the wiring layer 2 and the solder ball 101.

A method of fabricating the conventional semiconductor device illustrated in FIGS. 1A to 1C is explained herein below with reference to FIGS. 3A to 3H and 4A to 4H. FIGS. 3A to 3H are partial cross-sectional views of the semiconductor device illustrated in FIG. 1A.

First, as illustrated in FIG. 3A, the wiring layer 2 containing copper therein is formed on an upper surface of the film substrate 3, and the adhesive layer 31 is formed on a lower surface of the film substrate 3. The film substrate 3 has a thickness of 12 micrometers, the wiring layer 2 has a thickness of 18 micrometers, and the adhesive layer 31 has a thickness of 10 micrometers. The film substrate 3 is composed of a material having a resistant to a temperature of 250 degrees centigrade or greater, such as polyimide. The adhesive layer 31 is composed of polyimide.

Then, as illustrated in FIG. 3B, the wiring layer 2 is patterned into a predetermined pattern.

Then, as illustrated in FIG. 3C, the patterned wiring layer 2 and the film substrate 3 are both covered with the resist 32.

Then, as illustrated in FIG. 3D, there is formed the through-hole 4 through the adhesive layer 31 and the wiring layer 2, for instance, by means of a laser beam gun.

Then, as illustrated in FIG. 3E, the through-hole 4 is filled with the metal 5 such as copper or aluminum.

Then, as illustrated in FIG. 3F, the metal 5 is covered at a top surface thereof with the gold layer 6.

Then, as illustrated in FIG. 3G, the resist 32 is formed with the land 7 above the wiring layer 2. In later steps, the solder ball 101 is mounted on the wiring layer 2 in the land 7.

Then, as illustrated in FIG. 3H, the land 7 is covered with the thin gold layer 8.

Thus, there is completed a tape substrate 93 comprised of the film substrate 3 having the wiring layer 2 formed on the upper surface. Though FIGS. 3A to 3H illustrate only one land 7, it should be noted that the film substrate 3 is in the form of a sheet, and the film substrate 3 is formed with a plurality of lands 7 in each of which the solder ball 101 is to be mounted in later steps.

A method of mounting solder balls on the wiring layer 2 is explained herein below with reference to FIGS. 4A to 4H.

First, as illustrated in FIG. 4A, the tape substrate 93 resulting from the steps illustrated in FIGS. 3A to 3H is placed with the gold layer 6 being upwardly directed. For simplification, the gold layer 6 is not illustrated in FIG. 4A.

Then, as illustrated in FIG. 4B, stiffeners 41 are adhered on the tape substrate 93 at opposite its opposite ends. The stiffeners 41 are composed of copper or stainless, for instance. The stiffeners 41 are used for fixing the tape substrate 93 when the semiconductor chip 1 is mounted onto the tape substrate 93.

Then, as illustrated in FIG. 4C, the semiconductor chip 1 is mounted on the tape substrate 93, surrounded by the stiffeners 41. Then, the gold layer 6 is electrically connected to an electrode 12 of the semiconductor chip 1 through a bonding wire (not illustrated). The connection is accomplished by means of a bonding tool, a heater and an ultrasonic wave generator (not illustrated).

Then, as illustrated in FIG. 4D, resin 42 is applied between the tape substrate 93 and the semiconductor chip 1, and then, is cured to thereby reinforce a connection between the tape substrate 93 and the semiconductor chip 1. The resin 42 is composed of epoxy resin in liquid, for instance.

Then, as illustrated in FIG. 4E, a product resulting from the step illustrated in FIG. 4D is covered with a cover 43 for the purpose of protection of the semiconductor chip 1. Then, the cover 43 is sealed under atmospheric pressure. The cover 43 is made of Cu, Al or SiC, for instance.

Electrically conductive adhesive 44 such as Ag paste or Cu paste is coated on a lower surface of the cover 43. The adhesive 44 is heated, and hence, cured when the cover 43 is sealed.

Then, as illustrated in FIG. 4F, the solder balls 101 are absorbed to a positioner 45, and subsequently, the solder balls 101 are mounted onto the lands 7 formed above the wiring layer 2. Thereafter, flux (not illustrated) is applied across the solder balls 101 and the lands 7. Then, the solder balls 7 are caused to reflow to thereby physically connect the solder balls 101 to the lands 7. Then, the flux is washed out.

Thus, there is completed such a product as illustrated in FIG. 4G. The product is then subject to a temperature cycle test in order to test performances and resistance to damages.

Then, as illustrated in FIG. 4H, the solder balls 101 are caused to reflow to thereby physically connect the solder balls 101 to the printed wiring board 34. Thus, there is completed a semiconductor device as a final product.

However, the conventional semiconductor device illustrated in FIGS. 1A to 1C is accompanied with the following problem.

As mentioned earlier, a semiconductor chip is highly and highly integrated in order to meet requirement of fabricating a semiconductor device in a smaller size and a smaller weight. In a more highly integrated semiconductor chip, the greater number of pins has to be formed per a unit area of a semiconductor chip, resulting in a smaller spacing between adjacent pins. As the number of pins is increased, the number of external terminals, that is, solder balls to be connected to one semiconductor chip is also increased, resulting in a smaller spacing between adjacent solder balls.

In general, as a spacing between adjacent solder balls is decreased, a contact area through which a solder ball is connected to a wiring layer is also decreased. As a result, a connection strength between a solder ball and a wiring layer is reduced.

As explained above, in the conventional semiconductor device illustrated in FIGS. 1A to 1C, since a contact area through which the solder ball 101 makes contact with the wiring layer 2 is relatively small, a connection strength between the solder ball 101 and the wiring layer 2 is resultingly small. Accordingly, a connection at which the solder ball 101 is connected to the wiring layer 2 is likely to be broken or cracked, resulting in separation of the solder ball 101 from the wiring layer 2. This results in deterioration in fabrication yield of the semiconductor device.

In view of the above-mentioned problem, it is an object of the present invention to provide a semiconductor device which is capable of preventing separation of a solder ball from a wiring layer, and further, to provide a method of fabricating a semiconductor device which method is capable of doing the same.

In order to solve the above-mentioned problem, the inventors had studied enhancement in strength at a connection between a solder ball and a wiring layer. As a result of the long-term study, the inventors had found out that it would be possible to enhance the strength by forming a copper-tin alloy layer between a solder ball and a wiring layer to thereby prevent occurrence of breakage and cracking at a connection between a solder ball and a wiring layer. The inventors had further found out that it would be possible to form a copper-tin alloy layer by keeping a solder ball mounted on a wiring layer, at a temperature equal to or greater than a melting point of the solder ball for a predetermined period of time in inactive or reducing gas atmosphere.

Specifically, in one aspect of the present invention, there is provided a semiconductor device including (a) a semiconductor chip, (b) a wiring making electrical connection with the semiconductor chip and containing copper (Cu) therein, (c) a solder ball making contact with the wiring and containing tin (Sn) therein, and (d) a layer made of copper-tin (Cu-Sn) alloy, sandwiched between the wiring and the solder ball, and having a thickness equal to or greater than about 1.87 micrometers.

If the copper-tin alloy layer had a thickness smaller than 1.87 micrometers, it would be impossible to sufficiently enhance a strength at a connection between a solder ball and a wiring layer, resulting in that the connection might be broken or cracked in a heating step such as a temperature cycle test, in which case, a solder ball is separated from a wiring layer.

However, it would be possible to enhance a strength at a connection between a solder ball and a wiring layer by forming the above-mentioned copper-tin alloy layer having a thickness equal to or greater than about 1.87 micrometers, between the solder ball and the wiring layer. As a result, it would be possible to prevent or reduce occurrence of breakage or cracking at the connection, ensuring that the solder ball is not separated from the wiring layer. Thus, the present invention enhances a strength at the connection, and hence, enhances a fabrication yield of a semiconductor device.

In another aspect of the present invention, there is provided a method of fabricating a semiconductor device, including the steps of (a) forming a wiring containing copper (Cu), on a substrate, (b) mounting a solder ball containing tin (Sn), on the wiring, and (c) keeping a product resulted from the step (b), in inactive gas atmosphere or in reducing gas atmosphere at a temperature equal to or greater than a melting point of the solder ball.

In accordance with the above-mentioned method, tin contained in the solder ball is diffused in liquid into the wiring layer containing copper, resulting in that a copper-tin alloy layer is formed between the solder ball and the wiring layer, having a thickness sufficient to prevent the solder ball from being separated from the wiring layer. The thus formed copper-tin alloy layer enhances a strength of a connection between the solder ball and the wiring layer, and hence, ensures that the connection is not broken and cracked. Thus, the present invention enhances a strength at the connection, and hence, enhances a fabrication yield of a semiconductor device.

The product resulting from the step (b) is kept in an inactive or reducing gas atmosphere for a predetermined period of time sufficient to enhance a strength of a connection between the solder ball and the wiring layer.

For instance, the product is kept in an inactive or reducing gas atmosphere for an hour or longer.

FIG. 1A is a cross-sectional view of a conventional semiconductor device.

FIG. 1B is an enlarged view of a connection between a wiring layer and a solder ball.

FIG. 1C is a cross-sectional view illustrating that the semiconductor device illustrated in FIG. 1A is electrically connected to a printed wiring board.

FIG. 2A is an enlarged view of a solder ball in the semiconductor device illustrated in FIG. 1A.

FIG. 2B is a partially enlarged view of a connection between a wiring layer and a solder ball in the semiconductor device illustrated in FIG. 2A.

FIGS. 3A to 3H are cross-sectional view of a semiconductor device, each illustrating respective steps of a method of fabricating the conventional semiconductor device illustrated in FIG. 1A.

FIGS. 4A to 4H are cross-sectional view of a semiconductor device, each illustrating respective steps of a method of fabricating the conventional semiconductor device illustrated in FIG. 1A.

FIG. 5A is a cross-sectional view of a semiconductor device in accordance with a preferred embodiment of the present invention.

FIG. 5B is an enlarged view of a connection between a wiring layer and a solder ball.

FIG. 5C is a cross-sectional view illustrating that the semiconductor device illustrated in FIG. 5A is electrically connected to a printed wiring board.

FIG. 6A is an enlarged view of a solder ball in the semiconductor device illustrated in FIG. 5A.

FIG. 6B is a partially enlarged view of a connection between a wiring layer and a solder ball in the semiconductor device illustrated in FIG. 6A.

FIGS. 7A to 7G are cross-sectional view of a semiconductor device, each illustrating respective steps of a method of fabricating the semiconductor device illustrated in FIG. 5A.

FIGS. 8A to 8I are cross-sectional view of a semiconductor device, each illustrating respective steps of a method of fabricating the semiconductor device illustrated in FIG. 5A.

FIG. 9 is a graph showing a shear strength of a connection between a solder ball and a wiring layer.

FIG. 10 illustrates an example of an apparatus for measuring a shear strength of a connection between a solder ball and a wiring layer.

FIGS. 1A to 1C illustrate a semiconductor device in accordance with the first embodiment of the present invention.

As illustrated in FIG. 1A, the semiconductor device is comprised of a semiconductor chip 1, a film substrate 3, a polyimide adhesive layer 31 adhering the film substrate 3 to the semiconductor chip 1, a resist 32 covering the wiring layer 2 therewith and formed with a land 7 which is a recess formed at a surface thereof, a wiring layer 2 formed on the film substrate 3, a solder ball 101 mounted on the wiring layer 2 in the land 7, a layer 21 (see FIG. 1B) made of copper-tin alloy and sandwiched between the solder ball 101 and the wiring layer 2, a metal 5 filled in a through-hole 4 formed through both the film substrate 3 and the polyimide adhesive layer 31, and a gold (Au) layer 6 covering therewith the metal 5 at a top surface thereof.

The wiring layer 2 is in electrical connection with the semiconductor chip 1, and contains copper (Cu) therein. The solder ball 101 contains tin (Sn) therein.

In the semiconductor device in accordance with the first embodiment, the through-hole 4 is formed just above an electrode 12 of the semiconductor chip 12. The solder ball 101 is electrically connected to the electrode 12 through the metal 5 filled in the through-hole 4. It is not always necessary that the solder ball 101 is located just above the electrode 12.

As illustrated in FIG. 5C, the semiconductor device in accordance with the first embodiment further includes a printed wiring board 34 electrically connected to the solder ball 101.

FIG. 6A is an enlarged view of the wiring layer 2 and the solder ball 11, wherein the solder ball 11 is composed of Sn-Pb eutectic solder containing tin 22 at 65% and lead at 35%. FIG. 6B is a partially enlarged view of a boundary between the wiring layer 2 and the solder ball 11.

As illustrated in FIG. 6B, the Cu-Sn alloy film 21 having a thickness of 3 micrometer to 4 micrometer is sandwiched between the wiring layer 2 and the solder ball 11.

The solder ball 11 predominantly contains tin (Sn). Though the layer 21 sandwiched between the solder ball 11 and the wiring layer 2 is composed of Cu-Sn alloy in the first embodiment, the layer 21 may be composed of Sn-Pb alloy or Sn-Ag alloy. As an alternative, the layer 21 may be free of Pb. For instance, the layer 21 may be composed of Sn-An alloy, Sn-Bi alloy, Sn-Ni alloy, Sn-Cd alloy, Sn-S alloy, Sn-As alloy, or Sn-Zn alloy.

As mentioned earlier, the Cu-Sn alloy layer 21 is sandwiched between the solder ball 11 and the wiring layer 2 in the first embodiment. The Cu-Sn alloy layer 21 makes it possible to prevent occurrence of breakage and cracking across

the solder ball 11 and the wiring layer 2, preventing that the solder ball 11 is separated from the wiring layer 2 due to the breakage and/or cracking across the solder ball 11 and the wiring layer 2. As a result, it would be possible to enhance a fabrication yield of the semiconductor device.

The Cu-Sn alloy layer 21 has a thickness preferably of 1.87 micrometers or greater, more preferably of 2 micrometers or greater, and most preferably of 3 micrometers or greater.

When the solder ball 11 contains materials other than tin (Sn), those materials generally exist in the form of agglomerates. As those agglomerates are larger in size, the solder ball 11 is more likely to be deformed, and hence, breakage and cracking are more likely to occur at a connection between the solder ball 11 and the wiring layer 2. Hence, the agglomerates have to be scattered in a smaller size in the solder ball 11.

For instance, when the solder ball 11 contains lead (Pb) 23 as well as tin (Sn) 22, as illustrated in FIGS. 6A and 6B, it is preferable that the lead 23 scatters in the solder ball 11 in the form of small agglomerates.

A method of fabricating the semiconductor device in accordance with the first embodiment, illustrated in FIGS. 5A to 5C, is explained herein below with reference to FIGS. 7A to 7G and 8A to 8I.

First, as illustrated in FIG. 7A, the wiring layer 2 containing copper therein is formed on an upper surface of the film substrate 3, and the adhesive layer 31 is formed on a lower surface of the film substrate 3. The film substrate 3 has a thickness of 12 micrometers, the wiring layer 2 has a thickness of 18 micrometers, and the adhesive layer 31 has a thickness of 10 micrometers. The film substrate 3 is composed of a material having a resistant to a temperature of 250 degrees centigrade or greater, such as polyimide. The adhesive layer 31 is composed of polyimide.

Then, as illustrated in FIG. 7B, the wiring layer 2 is patterned into a predetermined pattern.

Then, as illustrated in FIG. 7C, the patterned wiring layer and the film substrate 3 are both covered with the resist 32.

Then, as illustrated in FIG. 7D, there is formed the through-hole 4 through the adhesive layer 31 and the film substrate 3, for instance, by means of a laser beam gun.

Then, as illustrated in FIG. 7E, the through-hole 4 is filled with the metal 5 such as copper or aluminum.

Then, as illustrated in FIG. 7F, the metal 5 is covered at a top surface thereof with the gold layer 6.

Then, as illustrated in FIG. 7G, the resist 32 is formed with the land 7 above the wiring layer 2. In later steps, the solder ball 11 is mounted on the wiring layer 2 in the land 7.

Thus, there is completed a tape substrate 33 comprised of the film substrate 3 having the wiring layer 2 formed on the upper surface. Though FIGS. 7A to 7G illustrate only one land 7, it should be noted that the film substrate 3 is in the form of a sheet, and the film substrate 3 is formed with a plurality of lands 7 in each of which the solder ball 11 is to be mounted in later steps.

A method of mounting the solder balls 11 on the wiring layer 2 is explained herein below with reference to FIGS. 8A to 8I.

First, as illustrated in FIG. 8A, the tape substrate 33 resulted from the steps illustrated in FIGS. 7A to 7G is placed with the gold layer 6 being upwardly directed. For simplification, the gold layer 6 is not illustrated in FIG. 8A.

Then, as illustrated in FIG. 8B, stiffeners 41 are adhered on the tape substrate 33 at its opposite ends. The stiffeners 41 are composed of copper or stainless steel, for instance.

Then, as illustrated in FIG. 8C, the semiconductor chip 1 is mounted on the tape substrate 33, surrounded by the stiffeners 41. Then, the gold layer 6 is electrically connected to the electrode 12 of the semiconductor chip 1 through a bonding wire (not illustrated). The connection is accomplished by means of a bonding tool, a heater and a ultrasonic wave generator (not illustrated).

Then, as illustrated in FIG. 8D, resin 42 is applied between the tape substrate 33 and the semiconductor chip 1, and then, is cured to thereby reinforce a connection between the tape substrate 33 and the semiconductor chip 1. The resin 42 is composed of epoxy resin in liquid, for instance.

Then, as illustrated in FIG. 8E, a product resulted from the step illustrated in FIG. 8D is covered with a cover 43 for the purpose of protection of the semiconductor chip 1. Then, the cover 43 is sealed under atmospheric pressure. The cover 43 is made of Cu, Al or SiC, for instance.

Electrically conductive adhesive 44 such as Ag paste or Cu paste is coated on a lower surface of the cover 43. The adhesive 44 is heated, and hence, cured when the cover 43 is sealed.

Then, as illustrated in FIG. 8F, the solder balls 11 are absorbed to a positioner 45, and subsequently, the solder balls 11 are mounted onto the lands 7 formed above the wiring layer 2. Thereafter, flux (not illustrated) is applied across the solder balls 11 and the lands 7. Then, the solder balls 11 are caused to reflow to thereby physically connect the solder balls 11 to the lands 7. Then, the flux is washed out.

Thus, there is completed such a product as illustrated in FIG. 8G. The thus obtained product is kept at a temperature equal to or higher than a melting point of the solder ball 11 for a predetermined period of time, for instance, an hour, in inactive or reducing gas atmosphere, as illustrated in FIG. 8H.

The resultant is then subject to a temperature cycle test in order to test performances and resistance to damages.

Then, as illustrated in FIG. 8I, the solder balls 11 are caused to reflow to thereby physically connect the solder balls 11 to the printed wiring board 34. Thus, there is completed a semiconductor device as a final product.

As mentioned earlier, by keeping the product illustrated in FIG. 8G at a temperature equal to or higher than a melting point of the solder ball 11 for a predetermined period of time in inactive or reducing gas atmosphere, tin contained

in the solder ball 11 and copper contained in the wiring layer 2 are coupled with each other to thereby form the Cu-Sn alloy layer 21 between the solder ball 11 and the wiring layer 2.

Herein, an inactive gas atmosphere indicates an atmosphere of gas which does not react with both the solder ball 11 and the wiring layer 2, such as N₂, Ar, He and Ne alone or in combination. A reducing gas atmosphere indicates an atmosphere of reducing gas such as CO or H₂.

By keeping the product illustrated in FIG. 8G at a temperature equal to or higher than a melting point of the solder ball 11 for a predetermined period of time in inactive or reducing gas atmosphere, tin contained in the solder ball 11 is diffused in liquid into copper matrix in the wiring layer 2, resulting in that the Cu-Sn alloy layer 21 having a thickness sufficient to prevent separation of the solder ball 11 from the wiring layer 2 is formed between the solder ball 11 and the wiring layer 2. Hence, a connection between the solder ball 11 and the wiring layer 2 could have an enhanced strength, which ensures that the connection is unlikely to be broken and cracked. As a result, it would be possible to reduce defective semiconductor devices in which the solder ball 11 is broken or cracked, and hence, to enhance a fabrication yield of the semiconductor device.

In the first embodiment, a thin gold layer is not formed on the wiring layer 2 in the land 7 unlike the conventional semiconductor device illustrated in FIG. 1A. However, the formation of the thin gold layer on the wiring layer would prevent the wiring layer 2 from being oxidized and facilitate formation of the Cu-Sn alloy layer 21. Hence, a thin gold layer such as the gold layer 8 illustrated in FIGS. 1A and 1C may be deposited on the wiring layer 2 even in the first embodiment.

Example 1

Herein below is explained a first example of the semiconductor device in accordance with the above-mentioned embodiment, illustrated in FIGS. 5A to 5C. In Example 1, the solder ball 11 is composed of Sn-Pb eutectic solder including Sn at 63% and Pb at 37%. FIG. 6A is an enlarged view of the solder ball 11, and FIG. 6B is a partially enlarged view of the solder ball 11, the Cu-Sn alloy layer 21, and the wiring layer 2.

As illustrated in FIG. 6B, the Cu-Sn alloy layer 21 is formed between the solder ball 11 and the wiring layer 2. The Cu-Sn alloy layers 21 in the semiconductor device in accordance with the above-mentioned embodiment have a thickness in the range of 1.87 micrometers to 4.0 micrometers. Most of the Cu-Sn alloy layers 21 have a thickness in the range of 3.0 micrometers to 4.0 micrometers.

In contrast, most of the Cu-Sn alloy layers 21 in the conventional semiconductor device illustrated in FIGS. 2A and 2B have a thickness in the range of 1.0 micrometers to 1.5 micrometers. This indicates that the Cu-Sn alloy layer 21 is thicker in the above-mentioned embodiment than in the conventional semiconductor device.

Thus, the Cu-Sn layer 21 is required to have a thickness equal to 1.87 micrometers at smallest in order to prevent the solder ball 11 from being separated from the wiring layer 2. As will be understood in view of comparison between the conventional semiconductor device and the abovementioned embodiment, the Cu-Sn layer 21 having a thickness equal to or greater than 1.87 micrometers can enhance a strength at a connection of the solder ball 11 and the wiring layer 2, resulting in reduction in occurrence of breakage and/or cracking of the connection. This ensures a higher fabrication yield of the semiconductor device.

As mentioned earlier, when the solder ball 11 contains materials other than tin (Sn), those materials generally exist in the form of agglomerates. The solder ball 11 illustrated in FIGS. 6A and 6B contain lead in the form of agglomerates. As those lead agglomerates 23 are larger in size, the solder ball 11 is more likely to be deformed, and hence, breakage and cracking are more likely to occur at a connection between the solder ball 11 and the wiring layer 2. Hence, the lead agglomerates 23 have to be scattered in a smaller size in the solder ball 11.

The solder ball 11 illustrated in FIGS. 6A and 6B contains the lead agglomerates 23 at a density of $20 \times 10^4 \text{ mm}^{-3}$ or greater. In contrast, the solder ball 101 in the conventional semiconductor device, illustrated in FIGS. 2A and 2B, contains the lead agglomerates 83 at a density of $15 \times 10^4 \text{ mm}^{-3}$. Thus, it is understood that the solder ball 11 in the semiconductor device in accordance with the above-mentioned embodiment contains the lead agglomerates 23 at a greater density than that of the conventional semiconductor device. That is, the lead agglomerates 23 are scattered more widely than the lead agglomerates 83 in the solder ball 101 in the conventional semiconductor device.

The lead agglomerates 23 in the solder ball 11 illustrated in FIGS. 6A and 6B have a cross-sectional area in the range of 1 to 10 square micrometers. In contrast, the lead agglomerates 83 in the solder ball 101 illustrated in FIGS. 2A and 2B have a cross-sectional area in the range of 10 to 30 square micrometers. Thus, it is understood that the solder ball 11 in the semiconductor device in accordance with the abovementioned embodiment contains the lead agglomerates 23 in a smaller size than that of the conventional semiconductor device.

As mentioned above, the solder ball 11 in Example 1 contains the lead agglomerates 23 at a greater density and in a smaller size than those of the conventional solder ball 101. As a result, it is unlikely to be deformed, and it would be possible to prevent occurrence of breakage and/or cracking at the connection between the solder ball 11 and the wiring layer 2. Thus, a semiconductor device can be fabricated in a higher fabrication yield.

Example 2

In Example 2, the solder ball 11 is composed of Sn-Pb eutectic solder including Sn at 63% and Pb at 37%, similarly to Example 1. In Example 2, the semiconductor device resulted from the steps illustrated in FIGS. 7A to 7G and

8A to 8G was kept at a temperature equal to or greater than a melting point of the solder ball 11 in N₂ gas atmosphere, and then, the printed wiring board 34 was connected to the solder ball 11. Thereafter, a shear strength at the connection between the solder ball 11 and the wiring layer 2 was measured.

The result of measurement is shown in FIG. 9 in which an axis of ordinate indicates a shear strength in the unit of gram-force (gf) and an axis of abscissa indicates a period of time in the unit of hour during which the semiconductor device is kept at a temperature equal to or greater than a melting point of the solder ball 11 in N₂ gas atmosphere.

In FIG. 9, ○ indicates a shear strength of the connection, measured when the solder ball 11 is kept at 240 degrees centigrade which is higher than a melting point of Cu-Sn eutectic solder, 183 degrees centigrade, and ● indicates a shear strength of the connection, as a reference, measured when the solder ball 11 is kept at 150 degrees centigrade which is lower than a melting point of Cu-Sn eutectic solder, 183 degrees centigrade.

A shear strength of the connection was measured by means of an apparatus illustrated in FIG. 10. The illustrated apparatus includes a measurement tool 61 by which the solder ball 11 is sheared at the connection between the solder ball 11 and the wiring layer 2 in a direction indicated with an arrow A, that is, a direction substantially parallel to the connection. A shear strength of the connection was measured when the solder ball 11 is sheared by means of the apparatus.

In Example 2, the solder ball 11 is designed to have a diameter of 0.5 mm, a pitch between adjacent solder balls 11 is 0.8 mm, and the land 7 has a diameter of 0.4 mm. As is obvious in view of FIG. 9, a shear strength is enhanced in a case wherein the semiconductor device is kept at a temperature equal to or greater than a melting point of the solder ball 11 than in a case wherein the semiconductor device is kept at a temperature smaller than a melting point of the solder ball 11. The reason for this is considered that tin contained in the solder ball 11 is diffused in liquid into the wiring layer 2 containing copper by keeping the semiconductor device at a temperature equal to or greater than a melting point of the solder ball 11, and resultingly, a Cu-Sn alloy layer is formed between the solder ball 11 and the wiring layer 2.

According to the experiment which the inventors had conducted, a shear strength of the connection between the solder ball 11 and the wiring layer 2 can be enhanced by 680 gram-forces or greater by keeping the semiconductor device at a temperature equal to or greater than a melting point of the solder ball 11 for an hour or longer. Thus, it would be possible to have the connection had a strength sufficient to prevent the solder ball 11 from being separated from the wiring layer 2.

As illustrated in FIGS. 6A and 6B, the solder ball 11 contains lead 23 in the form of agglomerates. That is, the solder ball 11 contains Cu, Sn and Pb. Table 1 shows thermal expansion coefficients and densities of both ingredients Cu, Sn and Pb contained in the solder ball 11 and Cu-Sn alloy of which the layer 21 is composed.

Table 1

Material	CTE [ppm]	Density [g/cm ³]
Cu	16.8	8.93
Pb	29	11.34
Sn	21	7.28
CU-Sn alloy	17.1 - 17.8	-

A coefficient of thermal expansion (CTE) is indicated in the unit of ppm, and a density is indicated in the unit of g/cm³.

The larger the lead agglomerates 23 are in size, more likely the solder balls 11 are to be deformed, and hence, are to be broken or cracked at the connection between themselves and the wiring layer 2. Hence, the lead agglomerates 23 have to be as small as possible in order to prevent generation of deformation in the solder balls 11.

In view of Table 1, Pb has a greater thermal expansion coefficient than thermal expansion coefficients of Cu, Sn and Cu-Sn alloy, and in addition Pb has a greater density than densities of Cu and Sn. Accordingly, when the semiconductor device is subject to a temperature cycle test, which is to be carried out at a temperature lower than a melting point of the solder balls 11, the lead agglomerate 23 expands to a greater degree than Cu, Sn and Cu-Sn alloy, and resultingly, the lead agglomerates 23 would have deformation to a greater degree than Cu, Sn and Cu-Sn alloy. Thus, the larger the lead agglomerates 23 are in size, more likely deformation is to be generated in the solder ball 11, and in addition, more likely the solder balls 11 are to be broken or cracked at the connection.

In contrast, in Example 2, the solder balls 11 are kept at a temperature equal to or greater than a melting point thereof, and as a result, the crystal structure of the solder ball 11 is changed so that the lead agglomerates 23 are smaller in size and scattered more widely than the lead agglomerates 83 contained in the conventional solder ball 101 illustrated in FIGS. 2A and 2B.

As mentioned above, in accordance with Example 2, since the lead agglomerates 23 are smaller in size than the lead agglomerates 83 contained in the conventional solder ball 101, the lead agglomerates 23 would have deformation to a smaller degree, and in addition, since the lead agglomerates 23 are scattered more widely than the lead agglomerates 83 contained in the conventional solder ball 101, deformation caused by the lead agglomerates 23 could be dispersed. As a result, the connection between the solder ball 11 and the wiring layer 2 could have an enhanced strength.

Though the solder ball 11 is composed of Sn-Pb eutectic solder in Example 2, a material of which the solder ball 11 is composed is not to be limited to that. Unless the solder ball 11 contains tin (Sn), the solder ball 11 may contain other elements. For instance, the solder ball 11 may be composed of Sn-Ag alloy, Sn-Zn alloy, Sn-Cd alloy, Sn-Ni alloy, Sn-S alloy, Sn-As alloy, or Sn-Bi alloy.

Claims

1. Semiconductor device comprising:
 - (a) a semiconductor chip (1);
 - (b) a wiring (2) making electrical connection with said semiconductor chip (1) and containing copper (Cu) therein;
 - (c) a solder ball (11) making contact with said wiring (2) and containing tin (Sn) therein; and
 - (d) a layer (21) made of copper-tin (Cu-Sn) alloy, sandwiched between said wiring (2) and said solder ball (11), **characterized in that** the layer (21) has a thickness which is greater than or equal to approximately 1.87 micrometers.
2. Semiconductor device according to claim 1, further comprising:
 - (e) a film substrate (3) which contacts the wiring (2) on the opposite side of the solder ball (11), wherein the film substrate (3) is formed with a through-hole (4) extending to the wiring (2);
 - (f) an electrical conductor (5) with which the through-hole (4) is filled; and
 - (g) a gold layer (6) with which the electrical conductor (5) is covered on the opposite side of the wiring (2).
3. Semiconductor device according to claim 1 or 2, wherein said copper-tin (Cu-Sn) alloy layer (21) has a thickness greater than or equal to 2 micrometers.
4. Semiconductor device according to claim 3, wherein the copper-tin (Cu-Sn) alloy layer (21) has a thickness greater than or equal to 3 micrometers.
5. Semiconductor device according to claim 1 or 2, wherein the solder ball (11) contains dispersed agglomerates (23) therein, the agglomerates being of a material other than tin.
6. Semiconductor device according to claim 5, wherein the agglomerates (23) consist of lead (Pb) and wherein the lead agglomerates (23) are scattered with a density of $20 \times 10^4 \text{ mm}^{-3}$ or more.
7. Semiconductor device according to claim 5, wherein the agglomerates (23) consist of lead (Pb) and wherein the lead agglomerates (23) have an average cross-sectional area of 10 square micrometers or less.
8. Semiconductor device according to claim 1 or 2, further comprising a circuit board (34) for electrically connecting the solder ball (11).
9. Method of manufacturing a semiconductor device comprising the steps of:
 - (a) forming a wiring (2) containing copper (Cu) on a substrate (3);
 - (b) mounting a solder ball (11) containing tin (Sn) on the wiring (2); and
 - (c) maintaining a product resulting from step (b) in an inactive gas atmosphere or in a reducing gas atmosphere at a temperature greater than or equal to the melting point of the solder ball (11).
10. The method according to claim 9, further comprising the steps of:
 - (d) covering the wiring (2) with a resist (32) having a recess (7) through which the wiring (2) appears;
 - (e) forming a through-hole (4) through the substrate (3) such that the through-hole (4) reaches the wiring (2);
 - (f) filling the electrical conductor (5) in the through-hole (4);
 - (g) covering the electrical conductor (5) with a gold layer (6); and
 - (h) connecting the substrate (3) to a semiconductor chip (1),
 wherein steps (d) to (h) are performed after step (a) but before step (c).
11. Method according to claim 9 or 10, wherein the product resulting from step (b) is held in the inactive gas atmosphere or in the reducing gas atmosphere for one hour or more.
12. Method according to claim 9 or 10, further comprising the step of forming a gold layer on the wiring prior to the application of the solder balls on the wiring.

10 pages of drawings

100 11 368.0

FIG. 1A

Prior art

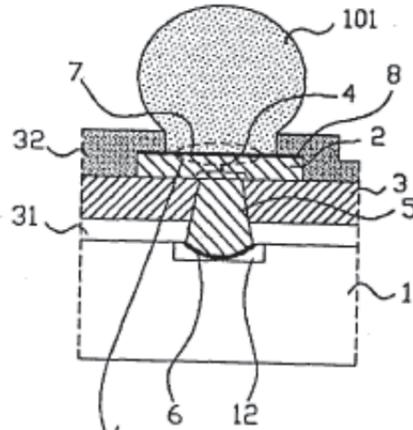


FIG. 1B

Prior art

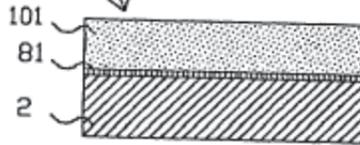


FIG. 1C

Prior art

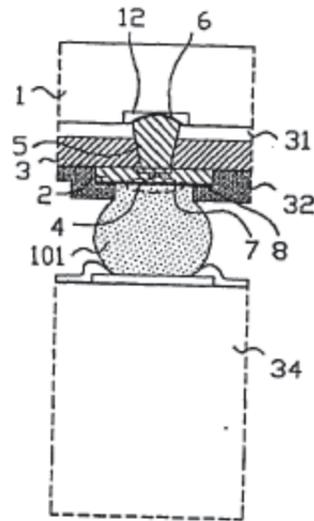


FIG. 2A

Prior art

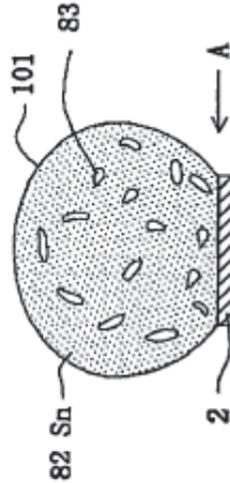


FIG. 2B

Prior art

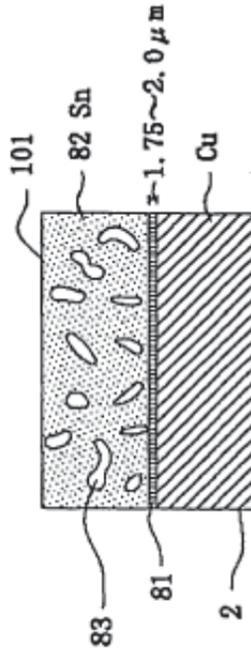


FIG. 3A
Prior art

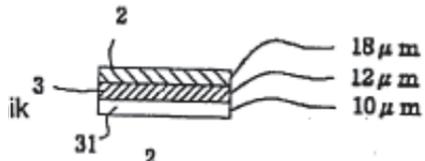


FIG. 3B
Prior art

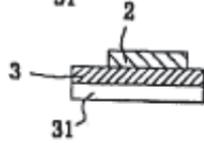


FIG. 3C
Prior art



FIG. 3D
Prior art



FIG. 3E
Prior art

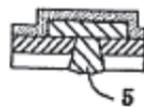


FIG. 3F
Prior art



FIG. 3G
Prior art



FIG. 3H
Prior art

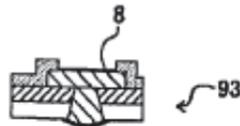


FIG. 4A

Prior art



FIG. 4B

Prior art



FIG. 4C

Prior art



FIG. 4D

Prior art



FIG. 4E

Prior art

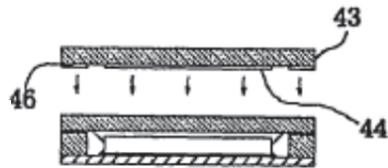


FIG. 4F

Prior art

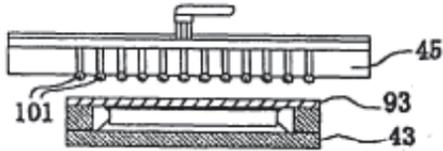


FIG. 4G

Prior art

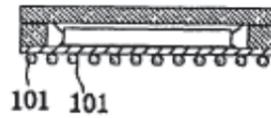


FIG. 4H

Prior art

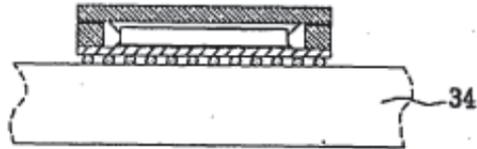


FIG. 5A

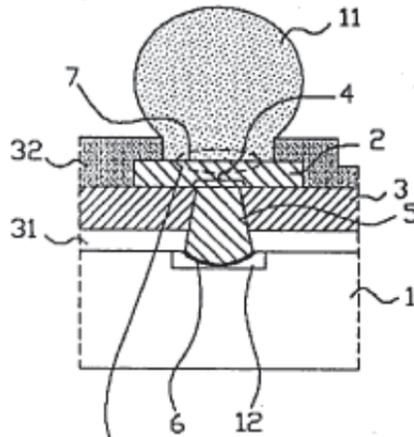


FIG. 5B

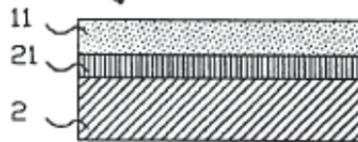


FIG. 5C

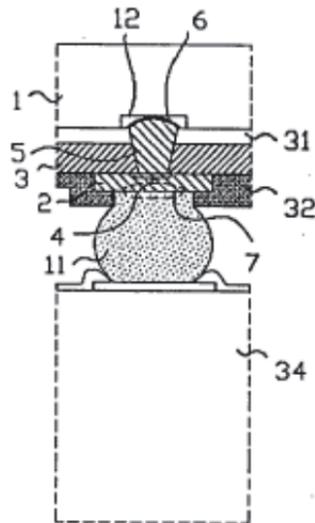


FIG. 6A

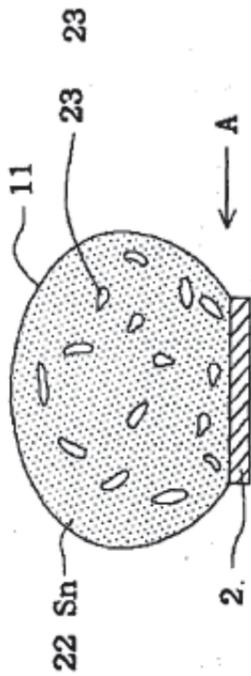


FIG. 6B

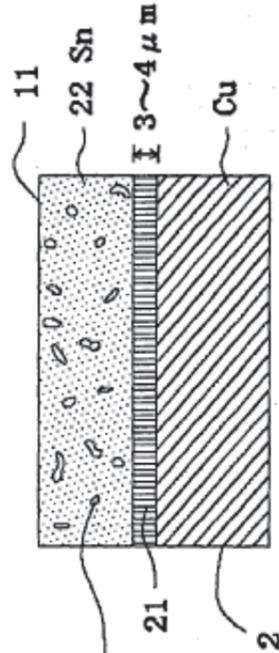


FIG. 7A

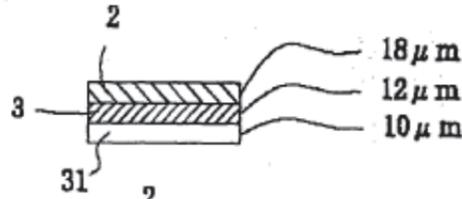


FIG. 7B

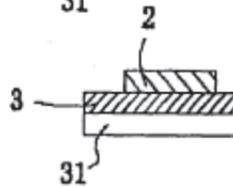


FIG. 7C

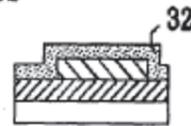


FIG. 7D

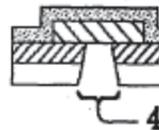


FIG. 7E

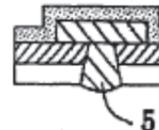


FIG. 7F



FIG. 7G

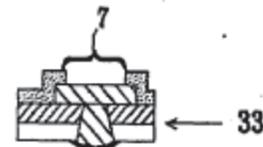


FIG. 8A



FIG. 8B



FIG. 8C



FIG. 8D

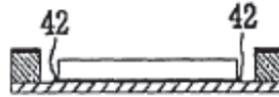


FIG. 8E

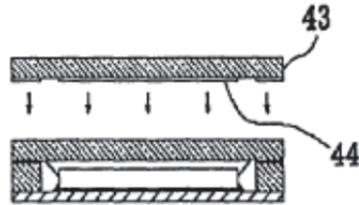


FIG. 8F

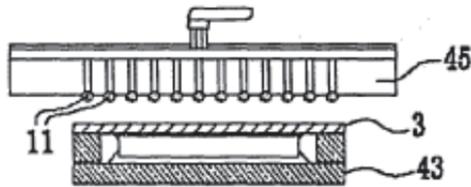


FIG. 8G

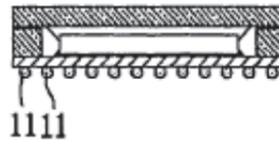


FIG. 8H

Keep the components at a temperature above the melting point of the solder balls

FIG. 8I

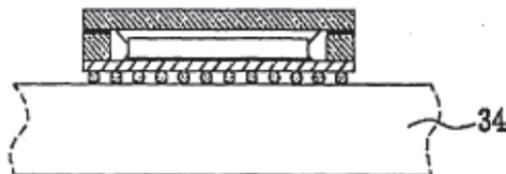


FIG. 9

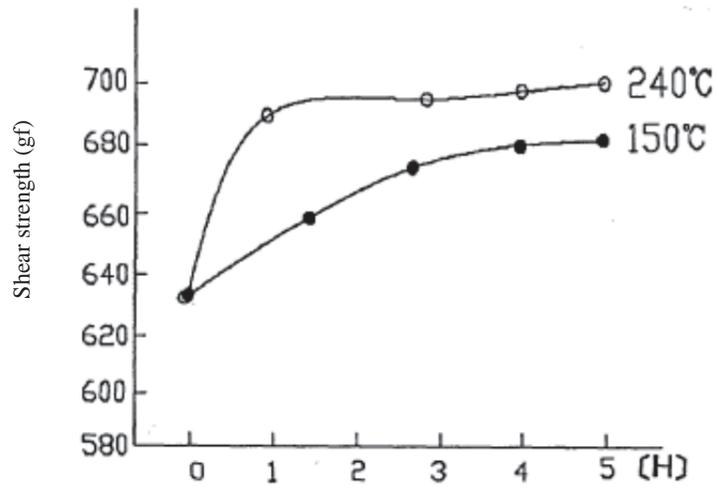
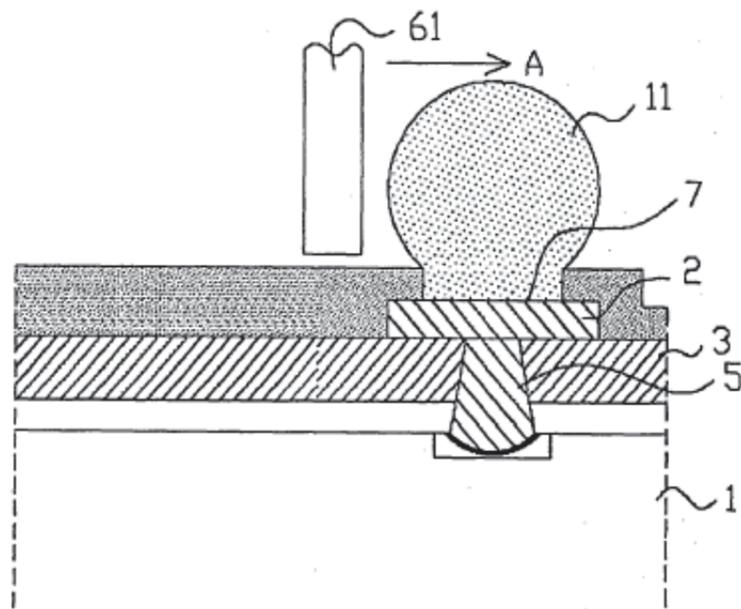


FIG. 10





18 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 **Offenlegungsschrift**
10 **DE 100 11 368 A 1**

51 Int. Cl.7:
H 01 L 23/50
H 01 L 21/60

21 Aktenzeichen: 100 11 368.0
22 Anmeldetag: 9. 3. 2000
43 Offenlegungstag: 7. 12. 2000

DE 100 11 368 A 1

30 Unionspriorität:
11-061912 09. 03. 1999 JP
71 Anmelder:
NEC Corp., Tokio/Tokyo, JP
74 Vertreter:
Glawe, Delfs, Moll & Partner, Patentanwälte, 80538
München

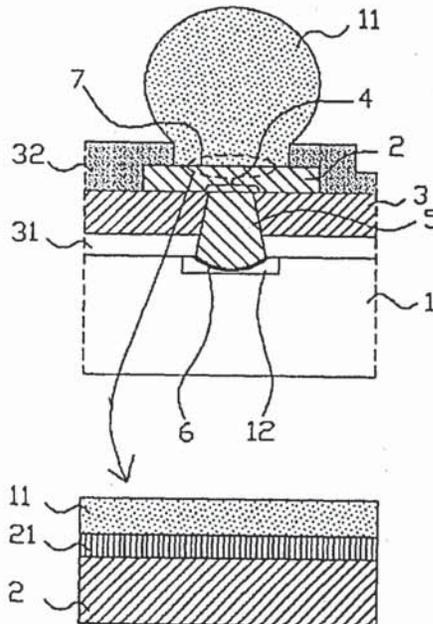
72 Erfinder:
Takizawa, Tomoko, Tokio/Tokyo, JP; Takeuchi,
Masanori, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Halbleiterbauelement und Verfahren zu seiner Herstellung

57 Es wird ein Halbleiterbauelement bereitgestellt, das folgendes enthält: einen Halbleiterchip (1), eine Verdrahtung (2), die eine elektrische Verbindung mit dem Halbleiterchip (1) herstellt und Kupfer (Cu) enthält, eine Lötkegel (11), die die Verdrahtung (2) kontaktiert und den Zinn (Sn) enthält, und eine aus Kupfer-Zinn(Cu-Sn)-Legierung hergestellte Schicht (21), die zwischen der Verdrahtung (2) und der Lötkegel (11) geschichtet ist, dadurch gekennzeichnet, daß die Schicht (21) eine Dicke aufweist, die größer oder gleich ungefähr 1,87 Mikrometer ist. Die Kupfer-Zinn-Legierungsschicht stärkt die Verbindung zwischen der Verdrahtung und der Lötkegel (11) und stellt somit eine Reduzierung beim Auftreten von Bruch und/oder Reißen in der Verdrahtung und der Lötkegel (11) sicher. Infolgedessen wäre es möglich zu vermeiden, daß die Lötkegel (11) aufgrund von Bruch und Reißen von der Verdrahtung getrennt wird. Dementsprechend kann die Ausbeute bei der Herstellung des Halbleiterbauelements erhöht werden.



DE 100 11 368 A 1

Die Erfindung betrifft ein Halbleiterbauelement und ein Verfahren zu seiner Herstellung und insbesondere zur Erhöhung der Herstellungsausbeute eines Halbleiterbauelements.

5 Als Reaktion auf die Anforderung an ein elektronisches Bauelement, höhere Leistungen zu erzielen, kleiner und leichter zu sein und mit einer höheren Geschwindigkeit arbeiten zu können, sind viele neue Halbleiterbauelemente entwickelt worden. So wird beispielsweise ein elektronisches Bauelement durch höhere Integration eines Halbleiterchips kleiner und leichter gebildet, um auf diese Weise ein kleineres und leichteres Halbleiterbauelement herzustellen.

10 **Fig. 1A bis 1C** veranschaulichen ein herkömmliches Halbleiterbauelement. **Fig. 1A** ist eine Querschnittsansicht eines herkömmlichen Halbleiterbauelements, **Fig. 1B** ist eine vergrößerte Ansicht einer Verbindung zwischen einer Verdrahtungslage und einer Lötkegel, und **Fig. 1C** ist eine Querschnittsansicht, die veranschaulicht, daß das in **Fig. 1A** gezeigte Halbleiterbauelement mit einer Schaltungsplatte elektrisch verbunden ist.

Unter Bezugnahme auf **Fig. 1A** umfaßt das herkömmliche Halbleiterbauelement einen Halbleiterchip **1**, ein Filmsubstrat **3**, eine das Filmsubstrat **3** an den Halbleiterchip **1** klebende Polyimid-Klebstoffschicht **31**, einen Resist **32**, mit dem die Verdrahtungslage **2** bedeckt ist und der mit einem Lötauge **7** gebildet ist, das eine an einer Oberfläche davon gebildete Ausnehmung ist, eine auf dem Filmsubstrat **3** gebildete Verdrahtungslage **2**, eine an der Verdrahtungslage **2** in dem Lötauge **7** angebrachte Lötkegel **101**, eine Goldschicht **8** (Au), mit der die Verdrahtungslage **2** in dem Lötauge **7** bedeckt ist, ein Metall **5**, das in ein sowohl durch das Filmsubstrat **3** als auch die Polyimid-Klebstoffschicht **31** gebildetes Durchgangsloch **4** gefüllt ist, und eine Goldschicht **6** (Au), mit der das Metall **5** an einer oberen Fläche davon bedeckt ist.

20 Die Verdrahtungslage **2** steht in elektrischer Verbindung mit dem Halbleiterchip **1** und enthält Kupfer (Cu). Die Lötkegel **101** enthält Zinn (Sn). Obwohl **Fig. 114** die auf der Verdrahtungslage **2** gebildete Goldschicht **8** explizit veranschaulicht, wird in Betracht gezogen, daß die Goldschicht **8** in einem Heizschritt, wie beispielsweise einem nach Fertigstellung des Halbleiterbauelements durchzuführenden Temperaturdurchlaufst, in die Lötkegel **101** diffundiert wird, weshalb weiter in Betracht gezogen wird, daß die Goldschicht **8** nach dem Durchführen eines derartigen Heizschritts nicht auf der Verdrahtungslage **2** existiert.

25 Wie in **Fig. 1C** dargestellt, ist das in **Fig. 1A** dargestellte Halbleiterbauelement durch die Lötkegel **101** elektrisch mit einer Schaltungsplatte **34** verbunden.

30 **Fig. 2A** ist eine vergrößerte Ansicht der Verdrahtungslage **2** und der Lötkegel **101**, wobei die Lötkegel **101** aus eutektischem Sn-Pb-Lot besteht, das 63% Zinn **82** und 37% Blei **83** enthält. **Fig. 2B** ist eine teilweise vergrößerte Ansicht einer Grenze zwischen der Verdrahtungslage **2** und der Lötkegel **101**. Wie in **Fig. 2B** dargestellt, ist zwischen der Verdrahtungslage **2** und der Lötkegel **101** eine Cu-Sn-Legierungsschicht **81** mit einer Dicke von 1,75 Mikrometer bis 2,0 Mikrometer geschichtet.

35 Ein Verfahren zur Herstellung des herkömmlichen Halbleiterbauelements, das in **Fig. 1A bis 1C** veranschaulicht ist, wird unten unter Bezugnahme auf **Fig. 3A bis 3H** und **4A bis 4H** erläutert. **Fig. 3A bis 3H** sind teilweise Querschnittsansichten des in **Fig. 1A** dargestellten Halbleiterbauelements.

40 Zunächst wird, wie in **Fig. 3A** dargestellt, die Kupfer enthaltende Verdrahtungslage **2** auf einer oberen Fläche des Filmsubstrats **3** gebildet, und die Klebstoffschicht **31** wird auf einer unteren Fläche des Filmsubstrats **3** gebildet. Das Filmsubstrat **3** weist eine Dicke von 12 Mikrometer auf, die Verdrahtungslage **2** weist eine Dicke von 18 Mikrometer auf und die Klebstoffschicht **31** weist eine Dicke von 10 Mikrometer auf. Das Filmsubstrat **3** besteht aus einem Material mit einer Beständigkeit gegenüber einer Temperatur von 250 Grad Celsius oder darüber, wie beispielsweise Polyimid. Die Klebstoffschicht **31** besteht aus Polyimid.

Dann wird, wie in **Fig. 3B** dargestellt, die Verdrahtungslage **2** zu einer vorbestimmten Struktur strukturiert.

Dann werden, wie in **Fig. 3C** dargestellt, sowohl die strukturierte Verdrahtungslage **2** als auch das Filmsubstrat **3** mit dem Resist **32** bedeckt.

45 Dann wird, wie in **Fig. 3D** dargestellt, beispielsweise mit Hilfe einer Laserstrahlkanone durch die Klebstoffschicht **31** und die Verdrahtungslage **2** das Durchgangsloch **4** gebildet.

Dann wird, wie in **Fig. 3E** dargestellt, das Durchgangsloch **4** mit dem Metall **5**, beispielsweise Kupfer oder Aluminium, gefüllt.

Dann wird, wie in **Fig. 3F** dargestellt, das Metall **5** an einer oberen Fläche mit der Goldschicht **6** bedeckt.

50 Dann wird, wie in **Fig. 3G** dargestellt, der Resist **32** mit dem Lötauge **7** über der Verdrahtungslage **2** gebildet. In späteren Schritten wird die Lötkegel **101** an der Verdrahtungslage **2** in dem Lötauge **7** angebracht.

Dann wird, wie in **Fig. 3H** dargestellt, das Lötauge **7** mit der dünnen Goldschicht **8** bedeckt.

55 Somit wird ein Bandsubstrat **93** vervollständigt, das aus dem Filmsubstrat **3** mit der auf der oberen Fläche gebildeten Verdrahtungslage **2** besteht. Obwohl **Fig. 3A bis 3H** nur ein Lötauge **7** darstellen, sei angemerkt, daß das Filmsubstrat **3** in Form einer Folie vorliegt und das Filmsubstrat **3** mit mehreren Lötungen **7** gebildet ist, in denen jeweils die Lötkegel **101** in späteren Schritten angebracht werden muß.

Ein Verfahren zum Anbringen von Lötkegeln auf der Verdrahtungslage **2** wird unten unter Bezugnahme auf die **Fig. 4A bis 4H** erläutert.

60 Zunächst wird, wie in **Fig. 4A** dargestellt, das Bandsubstrat **93**, das aus den in **Fig. 3A bis 3H** dargestellten Schritten resultierte, so plaziert, daß die Goldschicht **6** nach oben zeigt. Der Einfachheit halber ist die Goldschicht **6** in **Fig. 4A** nicht dargestellt.

Dann werden, wie in **Fig. 4B** dargestellt, an das Bandsubstrat **93** an seinen entgegengesetzten Enden Versteifungen **41** angeklebt. Die Versteifungen **41** bestehen beispielsweise aus Kupfer oder rostfreiem Stahl. Mit den Versteifungen **41** wird das Bandsubstrat **93** fixiert, wenn der Halbleiterchip **1** auf dem Bandsubstrat **93** angebracht wird.

65 Dann wird, wie in **Fig. 4C** dargestellt, der Halbleiterchip **1**, umgeben von den Versteifungen **41**, auf dem Bandsubstrat **93** angebracht. Dann wird die Goldschicht **6** über einen nicht dargestellten Bonddraht elektrisch mit einer Elektrode **12** des Halbleiterchips **1** verbunden. Die Verbindung wird mit Hilfe eines Bondwerkzeugs, eines Heizgeräts und eines Ultraschallwellengenerators (nicht dargestellt) bewerkstelligt.

Dann wird, wie in **Fig. 4D** dargestellt, Harz **42** zwischen dem Bandsubstrat **93** und dem Halbleiterchip **1** aufgetragen und dann gehärtet, um auf diese Weise eine Verbindung zwischen dem Bandsubstrat **93** und dem Halbleiterchip **1** zu verstärken. Das Harz **42** besteht beispielsweise aus flüssigem Epoxidharz.

Dann wird, wie in **Fig. 4E** dargestellt, ein Produkt, das aus dem in **Fig. 4D** dargestellten Schritt resultiert, zum Zweck des Schutzes des Halbleiterchips **1** mit einer Abdeckung **43** bedeckt. Dann wird die Abdeckung **43** unter atmosphärischem Druck abgedichtet. Die Abdeckung **43** ist beispielsweise aus Cu, Al oder SiC hergestellt.

Auf eine untere Fläche der Abdeckung **43** wird elektrisch leitender Klebstoff **44**, wie beispielsweise Ag-Paste oder Cu-Paste, aufgetragen. Der Klebstoff **44** wird erhitzt und somit gehärtet, wenn die Abdeckung **43** abgedichtet wird.

Dann werden, wie in **Fig. 4F** dargestellt, die Lötkekeln **101** an einen Positionierer **45** angezogen, und danach werden die Lötkekeln **101** auf den über der Verdrahtungslage **2** gebildeten Lötäugen **7** angebracht. Danach wird ein nicht dargestelltes Flußmittel über die Lötkekeln **101** und die Lötäugen **7** aufgetragen. Dann wird bewirkt, daß die Lötkekeln **101** aufschmelzen, um auf diese Weise die Lötkekeln **101** physisch mit den Lötäugen **7** zu verbinden. Dann wird das Flußmittel ausgewaschen.

Auf diese Weise wird ein Produkt, wie es in **Fig. 4G** dargestellt ist, vervollständigt. Das Produkt wird dann einem Temperaturdurchlaufstest unterzogen, um die Leistung und den Widerstand gegenüber Schäden zu prüfen.

Dann wird, wie in **Fig. 4H** dargestellt, bewirkt, daß die Lötkekeln **101** aufschmelzen, um auf diese Weise die Lötkekeln **101** physikalisch mit der Schaltungsplatte **34** zu verbinden. Auf diese Weise wird ein Halbleiterbauelement als Endprodukt vervollständigt.

Das in den **Fig. 1A** bis **1C** dargestellte herkömmliche Halbleiterbauelement ist jedoch mit dem folgenden Problem behaftet.

Wie oben erwähnt, ist ein Halbleiterchip sehr stark integriert, um der Anforderung an die Herstellung eines Halbleiterbauelements hinsichtlich kleinerer Größe und kleinerem Gewicht zu genügen. Bei einem stärker integrierten Halbleiterchip muß pro Flächeneinheit eines Halbleiterchips eine größere Anzahl von Stiften gebildet werden, was zu einem geringeren Abstand zwischen benachbarten Stiften führt. Wenn die Anzahl der Stifte ansteigt, steigt auch die Anzahl der äußeren Anschlüsse, das heißt mit einem Halbleiterchip zu verbindenden Lötkekeln, was zu einem geringeren Abstand zwischen benachbarten Lötkekeln führt.

Wenn der Abstand zwischen benachbarten Lötkekeln abnimmt, nimmt im allgemeinen auch die Kontaktfläche, über die eine Lötkekeln mit einer Verdrahtungslage verbunden ist, ab. Infolgedessen wird die Verbindungsfestigkeit zwischen einer Lötkekeln und einer Verdrahtungslage reduziert.

Wie oben erläutert, ist bei dem in **Fig. 1A** bis **1C** dargestellten herkömmlichen Halbleiterbauelement, da die Kontaktfläche, über die die Lötkekeln **101** die Verdrahtungslage **2** kontaktiert, relativ klein ist, die Verbindungsfestigkeit zwischen der Lötkekeln **101** und der Verdrahtungslage **2** entsprechend klein. Dementsprechend neigt eine Verbindung, an der die Lötkekeln **101** mit der Verdrahtungslage **2** verbunden ist, zum Brechen oder zum Reißen, was zu einer Trennung der Lötkekeln **101** von der Verdrahtungslage **2** führt. Dies führt zu einer Verschlechterung der Ausbeute bei der Herstellung des Halbleiterbauelements.

Angesichts des obenerwähnten Problems besteht eine Aufgabe der vorliegenden Erfindung darin, ein Halbleiterbauelement bereitzustellen, das in der Lage ist, die Trennung einer Lötkekeln von einer Verdrahtungslage zu verhindern, und weiterhin darin, ein Verfahren zur Herstellung eines Halbleiterbauelements bereitzustellen, das in der Lage ist, selbiges zu tun.

Um das obenerwähnte Problem zu lösen, hatten die Erfinder die Erhöhung der Festigkeit an einer Verbindung zwischen einer Lötkekeln und einer Verdrahtungslage untersucht. Als Ergebnis der Langzeituntersuchung hatten die Erfinder herausgefunden, daß es möglich wäre, die Festigkeit durch Bilden einer Kupfer-Zinn-Legierungsschicht zwischen einer Lötkekeln und einer Verdrahtungslage zu erhöhen, um auf diese Weise das Auftreten von Bruch und Reißen an einer Verbindung zwischen einer Lötkekeln und einer Verdrahtungslage zu verhindern. Die Erfinder hatten weiterhin herausgefunden, daß es möglich wäre, eine Kupfer-Zinn-Legierungsschicht zu bilden, indem eine auf einer Verdrahtungslage angebrachte Lötkekeln in einer inaktiven oder reduzierenden Gasatmosphäre für einen vorbestimmten Zeitraum bei einer Temperatur, die größer oder gleich dem Schmelzpunkt der Lötkekeln ist, gehalten wird.

Spezifisch wird unter einem Gesichtspunkt der vorliegenden Erfindung ein Halbleiterbauelement bereitgestellt, das folgendes enthält: (a) einen Halbleiterchip, (b) eine Verdrahtung, die eine elektrische Verbindung mit dem Halbleiterchip herstellt und Kupfer (Cu) enthält, (c) eine Lötkekeln, die die Verdrahtung kontaktiert und Zinn (Sn) enthält, und (d) eine aus Kupfer-Zinn-(Cu-Sn)-Legierung hergestellte Schicht, die zwischen der Verdrahtung und der Lötkekeln geschichtet ist, dadurch gekennzeichnet, daß die Cu-Sn-Legierungsschicht eine Dicke aufweist, die größer oder gleich ungefähr 1,87 Mikrometer ist.

Falls die Kupfer-Zinn-Legierungsschicht eine Dicke unter 1,87 Mikrometer hätte, wäre es unmöglich, die Festigkeit an einer Verbindung zwischen einer Lötkekeln und einer Verdrahtungslage ausreichend zu erhöhen, was dazu führen würde, daß die Verbindung in einem Heizschritt, wie beispielsweise einem Temperaturdurchlaufstest, brechen oder reißen könnte, wobei dann eine Lötkekeln von einer Verdrahtungslage getrennt wird.

Es wäre jedoch möglich, die Festigkeit an einer Verbindung zwischen einer Lötkekeln und einer Verdrahtungslage durch Bilden der obenerwähnten Kupfer-Zinn-Legierungsschicht mit einer Dicke größer oder gleich ungefähr 1,87 Mikrometer zwischen der Lötkekeln und der Verdrahtungslage zu erhöhen. Infolgedessen wäre es möglich, das Auftreten von Bruch oder Reißen an der Verbindung zu verhindern oder zu reduzieren, wodurch sichergestellt wird, daß die Lötkekeln nicht von der Verdrahtungslage getrennt wird. Somit erhöht die vorliegende Erfindung die Festigkeit an der Verbindung und erhöht infolgedessen die Ausbeute bei der Herstellung eines Halbleiterbauelements.

Unter einem weiteren Gesichtspunkt der vorliegenden Erfindung wird ein Verfahren zur Herstellung eines Halbleiterbauelements bereitgestellt, das folgende Schritte enthält: (a) Bilden einer Verdrahtung, die Kupfer (Cu) enthält, auf einem Substrat, (b) Anbringen einer Lötkekeln, die Zinn (Sn) enthält, auf der Verdrahtung und (c) Halten eines aus dem Schritt (b) resultierenden Produkts in inaktiver Gasatmosphäre oder in reduzierender Gasatmosphäre bei einer Temperatur größer oder gleich dem Schmelzpunkt der Lötkekeln.

Gemäß dem obenerwähnten Verfahren wird in der Lötkegel enthaltenes Zinn flüssig in die Kupfer enthaltende Verdrahtungslage diffundiert, was dazu führt, daß zwischen der Lötkegel und der Verdrahtungslage eine Kupfer-Zinn-Legierungsschicht mit einer Dicke gebildet wird, die ausreicht, um zu verhindern, daß die Lötkegel von der Verdrahtungslage getrennt wird. Die auf diese Weise gebildete Kupfer-Zinn-Legierungsschicht erhöht die Festigkeit einer Verbindung zwischen der Lötkegel und der Verdrahtungslage und stellt auf diese Weise sicher, daß die Verbindung nicht bricht oder reißt. Somit erhöht die vorliegende Erfindung die Festigkeit an der Verbindung und erhöht infolgedessen die Ausbeute bei der Herstellung eines Halbleiterbauelements.

Das aus dem Schritt (b) resultierende Produkt wird einen vorbestimmten Zeitraum lang, der ausreicht, die Festigkeit einer Verbindung zwischen der Lötkegel und der Verdrahtungslage zu erhöhen, in einer inaktiven oder reduzierenden Gasatmosphäre gehalten.

Beispielsweise wird das Produkt eine Stunde lang oder länger in einer inaktiven oder reduzierenden Gasatmosphäre gehalten.

Fig. 1A ist eine Querschnittsansicht eines herkömmlichen Halbleiterbauelements.

Fig. 1B ist eine vergrößerte Ansicht einer Verbindung zwischen einer Verdrahtungslage und einer Lötkegel.

Fig. 1C ist eine Querschnittsansicht, die veranschaulicht, daß das in **Fig. 1A** dargestellte Halbleiterbauelement mit einer Schaltungsplatte elektrisch verbunden ist.

Fig. 2A ist eine vergrößerte Ansicht einer Lötkegel in dem in **Fig. 1A** dargestellten Halbleiterbauelement.

Fig. 2B ist eine teilweise vergrößerte Ansicht einer Verbindung zwischen einer Verdrahtungslage und einer Lötkegel in dem in **Fig. 2A** dargestellten Halbleiterbauelement.

Fig. 3A bis 3H sind Querschnittsansichten eines Halbleiterbauelements, die jeweils entsprechende Schritte eines Verfahrens zur Herstellung des in **Fig. 1A** dargestellten herkömmlichen Halbleiterbauelements darstellen.

Fig. 4A bis 4H sind Querschnittsansichten eines Halbleiterbauelements, die jeweils entsprechende Schritte eines Verfahrens zur Herstellung des in **Fig. 1A** dargestellten herkömmlichen Halbleiterbauelements darstellen.

Fig. 5A ist eine Querschnittsansicht eines Halbleiterbauelements gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung.

Fig. 5B ist eine vergrößerte Ansicht einer Verbindung zwischen einer Verdrahtungslage und einer Lötkegel.

Fig. 5C ist eine Querschnittsansicht, die darstellt, daß das in **Fig. 5A** dargestellte Halbleiterbauelement mit einer Schaltungsplatte elektrisch verbunden ist.

Fig. 6A ist eine vergrößerte Ansicht einer Lötkegel in dem in **Fig. 5A** dargestellten Halbleiterbauelement.

Fig. 6B ist eine teilweise vergrößerte Ansicht einer Verbindung zwischen einer Verdrahtungslage und einer Lötkegel in dem in **Fig. 6A** dargestellten Halbleiterbauelement.

Fig. 7A bis 7G sind Querschnittsansichten eines Halbleiterbauelements, die jeweils entsprechende Schritte eines Verfahrens zur Herstellung des in **Fig. 5A** dargestellten Halbleiterbauelements darstellen.

Fig. 8A bis 8I sind Querschnittsansichten eines Halbleiterbauelements, die jeweils entsprechende Schritte eines Verfahrens zur Herstellung des in **Fig. 5A** dargestellten Halbleiterbauelements darstellen.

Fig. 9 ist ein Graph, der die Scherfestigkeit einer Verbindung zwischen einer Lötkegel und einer Verdrahtungslage zeigt.

Fig. 10 stellt ein Beispiel einer Vorrichtung zum Messen der Scherfestigkeit einer Verbindung zwischen einer Lötkegel und einer Verdrahtungslage dar.

Fig. 1A bis 1C stellen ein Halbleiterbauelement gemäß der ersten Ausführungsform der vorliegenden Erfindung dar.

Wie in **Fig. 1A** dargestellt, umfaßt das Halbleiterbauelement einen Halbleiterchip **1**, ein Filmsubstrat **3**, eine das Filmsubstrat **3** an den Halbleiterchip **1** klebende Polyimid-Klebstoffschicht **31**, einen Resist **32**, mit dem die Verdrahtungslage **2** bedeckt ist und der mit einem Lötauge **7** gebildet ist, das eine an einer Oberfläche davon gebildete Ausnehmung ist, eine auf dem Filmsubstrat **3** gebildete Verdrahtungslage **2**, eine an der Verdrahtungslage **2** in dem Lötauge **7** angebrachte Lötkegel **101**, eine Schicht **21** (siehe **Fig. 1B**) aus Kupfer-Zinn-Legierung, die zwischen der Lötkegel **101** und der Verdrahtungslage **2** geschichtet ist, ein Metall **5**, das in ein sowohl durch das Filmsubstrat **3** als auch die Polyimid-Klebstoffschicht **31** gebildetes Durchgangsloch **4** gefüllt ist, und eine Goldschicht **6** (Au), mit der das Metall **5** an einer oberen Fläche davon bedeckt ist.

Die Verdrahtungslage **2** steht in elektrischer Verbindung mit dem Halbleiterchip **1** und enthält Kupfer (Cu). Die Lötkegel **101** enthält Zinn (Sn).

Bei dem Halbleiterbauelement gemäß der ersten Ausführungsform ist das Durchgangsloch **4** unmittelbar über einer Elektrode **12** des Halbleiterchips **1** gebildet. Die Lötkegel **101** ist mit der Elektrode **12** durch das in das Durchgangsloch **4** gefüllte Metall **5** elektrisch verbunden. Es ist nicht immer notwendig, daß sich die Lötkegel **101** unmittelbar über der Elektrode **12** befindet.

Wie in **Fig. 5C** dargestellt, enthält das Halbleiterbauelement gemäß der ersten Ausführungsform weiterhin eine elektrisch mit der Lötkegel **11** verbundene Schaltungsplatte **34**.

Fig. 6A ist eine vergrößerte Ansicht der Verdrahtungslage **2** und der Lötkegel **11**, wobei die Lötkegel **11** aus eutektischem Sn-Pb-Lot besteht, das 65% Zinn **22** und 35% Blei enthält. **Fig. 6B** ist eine teilweise vergrößerte Ansicht einer Grenze zwischen der Verdrahtungslage **2** und der Lötkegel **11**.

Wie in **Fig. 6B** dargestellt, ist zwischen der Verdrahtungslage **2** und der Lötkegel **11** der Cu-Sn-Legierungsfilm **21** mit einer Dicke von 3 Mikrometer bis 4 Mikrometer geschichtet.

Die Lötkegel **11** enthält vorwiegend Zinn (Sn). Obwohl die zwischen der Lötkegel **11** und der Verdrahtungslage **2** geschichtete Schicht **21** bei der ersten Ausführungsform aus einer Cu-Sn-Legierung besteht, kann die Schicht **21** aus einer Sn-Pb-Legierung oder einer Sn-Ag-Legierung bestehen. Als Alternative kann die Schicht **21** Pb-frei sein. Beispielsweise kann die Schicht **21** aus einer Sn-An-Legierung, einer Sn-Bi-Legierung, einer Sn-Ni-Legierung, einer Sn-Cd-Legierung, einer Sn-S-Legierung, einer Sn-As-Legierung oder einer Sn-Zn-Legierung bestehen.

Wie oben erwähnt, ist bei der ersten Ausführungsform die Cu-Sn-Legierungsschicht **21** zwischen der Lötkegel **11** und der Verdrahtungslage **2** geschichtet. Die Cu-Sn-Legierungsschicht **21** ermöglicht es, das Auftreten von Bruch und Rei-

Ben durch die Lötkegel **11** und die Verdrahtungslage **2** zu verhindern, wodurch verhindert wird, daß die Lötkegel **11** aufgrund von Bruch und/oder Reißen durch die Lötkegel **11** und die Verdrahtungslage **2** von der Verdrahtungslage **2** getrennt wird. Infolgedessen wäre es möglich, die Ausbeute bei der Herstellung des Halbleiterbauelements zu erhöhen.

Die Cu-Sn-Legierungsschicht **21** weist eine Dicke von bevorzugt 1,87 Mikrometer oder darüber auf, besonders bevorzugt von 2 Mikrometer oder darüber und ganz besonders bevorzugt von 3 Mikrometer oder darüber.

Wenn die Lötkegel **11** außer Zinn (Sn) andere Materialien enthält, dann liegen diese Materialien im allgemeinen in der Form von Agglomeraten vor. Da diese Agglomerate größer sind, wird die Lötkegel **11** mit größerer Wahrscheinlichkeit verformt, und somit treten Bruch und Reißen mit größerer Wahrscheinlichkeit an einer Verbindung zwischen der Lötkegel **11** und der Verdrahtungslage **2** auf. Folglich müssen die Agglomerate in einer kleineren Größe in der Lötkegel **11** verteilt sein.

Wenn die Lötkegel **11** beispielsweise sowohl Blei (Pb) **23** als auch Zinn (Sn) **22** enthält, wie in **Fig. 6A** und **6B** dargestellt, wird bevorzugt, daß das Blei **23** in der Lötkegel **11** in Form kleiner Agglomerate verteilt ist.

Ein Verfahren zur Herstellung des Halbleiterbauelements gemäß der ersten Ausführungsform, das in **Fig. 5A** bis **5C** veranschaulicht ist, wird unten unter Bezugnahme auf **Fig. 7A** bis **7G** und **8A** bis **8I** erläutert.

Zunächst wird, wie in **Fig. 7A** dargestellt, die Kupfer enthaltende Verdrahtungslage **2** auf einer oberen Fläche des Filmsubstrats **3** gebildet, und die Klebstoffschicht **31** wird auf einer unteren Fläche des Filmsubstrats **3** gebildet. Das Filmsubstrat **3** weist eine Dicke von 12 Mikrometer auf, die Verdrahtungslage **2** weist eine Dicke von 18 Mikrometer auf und die Klebstoffschicht **31** weist eine Dicke von 10 Mikrometer auf. Das Filmsubstrat **3** besteht aus einem Material mit einem Widerstand gegenüber einer Temperatur von 250 Grad Celsius oder darüber, wie beispielsweise Polyimid. Die Klebstoffschicht **31** besteht aus Polyimid.

Dann wird, wie in **Fig. 7B** wie dargestellt, die Verdrahtungslage **2** zu einer vorbestimmten Struktur strukturiert.

Dann werden, wie in **Fig. 7C** dargestellt, sowohl die strukturierte Verdrahtungslage **2** als auch das Filmsubstrat **3** mit dem Resist **32** bedeckt.

Dann wird, wie in **Fig. 7D** dargestellt, beispielsweise mit Hilfe einer Laserstrahlkanone, durch die Klebstoffschicht **31** und die Verdrahtungslage **2** das Durchgangsloch **4** gebildet.

Dann wird, wie in **Fig. 7E** dargestellt, das Durchgangsloch **4** mit dem Metall **5**, beispielsweise Kupfer oder Aluminium, gefüllt.

Dann wird, wie in **Fig. 7F** dargestellt, das Metall **5** an einer oberen Fläche mit der Goldschicht **6** bedeckt.

Dann wird, wie in **Fig. 7G** dargestellt, der Resist **32** mit dem Lötauge **7** über der Verdrahtungslage **2** gebildet. In späteren Schritten wird die Lötkegel **11** an der Verdrahtungslage **2** in dem Lötauge **7** angebracht.

Somit wird ein Bandsubstrat **33** vervollständigt, das aus dem Filmsubstrat **3** mit auf der oberen Fläche gebildeter Verdrahtungslage **2** besteht. Obwohl **Fig. 7A** bis **7G** nur ein Lötauge **7** darstellen, sei angemerkt, daß das Filmsubstrat **3** in Form einer Folie vorliegt und das Filmsubstrat **3** mit mehreren Lötäugen **7** gebildet ist, in denen jeweils die Lötkegel **11** in späteren Schritten angebracht werden muß.

Ein Verfahren zum Anbringen der Lötkegel **11** auf der Verdrahtungslage **2** wird unten unter Bezugnahme auf die **Fig. 8A** bis **8I** erläutert.

Zunächst wird, wie in **Fig. 8A** dargestellt, das Bandsubstrat **33**, das aus den in **Fig. 7A** bis **7G** dargestellten Schritten resultierte, so plaziert, daß die Goldschicht **6** nach oben zeigt. Der Einfachheit halber ist die Goldschicht **6** in **Fig. 8A** nicht dargestellt.

Dann werden, wie in **Fig. 8B** dargestellt, an das Bandsubstrat **33** an seinen entgegengesetzten Enden Versteifungen **41** angeklebt. Die Versteifungen **41** bestehen beispielsweise aus Kupfer oder rostfreiem Stahl.

Dann wird, wie in **Fig. 8C** dargestellt, der Halbleiterchip **1** auf dem Bandsubstrat **33** angebracht, umgeben von den Versteifungen **41**. Dann wird die Goldschicht **6** über einen nicht dargestellten Bonddraht elektrisch mit der Elektrode **12** des Halbleiterchips **1** verbunden. Die Verbindung wird mit Hilfe eines Bondwerkzeugs, eines Heizgeräts und eines Ultraschallwellengenerators (nicht dargestellt) bewerkstelligt.

Dann wird, wie in **Fig. 8D** dargestellt, Harz **42** zwischen dem Bandsubstrat **33** und dem Halbleiterchip **1** aufgetragen und dann gehärtet, um auf diese Weise die Verbindung zwischen dem Bandsubstrat **33** und dem Halbleiterchip **1** zu verstärken. Das Harz **42** besteht beispielsweise aus flüssigem Epoxidharz.

Dann wird, wie in **Fig. 8E** dargestellt, ein Produkt, das aus dem in **Fig. 8D** dargestellten Schritt resultierte, zum Zweck des Schutzes des Halbleiterchips **1** mit einer Abdeckung **43** bedeckt. Dann wird die Abdeckung **43** unter atmosphärischem Druck abgedichtet. Die Abdeckung **43** ist beispielsweise aus Cu, Al oder SiC hergestellt.

Auf eine untere Fläche der Abdeckung **43** wird elektrisch leitender Klebstoff **44**, wie beispielsweise Ag-Paste oder Cu-Paste, aufgetragen. Der Klebstoff **44** wird erhitzt und somit gehärtet, wenn die Abdeckung **43** abgedichtet wird.

Dann werden, wie in **Fig. 8F** dargestellt, die Lötkegel **11** an einen Positionierer **45** angezogen, und danach werden die Lötkegel **11** auf den über der Verdrahtungslage **2** gebildeten Lötäugen **7** angebracht. Danach wird ein nicht dargestelltes Flußmittel über den Lötkegel **11** und den Lötäugen **7** aufgetragen. Dann wird bewirkt, daß die Lötkegel **11** aufschmelzen, um auf diese Weise die Lötkegel **11** mit den Lötäugen **7** physikalisch zu verbinden. Dann wird das Flußmittel ausgewaschen.

Auf diese Weise wird ein derartiges Produkt, wie in **Fig. 8G** dargestellt, vervollständigt. Das auf diese Weise erhaltene Produkt wird, wie in **Fig. 8H** dargestellt, über einen vorbestimmten Zeitraum, beispielsweise eine Stunde lang, in einer inaktiven oder reduzierenden Gasatmosphäre bei einer Temperatur gehalten, die größer oder gleich dem Schmelzpunkt der Lötkegel **11** ist.

Das resultierende Produkt wird dann einem Temperaturdurchlauf fest unterzogen, um die Leistung und den Widerstand gegenüber Beschädigungen zu prüfen.

Dann wird, wie in **Fig. 8I** dargestellt, bewirkt, daß die Lötkegel **11** aufschmelzen, um auf diese Weise die Lötkegel **11** physisch mit der Schaltungsplatte **34** zu verbinden. Auf diese Weise wird ein Halbleiterbauelement als Endprodukt vervollständigt.

Wie oben erwähnt, werden, indem das in **Fig. 8G** dargestellte Produkt über einen vorbestimmten Zeitraum in einer in-

aktiven oder reduzierenden Gasatmosphäre bei einer Temperatur gehalten wird, die größer oder gleich dem Schmelzpunkt der Lötkegel **11** ist, in der Lötkegel **11** enthaltenes Zinn und in der Verdrahtungslage **2** enthaltenes Kupfer mit einander gekoppelt, um auf diese Weise zwischen der Lötkegel **11** und der Verdrahtungslage **2** die Cu-Sn-Legierungsschicht **21** zu bilden.

5 Hierbei gibt eine inaktive Gasatmosphäre eine Atmosphäre aus einem Gas an, das weder mit der Lötkegel **11** noch der Verdrahtungslage **2** reagiert, wie beispielsweise N_2 , Ar, He und Ne, alleine oder zusammen. Eine reduzierende Gasatmosphäre gibt eine Atmosphäre aus reduzierendem Gas an, wie beispielsweise CO oder H_2 .

Indem das in **Fig. 8G** dargestellte Produkt über einen vorbestimmten Zeitraum in einer inaktiven oder reduzierenden Gasatmosphäre bei einer Temperatur gehalten wird, die größer oder gleich dem Schmelzpunkt der Lötkegel **11** ist, wird in der Lötkegel **11** enthaltenes Zinn flüssig in die Kupfermatrix in der Verdrahtungslage **2** diffundiert, was dazu führt, daß zwischen der Lötkegel **11** und der Verdrahtungslage **2** die Cu-Sn-Legierungsschicht **21** mit einer Dicke gebildet wird, die ausreicht, um eine Trennung der Lötkegel **11** von der Verdrahtungslage **2** zu verhindern. Somit könnte eine Verbindung zwischen der Lötkegel **11** und der Verdrahtungslage **2** eine erhöhte Festigkeit aufweisen, was sicherstellt, daß die Wahrscheinlichkeit dafür, daß die Verbindung bricht und reißt, gering ist. Infolgedessen wäre es möglich, die Anzahl fehlerhafter Halbleiterbauelemente, bei denen die Lötkegel **11** bricht oder reißt, zu reduzieren und somit die Ausbeute bei der Herstellung des Halbleiterbauelements zu erhöhen.

Bei der ersten Ausführungsform wird im Unterschied zu dem in **Fig. 1A** dargestellten herkömmlichen Halbleiterbauelement auf der Verdrahtungslage **2** in dem Löttauge **7** keine dünne Goldschicht gebildet. Die Bildung der dünnen Goldschicht auf der Verdrahtungslage würde jedoch verhindern, daß die Verdrahtungslage **2** oxidiert, und die Bildung der Cu-Sn-Legierungsschicht **21** erleichtern. Somit kann selbst bei der ersten Ausführungsform eine dünne Goldschicht, wie beispielsweise die in **Fig. 1A** und **1C** dargestellte Goldschicht **8**, auf der Verdrahtungslage **2** abgeschieden werden.

Beispiel 1

25 Im folgenden wird ein erstes Beispiel des Halbleiterbauelements gemäß der obenerwähnten Ausführungsform, in **Fig. 5A** bis **5C** dargestellt, erläutert. In Beispiel 1 besteht die Lötkegel **11** aus eutektischem Sn-Pb-Lot und enthält 63% Sn und 37% Pb. **Fig. 6A** ist eine vergrößerte Ansicht der Lötkegel **11**, und **Fig. 6B** ist eine teilweise vergrößerte Ansicht der Lötkegel **11**, der Cu-Sn-Legierungsschicht **21** und der Verdrahtungslage **2**.

Wie in **Fig. 6B** dargestellt, wird die Cu-Sn-Legierungsschicht **21** zwischen der Lötkegel **11** und der Verdrahtungslage **2** gebildet. Die Cu-Sn-Legierungsschichten **21** in dem Halbleiterbauelement gemäß der obenerwähnten Ausführungsform weisen eine Dicke im Bereich von 1,87 Mikrometer bis 4,0 Mikrometer auf. Die meisten der Cu-Sn-Legierungsschichten **21** weisen eine Dicke im Bereich von 3,0 Mikrometer bis 4,0 Mikrometer auf.

Im Gegensatz dazu weisen die meisten der Cu-Sn-Legierungsschichten **21** in dem in **Fig. 2A** und **2B** dargestellten herkömmlichen Halbleiterbauelement eine Dicke im Bereich von 1,0 Mikrometer bis 1,5 Mikrometer auf. Dies zeigt an, daß die Cu-Sn-Legierungsschicht **21** bei der obenerwähnten Ausführungsform dicker ist als in dem herkömmlichen Halbleiterbauelement.

Die Cu-Sn-Legierungsschicht **21** muß somit mindestens eine Dicke gleich 1,87 Mikrometer aufweisen, um zu verhindern, daß die Lötkegel **11** von der Verdrahtungslage **2** getrennt wird. Wie aus einem Vergleich zwischen dem herkömmlichen Halbleiterbauelement und der obenerwähnten Ausführungsform hervorgeht, kann die Cu-Sn-Schicht **21** mit einer Dicke größer oder gleich 1,87 Mikrometer die Festigkeit einer Verbindung der Lötkegel **11** und der Verdrahtungslage **2** erhöhen, was zu einer Reduktion des Auftretens von Bruch und/oder Reißen der Verbindung führt. Dies stellt eine höhere Ausbeute bei der Herstellung des Halbleiterbauelements sicher.

Wie bereits oben erwähnt, wenn die Lötkegel **11** außer Zinn (Sn) andere Materialien enthält, liegen diese Materialien im allgemeinen in Form von Agglomeraten vor. Die in **Fig. 6A** und **6B** dargestellte Lötkegel **11** enthält Blei in Form von Agglomeraten. Da diese Bleiagglomerate **23** größer sind, ist die Lötkegel **11** mit größerer Wahrscheinlichkeit verformt, und somit treten Bruch und Reißen mit größerer Wahrscheinlichkeit an einer Verbindung zwischen der Lötkegel **11** und der Verdrahtungslage **2** auf. Folglich müssen die Bleiagglomerate **23** in einer kleineren Größe in der Lötkegel **11** verteilt sein.

Die in **Fig. 6A** und **6B** dargestellte Lötkegel **11** enthält die Bleiagglomerate **23** mit einer Dichte von $20 \times 10^4 \text{ mm}^{-3}$ oder größer. Im Gegensatz dazu enthält die in den **Fig. 2A** und **2B** dargestellte Lötkegel **101** in dem herkömmlichen Halbleiterbauelement die Bleiagglomerate **83** mit einer Dichte von $15 \times 10^4 \text{ mm}^{-3}$. Es versteht sich somit, daß die Lötkegel **11** in dem Halbleiterbauelement gemäß der obenerwähnten Ausführungsform die Bleiagglomerate **23** mit einer größeren Dichte enthält als die des herkömmlichen Halbleiterbauelements. Das heißt, die Bleiagglomerate **23** sind weiter gestreut als die Bleiagglomerate **83** in der Lötkegel **101** in dem herkömmlichen Halbleiterbauelement.

Die Bleiagglomerate **23** in der in **Fig. 6A** und **6B** dargestellten Lötkegel **11** weisen eine Querschnittsfläche im Bereich von 1 bis 10 Quadratmikrometer auf. Im Gegensatz dazu weisen die Bleiagglomerate **83** in der in **Fig. 2A** und **2B** dargestellten Lötkegel **101** eine Querschnittsfläche im Bereich von 10 bis 30 Quadratmikrometer auf. Es versteht sich somit, daß die Lötkegel **11** in dem Halbleiterbauelement gemäß der obenerwähnten Ausführungsform die Bleiagglomerate **23** in einer kleineren Größe als die des herkömmlichen Halbleiterbauelements enthält.

Wie oben erwähnt enthält die Lötkegel **11** in Beispiel 1 die Bleiagglomerate **23** mit einer größeren Dichte und mit einer geringeren Größe als diejenigen der herkömmlichen Lötkegel **101**. Infolgedessen ist es unwahrscheinlich, daß die Lötkegel **11** in Beispiel 1 verformt wird, und es wäre möglich, das Auftreten von Bruch und/oder Reißen an der Verbindung zwischen der Lötkegel **11** und der Verdrahtungslage **2** zu verhindern. Somit kann ein Halbleiterbauelement mit einer höheren Herstellungsausbeute hergestellt werden.

Beispiel 2

In Beispiel 2 besteht die Lötkegel **11** aus eutektischem Sn-Pb-Lot und enthält 63% Sn und 37% Pb, ähnlich wie bei

Beispiel 1. In Beispiel 2 wurde das Halbleiterbauelement, das aus den in **Fig. 7A bis 7G** und **8A bis 8G** dargestellten Schritten resultiert, in N_2 -Gasatmosphäre bei einer Temperatur gehalten, die größer oder gleich dem Schmelzpunkt der Lötkegel **11** ist, und dann wurde die Schaltungsplatte **34** mit der Lötkegel **11** verbunden. Danach wurde die Scherfestigkeit an der Verbindung zwischen der Lötkegel **11** und der Verdrahtungslage **2** gemessen.

Das Ergebnis der Messung ist in **Fig. 9** gezeigt, in der die Ordinatennachse die Scherfestigkeit in der Einheit Pond (P) und die Abszissenachse einen Zeitraum in der Einheit Stunden angibt, während dem das Halbleiterbauelement in N_2 -Gasatmosphäre bei einer Temperatur gehalten wird, die größer oder gleich dem Schmelzpunkt der Lötkegel **11** ist.

In **Fig. 9** gibt ein \circ eine Scherfestigkeit der Verbindung an, die gemessen wird, wenn die Lötkegel **11** bei 240 Grad Celsius gehalten wird, was höher ist als der Schmelzpunkt von eutektischem Cu-Sn-Lot, 183 Grad Celsius, und \bullet gibt als Referenz eine Scherfestigkeit der Verbindung an, die gemessen wird, wenn die Lötkegel **11** bei 150 Grad Celsius gehalten wird, was niedriger ist als der Schmelzpunkt von eutektischem Cu-Sn-Lot, 183 Grad Celsius.

Die Scherfestigkeit der Verbindung wurde mit Hilfe einer in **Fig. 10** dargestellten Vorrichtung gemessen. Die dargestellte Vorrichtung enthält ein Meßwerkzeug **61**, durch das die Lötkegel **11** an der Verbindung zwischen der Lötkegel **11** und der Verdrahtungslage **2** in einer mit einem Pfeil **A** angegebenen Richtung geschert wird, das heißt in einer Richtung, die im wesentlichen parallel zu der Verbindung verläuft. Die Scherfestigkeit der Verbindung wurde gemessen, wenn die Lötkegel **11** mit Hilfe der Vorrichtung geschert wurde.

In Beispiel 2 ist die Lötkegel **11** so ausgelegt, daß sie einen Durchmesser von 0,5 mm aufweist, der Abstand zwischen benachbarten Lötkegeln **11** beträgt 0,8 mm und das Lötauge **7** weist einen Durchmesser von 0,4 mm auf. Wie aus **Fig. 9** offensichtlich ist, wird die Scherfestigkeit in dem Fall erhöht, in dem das Halbleiterbauelement bei einer Temperatur gehalten wird, die größer oder gleich dem Schmelzpunkt der Lötkegel **11** ist, als in einem Fall, in dem das Halbleiterbauelement bei einer Temperatur unter dem Schmelzpunkt der Lötkegel **11** gehalten wird. Der Grund dafür wird darin gesehen, daß in der Lötkegel **11** enthaltenes Zinn flüssig in die Kupfer enthaltende Verdrahtungslage **2** diffundiert wird, indem das Halbleiterbauelement bei einer Temperatur gehalten wird, die größer oder gleich dem Schmelzpunkt der Lötkegel **11** ist, und infolgedessen wird zwischen der Lötkegel **11** und der Verdrahtungslage **2** eine Cu-Sn-Legierungsschicht gebildet.

Gemäß dem Versuch, den die Erfinder durchgeführt hatten, kann die Scherfestigkeit der Verbindung zwischen der Lötkegel **11** und der Verdrahtungslage **2** um 680 Pond und darüber erhöht werden, indem das Halbleiterbauelement eine Stunde lang oder länger bei einer Temperatur gehalten wird, die größer oder gleich dem Schmelzpunkt der Lötkegel **11** ist. Es wäre somit möglich, daß die Verbindung eine Festigkeit aufweist, die ausreicht, um zu verhindern, daß die Lötkegel **11** von der Verdrahtungslage **2** getrennt wird.

Wie in den **Fig. 6A** und **6B** dargestellt, enthält die Lötkegel **11** Blei **23** in Form von Agglomeraten. Das heißt, die Lötkegel **11** enthält Cu, Sn und Pb. Tabelle 1 zeigt die Wärmeausdehnungskoeffizienten und Dichten von sowohl den Bestandteilen Cu, Sn und Pb, die in der Lötkegel **11** enthalten sind, als auch der Cu-Sn-Legierung aus der die Schicht **21** besteht.

Tabelle 1

Material	WAK [ppm]	Dichte [g/cm ³]
Cu	16,8	8,93
Pb	29	11,34
Sn	21	7,28
Cu-Sn-Legierung	17,1 - 17,8	-

Der Wärmeausdehnungskoeffizient (WAK) ist in der Einheit ppm angegeben, und die Dichte ist in der Einheit g/cm³ angegeben.

Je größer die Bleiagglomerate **23** sind, um so wahrscheinlicher ist es, daß die Lötkegel **11** verformt werden und somit an der Verbindung zwischen ihnen und der Verdrahtungslage **2** brechen oder reißen. Somit müssen die Bleiagglomerate **23** so klein wie möglich sein, um Entstehung von Verformung in den Lötkegeln **11** zu verhindern.

Angesichts von Tabelle 1 weist Pb einen größeren Wärmeausdehnungskoeffizienten als Cu, Sn und Cu-Sn-Legierung auf, und außerdem weist Pb eine größere Dichte als Cu und Sn auf. Wenn das Halbleiterbauelement einem Temperaturdurchlauf unterzogen wird, der bei einer Temperatur ausgeführt werden muß, die unter dem Schmelzpunkt der Lötkegel **11** liegt, expandieren die Bleiagglomerate **23** dementsprechend in einem größeren Ausmaß als Cu, Sn und Cu-Sn-Legierung und infolgedessen würden sich die Bleiagglomerate **23** stärker verformen als Cu, Sn und Cu-Sn-Legierung. Somit wird in der Lötkegel **11** mit um so größerer Wahrscheinlichkeit eine Verformung erzeugt, je größer die Bleiagglomerate **23** sind, und mit um so größerer Wahrscheinlichkeit brechen oder reißen darüber hinaus die Lötkegel **11** an der Verbindung.

Im Gegensatz dazu werden in Beispiel 2 die Lötkegel **11** bei einer Temperatur gehalten, die größer oder gleich ihrem Schmelzpunkt ist, und infolgedessen wird die Kristallstruktur der Lötkegel **11** so verändert, daß die Bleiagglomerate **23** kleiner und weiter gestreut sind als die Bleiagglomerate **83**, die in der herkömmlichen Lötkegel **101** (**Fig. 2A** und **2B**) enthalten sind.

Wie oben erwähnt, gemäß Beispiel 2, da die Bleiagglomerate **23** eine geringere Größe als die in der herkömmlichen Lötkegel **101** enthaltenen Bleiagglomerate **83** aufweisen, würden die Bleiagglomerate **23** eine Verformung zu einem geringeren Grad aufweisen, und außerdem, da die Bleiagglomerate **23** weiter gestreut sind als die in der herkömmlichen Lötkegel **101** enthaltenen Bleiagglomerate **83**, könnte die durch die Bleiagglomerate **23** bewirkte Verformung gestreut werden. Infolgedessen könnte die Verbindung zwischen der Lötkegel **11** und der Verdrahtungslage **2** eine erhöhte Festig-

keit aufweisen.

- Obwohl die Lötkegel **11** in Beispiel 2 aus eutektischem Sn-Pb-Lot besteht, ist das Material, aus dem die Lötkegel **11** besteht, nicht darauf zu beschränken. Es sei denn, daß die Lötkegel **11** Zinn (Sn) enthält, kann die Lötkegel **11** andere Elemente enthalten. So kann die Lötkegel **11** beispielsweise aus Sn-Ag-Legierung, Sn-Zn-Legierung, Sn-Cd-Legierung, Sn-Ni-Legierung, Sn-S-Legierung, Sn-As-Legierung oder Sn-Bi-Legierung bestehen.

Patentansprüche

1. Halbleiterbauelement, das folgendes umfaßt:
 - (a) einen Halbleiterchip (**1**),
 - (b) eine Verdrahtung (**2**), die eine elektrische Verbindung mit dem Halbleiterchip (**1**) herstellt und Kupfer (Cu) enthält,
 - (c) eine Lötkegel (**11**), die die Verdrahtung (**2**) kontaktiert und Zinn (Sn) enthält; und
 - (d) eine aus Kupfer-Zinn-(Cu-Sn)-Legierung hergestellte Schicht (**21**), die zwischen die Verdrahtung (**2**) und der Lötkegel (**11**) geschichtet ist,

dadurch gekennzeichnet, daß die Schicht (**21**) eine Dicke aufweist, die größer oder gleich ungefähr 1, 87 Mikrometer ist.
2. Halbleiterbauelement nach Anspruch 1, das weiterhin folgendes umfaßt:
 - (e) ein Filmsubstrat (**3**), das die Verdrahtung (**2**) an der entgegengesetzten Seite der Lötkegel (**11**) kontaktiert, wobei das Filmsubstrat (**3**) mit einem Durchgangsloch (**4**) gebildet ist, das bis zu der Verdrahtung (**2**) reicht;
 - (f) einen elektrischen Leiter (**5**), mit dem das Durchgangsloch (**4**) gefüllt ist; und
 - (g) eine Goldschicht (**6**), mit der der elektrische Leiter (**5**) an der entgegengesetzten Seite der Verdrahtung (**2**) bedeckt ist.
3. Halbleiterbauelement nach Anspruch 1 oder 2, bei dem die Kupfer-Zinn-(Cu-Sn)-Legierungsschicht (**21**) eine Dicke aufweist, die größer oder gleich 2 Mikrometer ist.
4. Halbleiterbauelement nach Anspruch 3, bei dem die Kupfer-Zinn-(Cu-Sn)-Legierungsschicht (**21**) eine Dicke aufweist, die größer oder gleich 3 Mikrometer ist.
5. Halbleiterbauelement nach Anspruch 1 oder 2, bei dem die Lötkegel (**11**) darin gestreute Agglomerate (**23**) enthält, wobei die Agglomerate aus einem anderen Material als Zinn bestehen.
6. Halbleiterbauelement nach Anspruch 5, bei dem die Agglomerate (**23**) aus Blei (Pb) bestehen und wobei die Bleiagglomerate (**23**) mit einer Dichte von $20 \times 10^4 \text{ mm}^{-3}$ oder darüber gestreut sind.
7. Halbleiterbauelement nach Anspruch 5, bei dem die Agglomerate (**23**) aus Blei (Pb) bestehen und wobei die Bleiagglomerate (**23**) im Durchschnitt eine Querschnittsfläche von 10 Quadratmikrometer oder weniger aufweisen.
8. Halbleiterbauelement nach Anspruch 1 oder 2, das weiterhin eine Schaltungsplatte (**34**) umfaßt, die eine elektrische Verbindung mit der Lötkegel (**11**) herstellt.
9. Verfahren zur Herstellung eines Halbleiterbauelements, das folgende Schritte umfaßt:
 - (a) Bilden einer Verdrahtung (**2**), die Kupfer (Cu) enthält, auf einem Substrat (**3**);
 - (b) Anbringen einer Lötkegel (**11**), die Zinn (Sn) enthält, auf der Verdrahtung (**2**); und
 - (c) Halten eines aus dem Schritt (b) resultierenden Produkts in inaktiver Gasatmosphäre oder in reduzierender Gasatmosphäre bei einer Temperatur größer oder gleich dem Schmelzpunkt der Lötkegel (**11**).
10. Verfahren nach Anspruch 9, das weiterhin folgende Schritte umfaßt:
 - (d) Bedecken der Verdrahtung (**2**) mit einem Resist (**32**) mit einer Ausnehmung (**7**), durch die die Verdrahtung (**2**) erscheint;
 - (e) Bilden eines Durchgangslochs (**4**) durch das Substrat (**3**) derart, daß das Durchgangsloch (**4**) die Verdrahtung (**2**) erreicht;
 - (f) Füllen des elektrischen Leiters (**5**) in das Durchgangsloch (**4**);
 - (g) Bedecken des elektrischen Leiters (**5**) mit einer Goldschicht (**6**); und
 - (h) Verbinden des Substrats (**3**) mit einem Halbleiterchip (**1**),

wobei die Schritte (d) bis (h) nach dem Schritt (a) durchgeführt werden, aber vor dem Schritt (c).
11. Verfahren nach Anspruch 9 oder 10, bei dem das aus Schritt (b) resultierende Produkt eine Stunde lang oder länger in der inaktiven Gasatmosphäre oder in der reduzierenden Gasatmosphäre gehalten wird.
12. Verfahren nach Anspruch 9 oder 10, weiterhin mit dem Schritt des Bildens einer Goldschicht (**6**) auf der Verdrahtung (**2**) vor dem Anbringen der Lötkegel (**11**) auf der Verdrahtung (**2**).

Hierzu 10 Seite(n) Zeichnungen

100 11 368.0

FIG. 1A
Stand der Technik

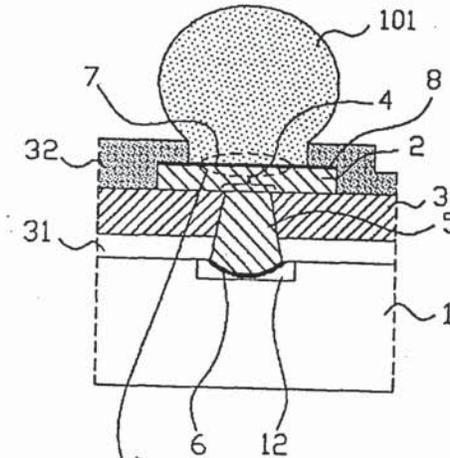


FIG. 1B
Stand der Technik

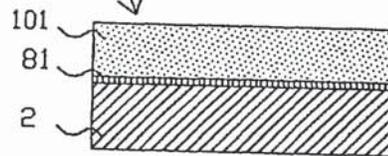


FIG. 1C
Stand der Technik

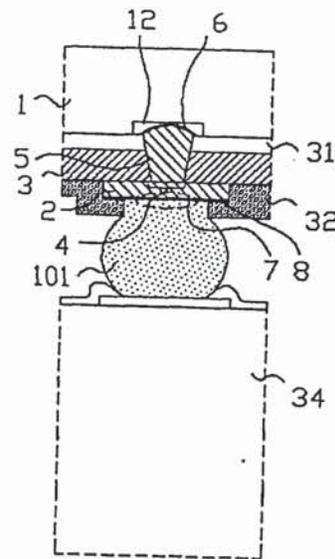


FIG. 2B
Stand der Technik

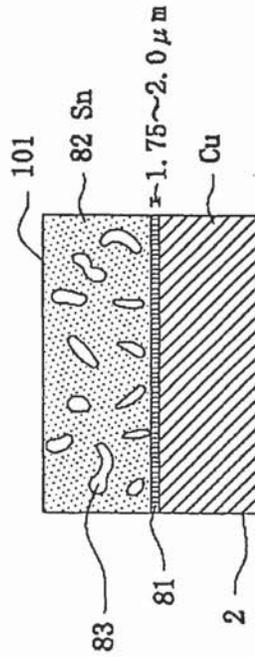
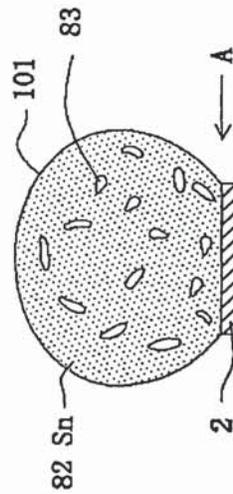


FIG. 2A
Stand der Technik



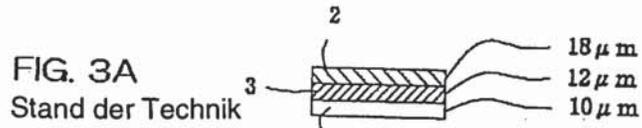


FIG. 4A
Stand der Technik 

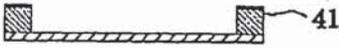
FIG. 4B
Stand der Technik 

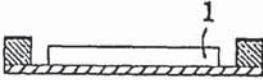
FIG. 4C
Stand der Technik 

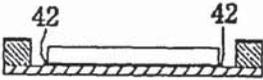
FIG. 4D
Stand der Technik 

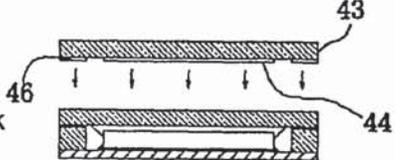
FIG. 4E
Stand der Technik 

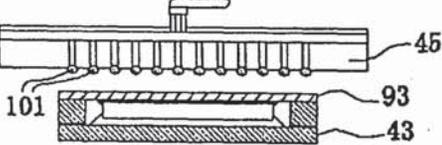
FIG. 4F
Stand der Technik 

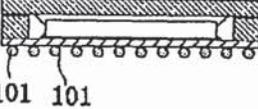
FIG. 4G
Stand der Technik 

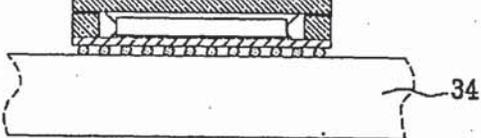
FIG. 4H
Stand der Technik 

FIG. 5A

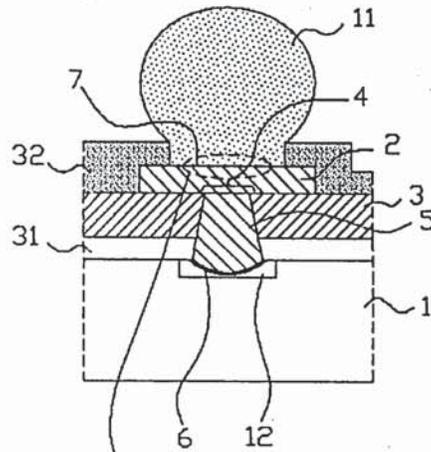


FIG. 5B

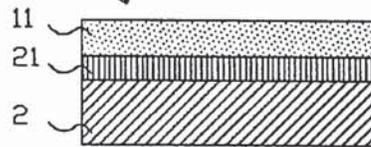


FIG. 5C

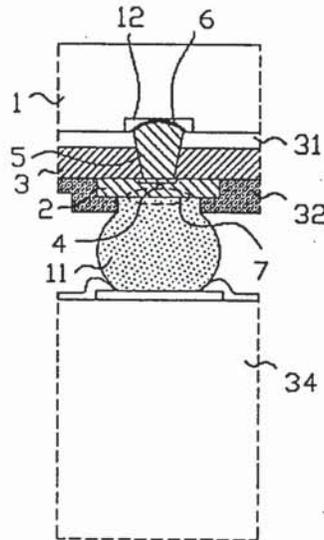


FIG. 6B

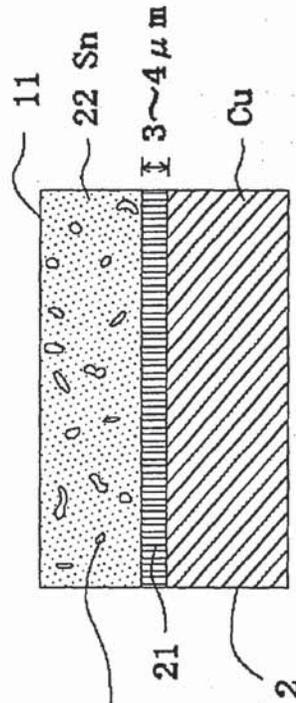
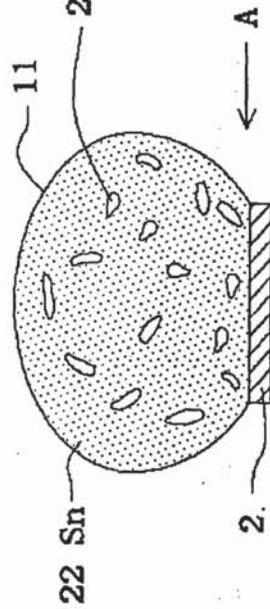


FIG. 6A



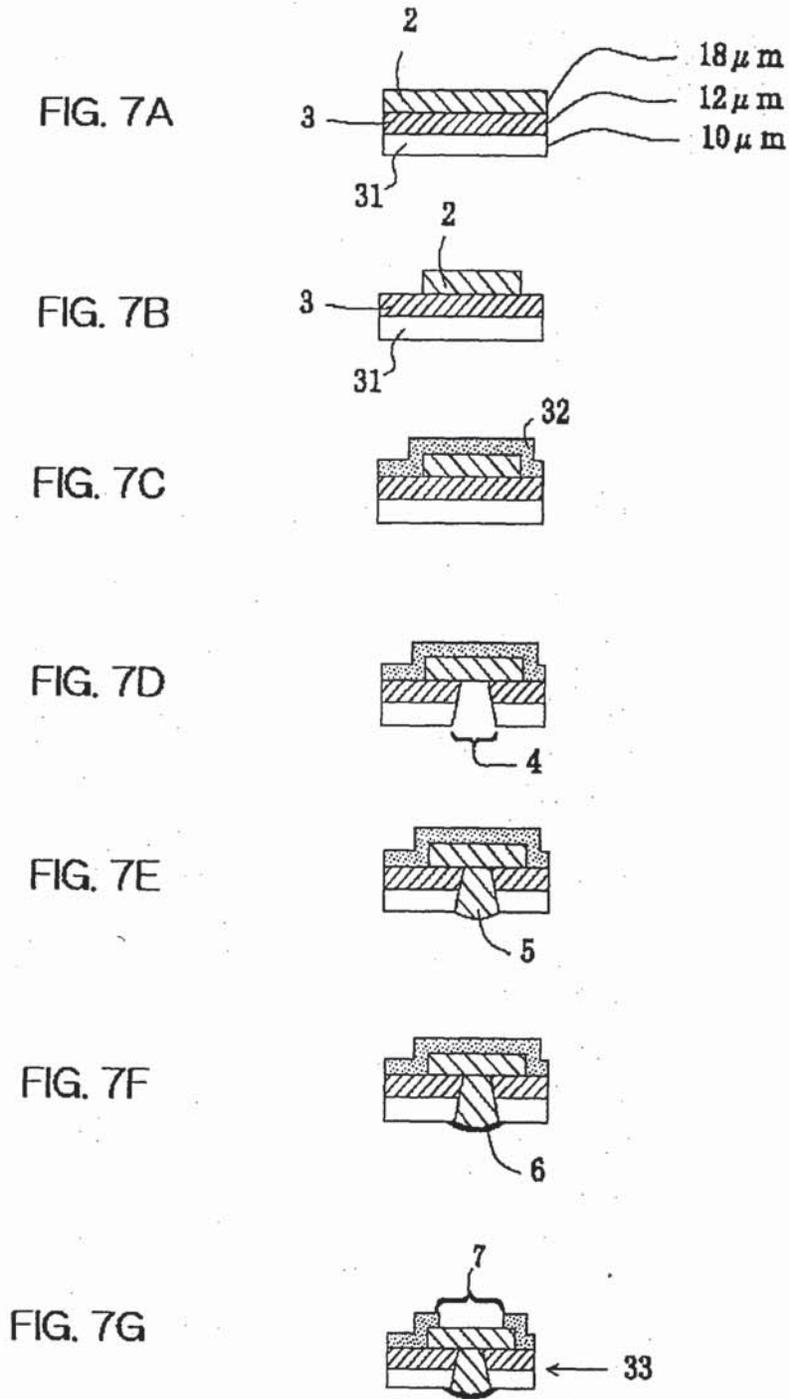


FIG. 8A

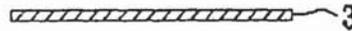


FIG. 8B



FIG. 8C

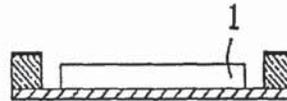


FIG. 8D

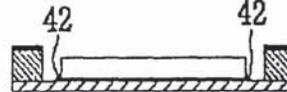


FIG. 8E

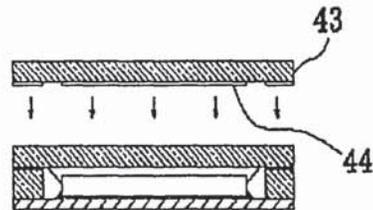


FIG. 8F

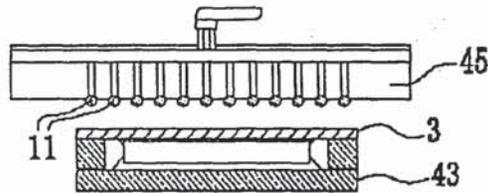


FIG. 8G

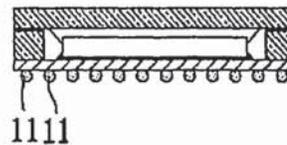


FIG. 8H

Bauelement auf einer Temperatur
über dem Schmelzpunkt der
Lötugel halten

FIG. 8I

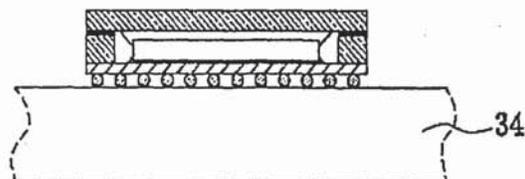


FIG. 9

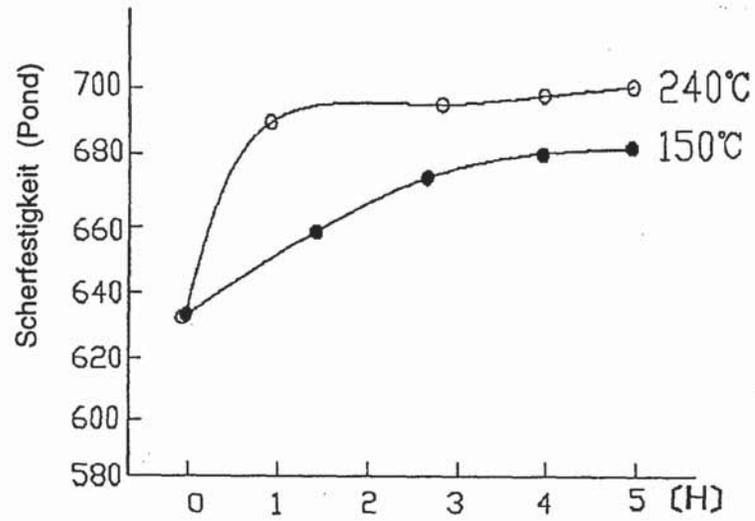
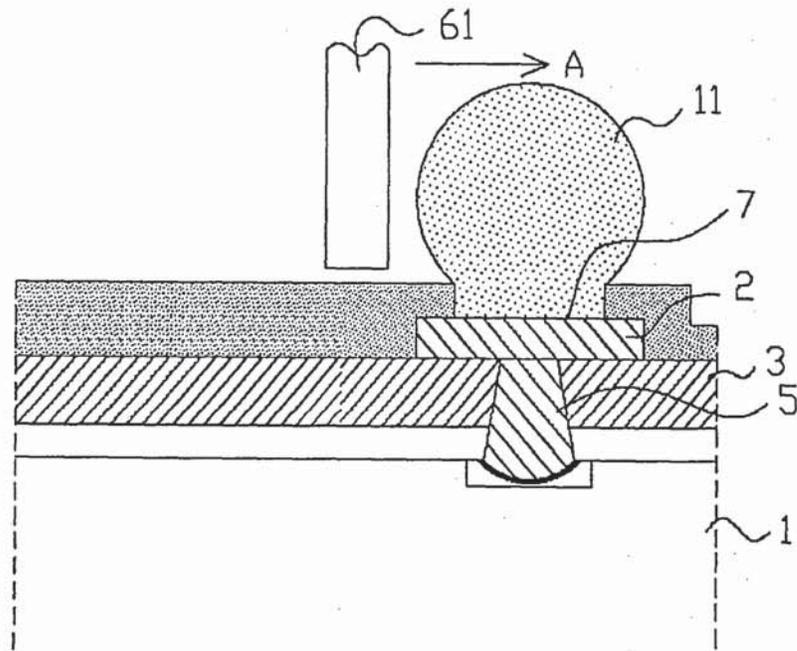


FIG. 10



CERTIFICATE OF VERIFICATION

TRANSLATOR'S DECLARATION:

May 23, 2017

I, Christine Drake, hereby declare:

That I possess advanced knowledge of the German and English languages. My qualifications are as follows:

- Accreditation of the American Translators' Association issued on November 7, 2001

The attached translation is, to the best of my knowledge and belief, a true and accurate translation from German to English of German Patent Publication No. DE 100 11 368. I understand that willful false statements and the like are punishable by fine or imprisonment, or both (18 U.S.C. § 1001) and may jeopardize the validity of the application or any patent issuing thereon. All statements made herein of my own knowledge are true and all statements made on information and belief are believed to be true.

By: Christine Drake
Christine Drake