Docket No.: 079195-0378 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Yuichiro SASAKI, et al.	:	Confirmation Number: Not Yet Assigned
Application No.: Not Yet Assigned	:	Group Art Unit: Not Yet Assigned
Filed: February 04, 2008	:	Examiner: Not Yet Assigned

For: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

INFORMATION DISCLOSURE STATEMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 37 C.F.R. 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the documents listed on the attached form PTO-1449. It is respectfully requested that the documents be expressly considered during the prosecution of this application, and that the documents be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

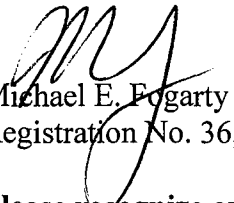
This Information Disclosure Statement is being filed within three months of the U.S. filing date OR before the mailing date of a first Office Action on the merits. No certification or fee is required.

The relevance of the references cited on the attached form PTO-1449 is discussed in the present specification.

Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP



Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:jwp
Facsimile: 202.756.8087
Date: February 4, 2008

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Substitute for form 1449/PTO)

ATTY. DOCKET NO.	SERIAL NO.
079195-0378	**Not Yet Assigned**
APPLICANT: **Yuichiro SASAKI, et al.**	
FILING DATE: **February 04, 2008**	GROUP: **Not Yet Assigned**

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Code3-Number4-Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
		JP 2006-196821	**07-27-2006**	**FUJITSU LTD**		**Japanese (w/English Abstract)**	

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
		LENOBLE D., et al., "Enhanced performance of PMOS MUGFET via integration of conformal plasma-doped source/drain extensions," 2006 Symposium on VLSI Technology Digest of Technical Papers, 2 pages.

EXAMINER	DATE CONSIDERED

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2006-196821
(43)Date of publication of application : 27.07.2006

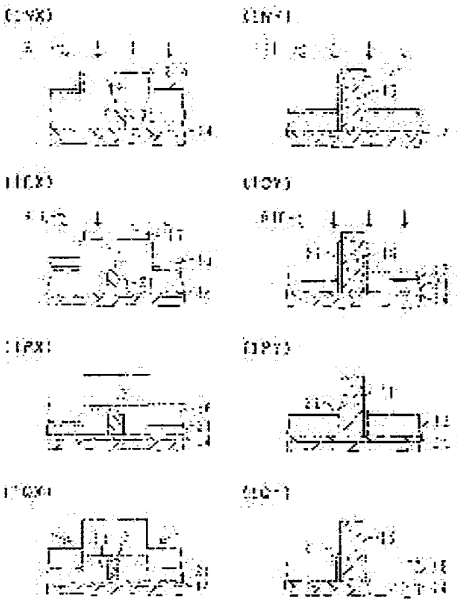
(51)Int.Cl. *H01L 29/786 (2006.01)*
H01L 21/28 (2006.01)
H01L 21/336 (2006.01)
H01L 29/41 (2006.01)

(21)Application number : 2005-008854
(22)Date of filing : 17.01.2005

(71)Applicant : FUJITSU LTD
(72)Inventor : OKUNO MASAKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:
PROBLEM TO BE SOLVED: To reduce contact resistance in the source/drain of a field effect transistor having a fin type structure.
SOLUTION: In a method for manufacturing a semiconductor device: an insulating gate electrode structure having second height that is higher than first one is formed on a fin-type semiconductor region at the first height, and a sidewall insulating film is completely removed from the side of the fin-type semiconductor region by anisotropic etching and is removed by etching from the upper portion of an upper section while the upper and lower sections of both the sides of the gate electrode remain so that the upper and side surfaces of the fin-type semiconductor region are surrounded by the sidewall insulating film on both the sides of the gate electrode near the fin-type semiconductor region; and the silicide layer is formed from an upper edge to a lower one on at least exposed both sides in the fin-type semiconductor region. After an interlayer insulating film is formed, a contact hole, which exposes the silicide layer on both the sides of the fin-type semiconductor region, is formed for burying a conductive plug.



LEGAL STATUS

[Date of request for examination] 22.02.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision

of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

INTEL - 1004
Page 5 of 492

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-196821
(P2006-196821A)
(43)公開日　平成18年7月27日(2006.7.27)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 29/786	(2006.01)	H01L 29/78	616T	4M104
H01L 21/28	(2006.01)	H01L 21/28	301S	5F110
H01L 21/336	(2006.01)	H01L 29/78	618C	
H01L 29/41	(2006.01)	H01L 29/78	617K	
		H01L 29/78	616K	

審査請求 有　請求項の数 10　OL　（全 12 頁）　最終頁に続く

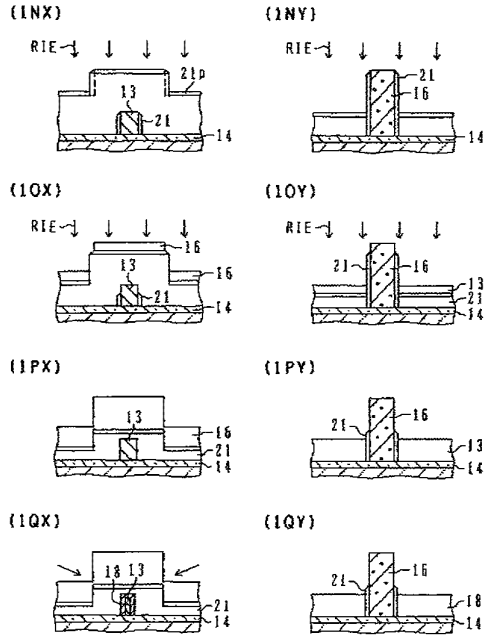
(21)出願番号　特願2005-8854(P2005-8854)
(22)出願日　平成17年1月17日(2005.1.17)

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100091340
弁理士　高橋　敬四郎
(74)代理人　100105887
弁理士　来山　幹雄
(72)発明者　奥野　昌樹
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

Fターム(参考)　4M104 AA01 AA09 BB01 BB20 BB21 CC01 CC05 DD19 DD91 EE03 EE14 FF01 FF04 FF06 FF17 FF18 GG09 HH15
最終頁に続く

(54)【発明の名称】半導体装置とその製造方法

(57)【要約】
【課題】
フィン型構造を持つ電界効果トランジスタのソース／ドレインのコンタクト抵抗を低減する。
【解決手段】
半導体装置の製造方法は、第１の高さのフィン型半導体領域うえに、第１の高さより高い第２の高さの絶縁ゲート電極構造を形成し、サイドウォール絶縁膜をフィン型半導体領域の側面からは完全に異方性エッチングで除去し、フィン型半導体領域近傍のゲート電極両側面ではフィン型半導体領域の上面、側面をサイドウォール絶縁膜が囲むように、ゲート電極両側面上下部を残して上部上からエッチング除去し、フィン型半導体領域の少なくとも露出している両側面に上端から下端までシリサイド層を形成する。層間絶縁膜形成後、フィン型半導体領域の両側面のシリサイド層を露出するコンタクトホールを形成し、導電性プラグを埋め込む。
【選択図】　図１－４



【特許請求の範囲】
【請求項１】
絶縁性表面を有する支持基板と、
前記支持基板上に形成され、支持基板表面に対してほぼ垂直な、第1の高さを有する一対の側面および前記両側面を接続する上面を有し、第1導電型を有するフィン型半導体領域と、
前記フィン型半導体領域の中間部を横断して形成され、ゲート絶縁膜とその上に形成された導電性のゲート電極とを含み、前記ゲート電極は、前記第1の高さより高い第２の高さの側面を有する絶縁ゲート電極構造と、
前記ゲート電極構造両側の前記フィン型半導体領域に形成された、第２導電型を有するソース／ドレイン領域と、
前記フィン型半導体領域の上面および側面上には存在せず、前記フィン型半導体領域近傍の前記ゲート電極側面上では、前記フィン型半導体領域の上面、両側面を囲むように、前記ゲート電極の側面下部上に形成されたサイドウォール絶縁膜と、
前記サイドウォール絶縁膜より外側の前記フィン型半導体領域の少なくとも両側面上に上端から下端まで形成されたシリサイド層と、
前記フィン型半導体領域の両側面上のシリサイド層にコンタクトするソース／ドレイン電極と、
を有する半導体装置。
【請求項２】
前記ソース／ドレイン領域は、前記フィン型半導体領域の側面および上面に形成され、前記シリサイド層は前記フィン型半導体領域の側面および上面上に形成されている請求項1記載の半導体装置。
【請求項３】
さらに、前記フィン型半導体領域の上面上に形成されている絶縁性保護膜を有し、
前記ゲート絶縁膜は前記フィン型半導体領域の両側面上に形成され、前記シリサイド層は前記フィン型半導体領域の両側面上に形成されている請求項1記載の半導体装置。
【請求項４】
さらに、前記フィン型半導体領域、前記絶縁ゲート電極構造を埋め込み、前記フィン型半導体領域の両側面上のシリサイド層を露出するコンタクトホールを形成した層間絶縁膜を有し、
前記ソース／ドレイン電極は前記コンタクトホール内で前記フィン型半導体領域両側面のシリサイド層にコンタクトする請求項１～３のいずれか1項記載の半導体装置。
【請求項５】
前記ＳＯＩ基板の埋め込み絶縁膜は、窒化シリコンまたは酸化窒化シリコンの表面を有する請求項１～４のいずれか１項記載の半導体装置。
【請求項６】
（ａ）ＳＯＩ基板の半導体層をパターニングし、絶縁表面を有する支持基板上に、支持基板表面に対しほぼ垂直な、第１の高さを有する一対の側面および前記両側面を接続する上面を有するフィン型半導体領域を形成する工程と、
（ｂ）前記フィン型半導体領域の中間部を横断し、ゲート絶縁膜とその上の導電性のゲート電極とを含み、前記ゲート電極が、前記第１の高さより高い第２の高さの側面を有する絶縁ゲート電極構造を形成する工程と、
（ｃ）前記フィン型半導体領域および前記絶縁ゲート電極構造を覆うサイドウォール用絶縁膜を形成する工程と、
（ｄ）前記絶縁ゲート電極構造両側の前記フィン型半導体領域にソース／ドレイン領域を形成する工程と、
（ｅ）前記サイドウォール用絶縁膜を、異方性エッチングし、前記フィン型半導体領域の上面および側面からは完全に除去し、前記ゲート電極上面および両側面上部上から除去し、前記フィン型半導体領域近傍の前記ゲート電極両側面では前記フィン型半導体領域の

上面、側面を囲むように、前記ゲート電極両側面下部を残す工程と、
（ｆ）前記フィン型半導体領域の少なくとも露出している両側面にシリサイド層を上端から下端まで形成する工程と、
（ｇ）前記フィン型半導体領域、前記ゲート電極を覆って、層間絶縁膜を堆積する工程と、
（ｈ）前記層間絶縁膜を貫通して、前記フィン型半導体領域両側面上のシリサイド層を露出するコンタクトホールを形成する工程と、
（ｉ）前記コンタクトホールに導電性プラグを埋め込む工程と、
を含む半導体装置の製造方法。
【請求項７】
前記工程（ａ）が、上面および側面を露出した構造のフィン型半導体領域を形成し、前記工程（ｆ）が、前記フィン型半導体領域の上面および両側面上に前記シリサイド層を形成する請求項６記載の半導体装置の製造方法。
【請求項８】
前記工程（ａ）が、フィン型半導体領域上に絶縁保護膜を備えたフィン型構造を形成し、前記工程（ｆ）が、前記フィン型半導体領域の両側面上に前記シリサイド層を形成する請求項６記載の半導体装置の製造方法。
【請求項９】
さらに、（ｊ）前記コンタクトホール内に露出した前記絶縁保護膜を除去する工程を含む請求項６～８のいずれか１項記載の半導体装置の製造方法。
【請求項１０】
さらに、（ｋ）前記ＳＯＩ基板に窒化処理を行い、半導体層と埋め込み絶縁膜との界面に窒化膜を形成する工程を含む請求項６～９のいずれか1項記載の半導体装置の製造方法。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体装置とその製造方法に関し、特にフィン型構造を持つ電界効果トランジスタを含む半導体装置とその製造方法に関する。
なお、フィン型構造を持つ電界効果トランジスタとは、一般的にＦｉｎ－ＦＥＴまたはダブルゲートＦｉｎ－ＦＥＴと呼ばれ、基板の表面に対してチャネルの面が垂直になっている３次元型の電界効果トランジスタであって、基板の面に対して垂直な薄い壁（フィン）状の突起があり、フィンの両側面上にゲート絶縁膜、ゲート電極が形成され、ゲート両側のフィンにソース／ドレイン領域が形成されている構造を有する。
【背景技術】
【０００２】
フィン型構造を持つ電界効果トランジスタは、チャネル面を基板表面に垂直に配置するため、基板上の占有面積を低減でき、誘電体分離を容易とし、微細化、高速動作化に対する適応性が高い。絶縁膜上にシリコン層を配置したＳＯＩ（semiconductor on insulator）基板のシリコン層上に酸化膜や、酸化膜／窒化膜積層等のキャップ層を設け、パターニングしてシリコンのフィンを形成する。フィン表面に酸化シリコン、窒化酸化シリコン等のゲート絶縁膜を形成した後、ポリシリコン層を堆積し、パターニングして絶縁ゲート電極を形成する。ゲート電極両側のフィン領域をドープしてソース／ドレイン領域を形成すれば、基本的なＦＥＴ構造を形成できる。
【０００３】
Ｆｉｎ－ＦＥＴの構成例を、図３に示す。図３において、ＳＯＩ基板のシリコン層をパターニングして、フィン５１とその両側で幅を広げたコンタクト領域５２，５３が形成される。シリコン層の上にはキャップ層６１が残る。フィン側壁に犠牲酸化膜を形成し、除去した後ゲート絶縁膜６２を酸化、窒化などにより形成する。基板上にポリシリコン層を堆積し、パターニングしてゲート電極７１を形成する。ゲート電極７１の端部には幅を広

げたコンタクト領域７２が形成される。イオン注入などで不純物を添加してソース／ドレインを形成する。層間絶縁膜でトランジスタ構造を埋め込んだ後、コンタクト領域に達するコンタクトホールを開口し、タングステンプラグ等の導電性プラグ８０をコンタクトホール内に埋め込む。ゲート電極をポリシリコン層とシリサイド層の積層とすることによりゲート抵抗を低減化することもできる。

【非特許文献１】Fu-Liang Yang et al.; 2002 Symposium onVLSI Technology Digest of Technical Papers, p.１０４、２００２

【非特許文献２】Bin Yu et al.; IEDM Tech, Dig. p.251, 2002 Ｆｉｎ－ＦＥＴのチャネルは、ゲート絶縁膜を介してゲート電極と対向する側面に形成される。チャネル長は、ゲート電極（ポリシリコン層）の幅で決定される。チャネル幅はフィンの高さで決定される。フィンの長さはプロセス精度などによって決定されるが、幅狭のソース／ドレインの引き出し部は、ソース／ドレインの抵抗を高くする。フィンの端部を拡げず、フィンを切断して金属層を埋め込み、ショットキコンタクトを形成する提案もある。

【０００４】

【特許文献１】特開２００２－２８９８７１号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

本発明の目的は、高性能の、フィン型構造を持つ電界効果トランジスタを含む半導体装置とその製造方法を提供することである。

本発明の他の目的は、ソース／ドレインのコンタクト抵抗が低い、フィン型構造を持つ電界効果トランジスタを含む半導体装置とその製造方法を提供することである。

【課題を解決するための手段】

【０００６】

本発明の一観点によれば、

絶縁性表面を有する支持基板と、

前記支持基板上に形成され、支持基板表面に対してほぼ垂直な、第1の高さを有する一対の側面および前記両側面を接続する上面を有し、第1導電型を有するフィン型半導体領域と、

前記フィン型半導体領域の中間部を横断して形成され、ゲート絶縁膜とその上に形成された導電性のゲート電極とを含み、前記ゲート電極は、前記第1の高さより高い第２の高さの側面を有する絶縁ゲート電極構造と、

前記ゲート電極構造両側の前記フィン型半導体領域に形成された、第２導電型を有するソース／ドレイン領域と、

前記フィン型半導体領域の上面および側面上には存在せず、前記フィン型半導体領域近傍の前記ゲート電極側面上では、前記フィン型半導体領域の上面、両側面を囲むように、前記ゲート電極の側面下部上に形成されたサイドウォール絶縁膜と、

前記サイドウォール絶縁膜より外側の前記フィン型半導体領域の少なくとも両側面上に上端から下端まで形成されたシリサイド層と、

前記フィン型半導体領域の両側面上のシリサイド層にコンタクトするソース／ドレイン電極と、

を有する半導体装置

が提供される。

【０００７】

本発明の他の観点によれば、

（ａ）ＳＯＩ基板の半導体層をパターニングし、絶縁表面を有する支持基板上に、支持基板表面に対しほぼ垂直な、第１の高さを有する一対の側面および前記両側面を接続する上面を有するフィン型半導体領域を形成する工程と、

（ｂ）前記フィン型半導体領域の中間部を横断し、ゲート絶縁膜とその上の導電性のゲート電極とを含み、前記ゲート電極が、前記第１の高さより高い第２の高さの側面を有す

る絶縁ゲート電極構造を形成する工程と、
（ｃ）前記フィン型半導体領域および前記絶縁ゲート電極構造を覆うサイドウォール用絶縁膜を形成する工程と、
（ｄ）前記絶縁ゲート電極構造両側の前記フィン型半導体領域にソース／ドレイン領域を形成する工程と、
（ｅ）前記サイドウォール用絶縁膜を、異方性エッチングし、前記フィン型半導体領域の上面および側面からは完全に除去し、前記ゲート電極上面および両側面上部上から除去し、前記フィン型半導体領域近傍の前記ゲート電極両側面では前記フィン型半導体領域の上面、側面を囲むように、前記ゲート電極両側面下部を残す工程と、
（ｆ）前記フィン型半導体領域の少なくとも露出している両側面にシリサイド層を上端から下端まで形成する工程と、
（ｇ）前記フィン型半導体領域、前記ゲート電極を覆って、層間絶縁膜を堆積する工程と、
（ｈ）前記層間絶縁膜を貫通して、前記フィン型半導体領域両側面上のシリサイド層を露出するコンタクトホールを形成する工程と、
（ｉ）前記コンタクトホールに導電性プラグを埋め込む工程と、
を含む半導体装置の製造方法
が提供される。
【発明の効果】
【０００８】
ゲート電極の両側面上では、フィン型半導体領域を囲むように両側面下部にサイドウォール絶縁膜を形成し、フィン型半導体領域ではサイドウォール絶縁膜を完全に除去し、少なくともその両側面上にシリサイド層を形成するため、ソース／ドレインのコンタクト抵抗を低減化できる。
【発明を実施するための最良の形態】
【０００９】
以下、図面を参照して本発明の実施例を説明する。
図１Ａ－１Ｔは、本発明の実施例によるフィン型構造を持つ電界効果トランジスタを含む半導体装置の製造方法を説明するための断面図、平面図、及び斜視図である。
【００１０】
図１Ａに示すように、シリコン支持基板１１の上に、埋め込み酸化シリコン層１２を設け、その上に薄いシリコン層１３を備えたＳＯＩ基板を準備する。半導体素子を形成するシリコン層１３は、例えば厚さ１００ｎｍに調整する。このシリコン層の厚さは、後に形成するフィン型領域の高さとなり、フィン型電界効果トランジスタのチャネル幅を決定する。
【００１１】
図１Ｂに示すように、$Ｎ_2$、ＮＯ、$ＮＨ_3$、$ＮＦ_3$、$Ｎ_2Ｏ$、エレクトロンサイクロトロンレゾナンス（ＥＣＲ）プラズマで活性化した窒素雰囲気等の窒化性雰囲気中でＳＯＩ基板を８００℃～１０００℃に加熱し、５分～６０分のアニールを行なう。シリコン層１３と埋め込み酸化膜１２との界面に窒化シリコン膜１４ｘが形成されると共に、シリコン層１３の表面にも窒化シリコン層１４ｙが形成される。窒化シリコン層は、エッチストッパとしての機能を有する。なお、窒化性雰囲気中での熱処理に関しては、特開２００２－２６２９９号公報、段落００１６～００２６を参照できる。
【００１２】
図１Ｃ１に示すように、表面の窒化シリコン層１４ｙを熱燐酸等により除去する。
図１Ｃ２に示すように、シリコン層１３の上に、酸化シリコン層と窒化シリコン層との積層等のキャップ層ＣＬを形成することもできる。なお、図１Ｂに示す窒化シリコン層１４ｙをそのままキャップ層として用いても良い。以下、主にキャップ層ＣＬがない構造を例にとって説明するが、キャップ層ＣＬを設けた場合についても適宜説明する。
【００１３】

図１Ｄに示すように、シリコン層１３の上に酸化シリコン層１５を例えば厚さ１０ｎｍ～２０ｎｍＣＶＤにより堆積し、ハードマスク層を形成する。酸化シリコン層１５の上に、レジストマスクＲＭ１を形成する。このレジストマスクＲＭ１は、シリコン層１３をエッチしてフィンを形成するためのマスクである。フィンの幅は、例えば約２０ｎｍである。レジストマスクＲＭ１をエッチングマスクとし、ハードマスク層１５をエッチングする。続いて、レジストマスクＲＭ１及びハードマスク層１５をマスクとしてシリコン層１３をエッチングする。

【００１４】

図１Ｅに示すように、当初のレジストマスクＲＭ１の形状にならってシリコン層１３がエッチングされる。シリコン層１３下の窒化シリコン層１４は、エッチストッパとして機能する。

【００１５】

図１Ｆに示すように、酸系の溶液を用い、レジストマスクＲＭ１及びハードマスク層１５を溶液洗浄により除去する。

図１Ｇ１に示すように、８００℃～１２００℃の温度で酸素を含むガス中で酸化処理を行なうことにより、シリコン層１３表面に厚さ０．６ｎｍ～２ｎｍのゲート絶縁膜を形成する。その後、８００℃～１２００℃の温度で窒素を含むガス中で窒化処理を行なうことにより、ゲート絶縁膜を酸窒化膜とする。窒素を含むガスとしては、N_2、ＮＯ、NH_3、NF_3、N_2O等の窒化性雰囲気等を用いればよい。
このようにして、シリコン層１３の上面及び側面に酸窒化膜のゲート絶縁膜１５が形成される。

【００１６】

図１Ｇ２に示すように、キャップ層ＣＬがある場合は、ゲート絶縁膜１５はシリコン層１３の両側面にのみ形成される。

図１Ｈに示すように、フィン型構造を覆ってフィンの高さより高い高さを有するポリシリコン層１６を、例えば厚さ約１２０ｎｍ～２００ｎｍ、ＣＶＤにより堆積する。フィン型半導体領域上およびその近傍では、ポリシリコン層１６の高さは約２２０ｎｍ～３００ｎｍとなる。

【００１７】

図１Ｉに示すように、ポリシリコン１６の上に、厚さ１０ｎｍ～２０ｎｍの酸化シリコン層１７をＣＶＤにより形成し、ハードマスク層を形成する。酸化シリコン層１７の上にポリシリコン層１６をエッチングするためのレジストマスクＲＭ２を形成する。レジストマスクＲＭ２は、ゲート電極をエッチングするためのマスクであり、ゲート長を決定するその幅は、１００ｎｍ以下、例えば５０ｎｍとする。レジストマスクＲＭ２をマスクとし、ハードマスク層１７をエッチングし、レジストマスクＲＭ２とハードマスク層１７をマスクとしてポリシリコン層１６をエッチングする。その後、酸系の溶液洗浄によりレジストマスクＲＭ２及びハードマスク層１７を除去する。

【００１８】

図１Ｊ、１Ｋに示すように、フィン型半導体領域１３の中間部を横断するポリシリコンのゲート電極１６が形成される。図１Ｊはゲート電極を通る断面図であり、図１Ｋは、ゲート電極１６を形成した状態の平面図である。幅約２０ｎｍのフィン型半導体領域１３の中間部を横断して、幅約５０ｎｍのポリシリコンゲート電極１６が形成されている。

【００１９】

以下、図１ＫのＸ－Ｘ断面、Ｙ－Ｙ断面を用いて説明する。図番のサフィックスＸがＸ－Ｘ断面を示し、図番のサフィックスＹがＹ－Ｙ断面を示す。

図１ＬＸ，１ＬＹは図１Ｊ，１Ｋの状態を改めて概略的に示す。フィン型半導体領域１３の中間部を横断して、フィンより高いゲート電極１６が形成されている。

【００２０】

図１ＭＸ，１ＭＹに示すように、基板全面上に厚さ１０ｎｍ～２０ｎｍの酸化シリコン層２１ｐをＣＶＤにより堆積する。

図１ＮＸ，１ＮＹに示すように、リアクティブイオンエッチング（ＲＩＥ）を行ない、酸化シリコン層２１ｐを異方的にエッチングする。エッチング条件は、例えばフッ素を含む反応性ガス（ＣＦ４，ＣＨＦ３，Ｃ２Ｆ６，Ｃ４Ｆ８等）を用い、圧力１Ｐａ～１００Ｐａ、印加高周波１３．５６ＭＨｚを用いる。図には、平坦部上の酸化シリコン層がエッチングされて基板表面に対してほぼ垂直な側面上にのみ酸化シリコン層２１が残った状態を示す。通常のサイドウォールスペーサはこの状態である。
図１ＯＸ，１ＯＹに示すように、さらに異方性エッチングＲＩＥを続ける。ゲート電極１６、フィン型半導体領域１３の上部が露出する。フィン型半導体領域１３の側面が完全に露出するまで異方性エッチングＲＩＥを続ける。

【００２１】

図１ＰＸ，１ＰＹは、フィン型半導体領域１３の側面で酸化シリコン層２１が完全にエッチング除去された状態を示す。この状態をフィン型半導体領域に対して１００％以上のオーバーエッチングと呼ぶ。但し、ゲート電極１６側面では酸化シリコン膜２１が残っており、フィン型半導体領域１３の周囲ではゲート電極１６の側面がフィン型半導体領域１３より高い位置まで覆われている。即ち、露出したフィン型半導体領域１３と露出したゲート電極１６の上部側面の間には一定幅の酸化シリコン層２１が残り、両者を電気的に分離している。

【００２２】

図１ＱＸ，１ＱＹに示すように、フィン型シリコン領域１３に対して斜め方向からイオン注入を行ない、ソース／ドレイン領域のエクステンション、高濃度領域１８を形成する。必要に応じて逆導電型のポケット領域をイオン注入してもよい。なお、これらのイオン注入は、公知の方法で行なえばよい。例えば、サイドウォール絶縁膜２１を作る前にエクステンションとポケットのイオン注入を行い、サイドウォール２１を作成した段階、またはＲＩＥを完了した段階で高濃度領域のイオン注入を行なっても良い。

【００２３】

ｎチャネルＭＯＳトランジスタの場合、ｐ型のフィン型シリコン領域１３の上面及び両側面にｎ型のソース／ドレイン領域１８が形成される。イオン注入後、８００℃～１２００℃の温度でアニールし、イオン注入した不純物を活性化する。

【００２４】

以上の工程により、フィン型シリコン領域１３を横切ってポリシリコンのゲート電極１６が形成され、ポリシリコンゲート電極１６の両側にソース／ドレイン領域が形成されて基本的なＦＥＴ構造が作成される。

【００２５】

図１ＲＸ，１ＲＹに示すように、基板全面にＣｏ，Ｎｉ等のシリサイド反応可能な金属層を、例えば厚さ２ｎｍ～３０ｎｍスパッタリングにより堆積し、２００℃～６００℃のアニールで一次シリサイド反応を生じさせる。シリコン層上に堆積した金属層は、一次シリサイド反応を行なってシリサイド層２４が形成される。未反応の金属層を酸溶液処理等により除去し、再度３００℃～９００℃のアニールで２次シリサイド反応を行ない、低抵抗のシリサイド層２４とする。

【００２６】

フィン型半導体領域１３の、ゲート電極１６から突出している部分では、全側面および上面にシリサイド層２４が形成される。フィン型半導体領域の幅は狭いが、高さは高く、上面と較べて格段に広い側面上に、さらに両側面上に上端から下端までシリサイド層が形成される。ゲート電極１６はその上面および上部側面にシリサイド層２４が形成される。ソース／ドレイン領域の実効抵抗が低減化すると共に、ソース／ドレイン引き出し電極のソース／ドレイン領域に対する低抵抗コンタクトが可能になる。ゲート電極の抵抗、および引き出し電極のコンタクト抵抗も低減する。ゲート電極上のシリサイド層は、フィン型半導体領域上のシリサイド層と残されたサイドウォールスペーサである酸化シリコン層２１によって電気的に分離される。

【００２７】

図１ＳＸ、１ＳＹに示すように、フィン型ＦＥＴ構造を覆って酸化シリコン膜、ＰＳＧ膜、ＢＰＳＧ膜等により層間絶縁膜２２を堆積する。層間絶縁膜２２は、例えば厚さ４００ｎｍ～１０００ｎｍである。ＣＶＤ又はスパッタリングにより堆積した後、化学機械研磨（ＣＭＰ）等により表面を平坦化する。ソース／ドレイン、ゲートに対するコンタクトホールをＲＩＥにより層間絶縁膜２２に形成する。なお、コンタクトホールＣＨのエッチングは、反応性ガスとしてはフッ素を含むガス、例えばCF_4、CHF_3、C_2F_6、C_4F_8等を用い、圧力を１Ｐａ～１００Ｐａとし、１３．５６ＭＨｚの高周波電力を印加したＲＩＥにより行なうことができる。酸化シリコンのエッチングは、窒化シリコン層１４でストップされる。

【００２８】

Ｔｉ，ＴｉＮ等のバリア層をスパッタリングまたはＣＶＤにより形成した後、Ｗ層をＣＶＤで堆積し、層間絶縁膜上の不要部をＣＭＰで除去する。このようにしてＷの導電性プラグ２６を層間絶縁膜２２に埋め込む。導電性プラグは、ソース／ドレインおよびゲートの引き出し電極を構成する。ソース／ドレイン領域は、その上に、チャネル近傍まで、特に広い側面上の高さ一杯にシリサイド層が形成されており、引き出し電極のチャネル領域に対するコンタクト抵抗は著しく低減化できる。その後、米国特許第６，７０７，１５６号、第６，６９３，０４６号等に開示されている公知の方法で多層配線を形成する。

【００２９】

図１Ｔは、フィン型ＦＥＴ構造を示す斜視図である。ゲート電極は端部において幅が広げられ、その上にコンタクトホールが形成されてＷプラグ２６が埋め込まれる。フィン型シリコン領域Ｆｉｎは、図中水平方向に延在し、ゲート電極Ｇから突出する部分は、両側面の上端から下端まで、および両側面を接続する上面がシリサイド化されており、Ｗプラグ２６が両側面、上面にコンタクトする。　フィン型領域の幅が高さよりも狭い場合、上面のみでコンタクトを取ると、その抵抗を十分低くすることは難しい。本実施例に従えば、シリサイド層がフィン型シリコン領域の両側面、及びキャップ層がない場合には上面にも、形成される。広い両側面上のシリサイド層にソース／ドレイン電極が接触するために、ソース／ドレインのコンタクト抵抗を低減し、ソース／ドレイン間のシリーズ抵抗を低減することができる。

【００３０】

図２Ａは、窒化シリコンまたは酸化窒化シリコンのキャップ層ＣＬをフィン型半導体領域Ｆｉｎとゲート電極Ｇの上に設けた形態を示す。フィン型半導体領域Ｆｉｎおよびゲート電極Ｇのエッチングに於いては、キャップ層をハードマスク層として用いてもよい。図１ＲＸ，１ＲＹに示したシリサイド工程は、フィン型半導体領域Ｆｉｎ，ゲート電極Ｇの側面で行なわれ、キャップ層で覆った上面はシリサイド化されない。コンタクトホールのエッチングに於いて、キャップ層ＣＬのエッチングも行なう。キャップ層除去後、さらにシリサイド工程を行ってもよい。

【００３１】

上述の実施例においては、シリコン層１３を介して窒化処理を行なうことにより、シリコン層と埋め込み酸化膜との界面に窒化シリコン層を形成した。窒化シリコンまたは酸化窒化シリコンを埋め込み絶縁層としたＳＯＩ基板を用いれば、窒化工程を省略できる。

【００３２】

図２Ｂに示すように、埋め込み絶縁層を酸化シリコン層ではなく、窒化シリコン層又は酸窒化シリコン層１２ｘで形成したＳＯＩ基板を用いる。この場合、窒化シリコン層を形成しなくても埋め込み絶縁層１２ｘ自身がエッチストッパとして機能する。

【００３３】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

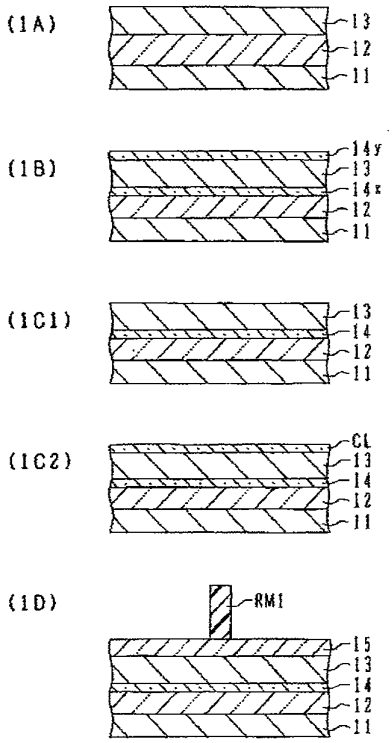
【図面の簡単な説明】

【００３４】

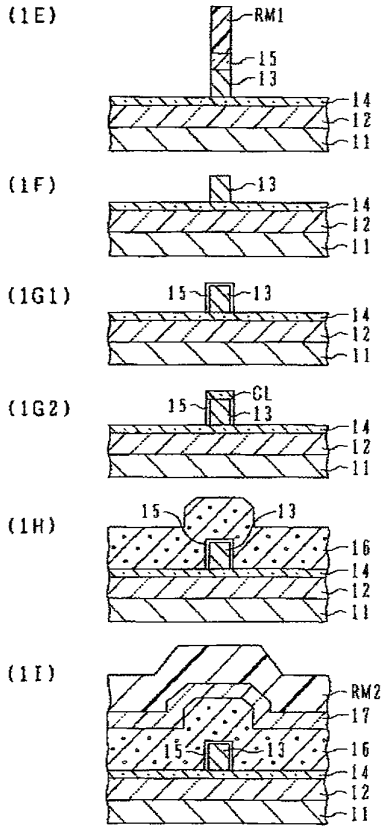
【図１－１】本発明の実施例による半導体装置の製造工程を説明するための断面図である

。
【図１－２】本発明の実施例による半導体装置の製造工程を説明するための断面図である。
【図１－３】本発明の実施例による半導体装置の製造工程を説明するための断面図及び平面図である。
【図１－４】本発明の実施例による半導体装置の製造工程を説明するための断面図である。
【図１－５】本発明の実施例による半導体装置の製造工程を説明するための断面図及び斜視図である。
【図２】実施例の変形例を示す斜視図である。
【図３】従来技術の例を示す斜視図である。
【符号の説明】
【００３５】
１１　（Ｓｉ）支持基板
１２　埋め込み酸化シリコン層（ＢＯＸ層）
１２ｘ　窒化シリコン（酸化窒化シリコン）層
１３　シリコン層（フィン型半導体領域）
１４　窒化シリコン層
１５、１７　ＣＶＤ酸化シリコン層
１６　ポリシリコン層
１８　ソース／ドレイン領域
ＲＭ　レジストマスク
ＣＬ　キャップ層
２１　サイドウォール酸化膜（絶縁層）
２２　層間絶縁層
２４　シリサイド層

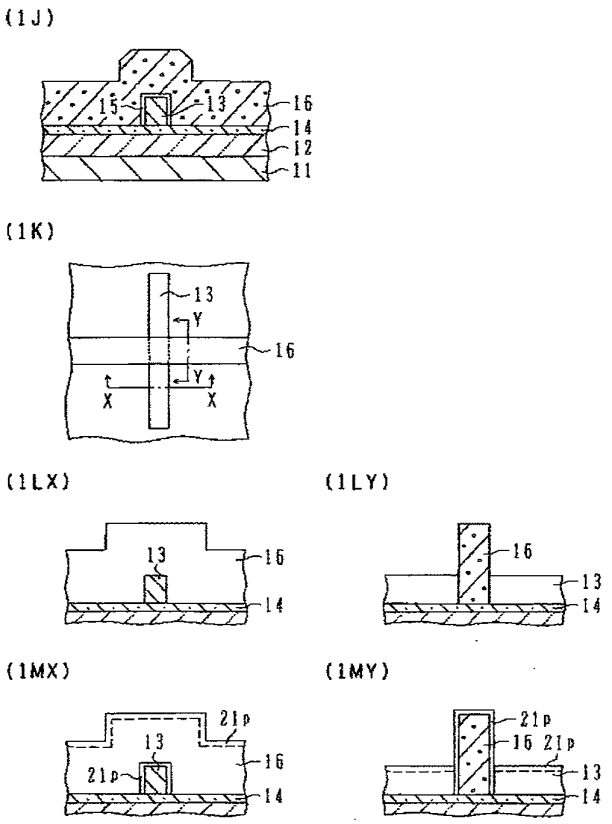
【図１－１】



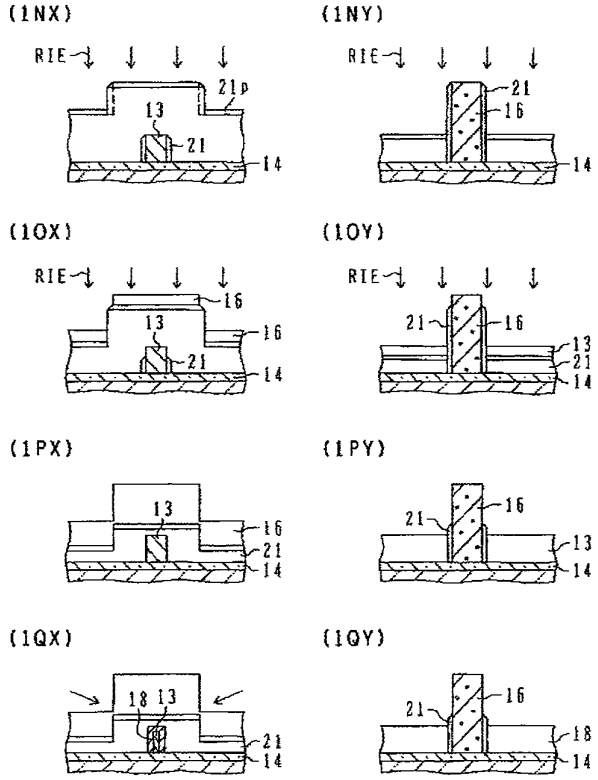
【図１－２】



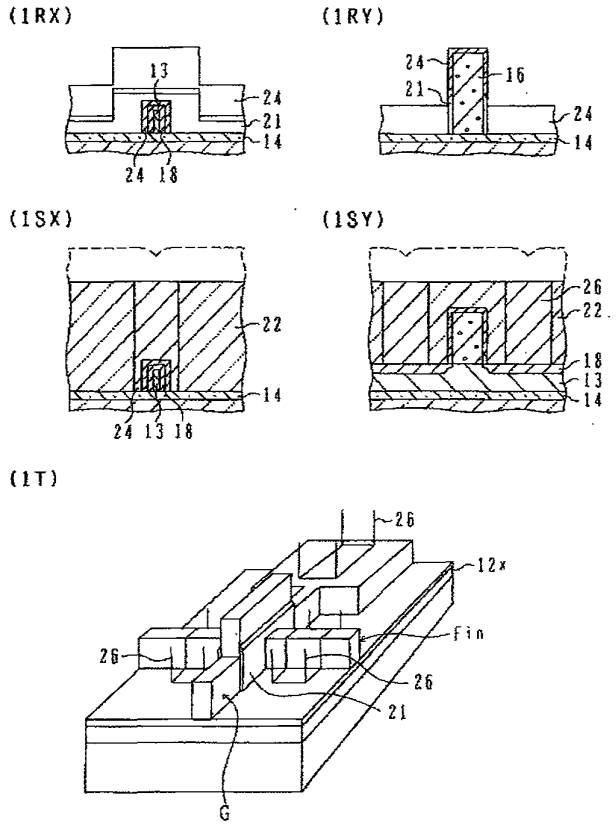
【図１－３】



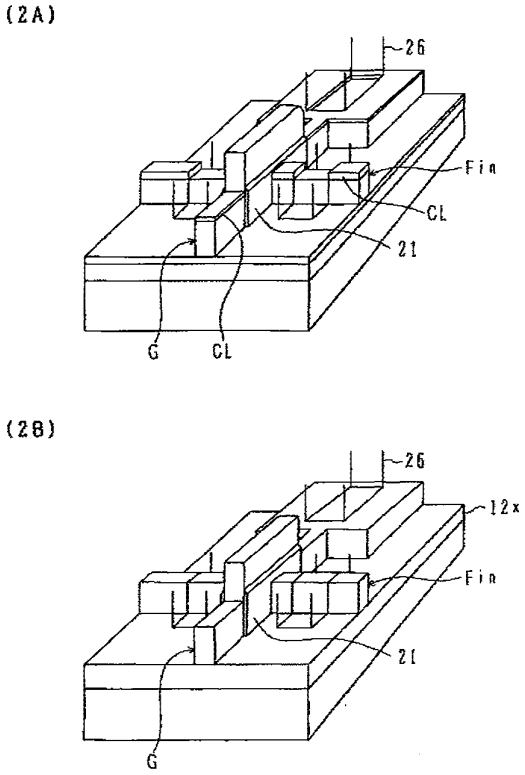
【図１－４】



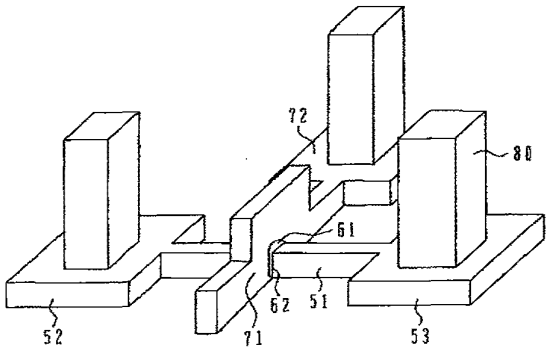
【図１－５】


(1RX)
13
24
21
14
24 18
(1RY)
24
16
21
24
14
(1SX)
22
14
24 13 18
(1SY)
26
22
18
13
14
(1T)
26
12x
Fin
26
26
21
G

【図２】


(2A)
26
Fin
CL
21
G
CL
(2B)
26
12x
Fin
21
G

【図３】


72
80
61
62
51
52
71
53

フロントページの続き

(51)Int.Cl.	F I			テーマコード（参考）
	Ｈ０１Ｌ	29/78	６２６Ｃ	
	Ｈ０１Ｌ	29/44	Ｓ	
	Ｈ０１Ｌ	29/44	Ｌ	

Ｆターム(参考) 5F110 AA01 AA03 CC02 DD05 DD13 DD14 DD15 DD17 DD25 EE05
EE09 EE22 EE30 EE32 EE38 EE41 EE44 EE45 FF04 FF23
FF26 GG02 GG22 GG25 GG28 GG29 HJ06 HJ14 HJ23 HK05
HK33 HK40 HL01 HL04 HL21 HL23 HL24 HM15 NN04 NN22
NN25 NN34 NN35 QQ19

INTEL - 1004
Page 17 of 492

Docket No.: 079195-0378 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Yuichiro SASAKI, et al.	:	Confirmation Number: Not Yet Assigned
Application No.: Not Yet Assigned	:	Group Art Unit: Not Yet Assigned
Filed: February 04, 2008	:	Examiner: Not Yet Assigned

For: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

CLAIM OF PRIORITY

Mail Stop New Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. JP 2007-011572, filed on January 22, 2007.

A request to retrieve an Electronic Priority Application will be filed in due course.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:jwp
Facsimile: 202.756.8087
Date: February 4, 2008

特許協力条約に基づく国際出願願書

紙面による写し（注意　電子データが原本となります）

0	受理官庁記入欄	
0-1	国際出願番号	
0-2	国際出願日	
0-3	(受付印)	

0-4	様式 PCT/RO/101 この特許協力条約に基づく国際出願願書は、	
0-4-1	右記によって作成された。	JPO-PAS 0350
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記号	P047830P0
I	発明の名称	半導体装置及びその製造方法
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	米国を除く全ての指定国 (all designated States except US)
II-4ja	名称	松下電器産業株式会社
II-4en	Name:	MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
II-5ja	あて名	5718501 日本国 大阪府門真市大字門真１００６番地
II-5en	Address:	1006, Oaza Kadoma, Kadoma-shi, Osaka 5718501 Japan
II-6	国籍(国名)	日本国 JP
II-7	住所(国名)	日本国 JP
II-8	電話番号	06-6908-1473
II-9	ファクシミリ番号	06-6909-0053
III-1	その他の出願人又は発明者	
III-1-1	この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-1-2	右の指定国についての出願人である。	米国のみ (US only)
III-1-4ja	氏名(姓名)	佐々木　雄一朗
III-1-4en	Name (LAST, First):	SASAKI Yuichiro
III-1-5ja	あて名	
III-1-5en	Address:	
III-1-6	国籍(国名)	
III-1-7	住所(国名)	

特許協力条約に基づく国際出願願書

紙面による写し（注意　電子データが原本となります）

III-2	その他の出願人又は発明者	
III-2-1	この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-2-2	右の指定国についての出願人である。	米国のみ (US only)
III-2-4ja	氏名(姓名)	岡下　勝己
III-2-4en	Name (LAST, First):	OKASHITA Katsumi
III-2-5ja	あて名	
III-2-5en	Address:	
III-2-6	国籍(国名)	
III-2-7	住所(国名)	
III-3	その他の出願人又は発明者	
III-3-1	この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-3-2	右の指定国についての出願人である。	米国のみ (US only)
III-3-4ja	氏名(姓名)	中本　圭一
III-3-4en	Name (LAST, First):	NAKAMOTO Keiichi
III-3-5ja	あて名	
III-3-5en	Address:	
III-3-6	国籍(国名)	
III-3-7	住所(国名)	
III-4	その他の出願人又は発明者	
III-4-1	この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-4-2	右の指定国についての出願人である。	米国のみ (US only)
III-4-4ja	氏名(姓名)	伊藤　裕之
III-4-4en	Name (LAST, First):	ITO Hiroyuki
III-4-5ja	あて名	
III-4-5en	Address:	
III-4-6	国籍(国名)	
III-4-7	住所(国名)	
III-5	その他の出願人又は発明者	
III-5-1	この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-5-2	右の指定国についての出願人である。	米国のみ (US only)
III-5-4ja	氏名(姓名)	水野　文二
III-5-4en	Name (LAST, First):	MIZUNO Bunji
III-5-5ja	あて名	
III-5-5en	Address:	
III-5-6	国籍(国名)	
III-5-7	住所(国名)	

特許協力条約に基づく国際出願願書

紙面による写し（注意　電子データが原本となります）

IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。	代理人 (agent)	
IV-1-1ja	氏名(姓名)	前田　弘	
IV-1-1en	Name (LAST, First):	MAEDA Hiroshi	
IV-1-2ja	あて名	5410053 日本国 大阪府大阪市中央区本町２丁目５番７号　大阪丸紅ビル	
IV-1-2en	Address:	Osaka-Marubeni Bldg., 5-7, Hommachi 2-chome, Chuo-ku, Osaka-shi, Osaka 5410053 Japan	
IV-1-3	電話番号	06-6125-2255	
IV-1-4	ファクシミリ番号	06-6125-2288	
IV-1-6	代理人登録番号	100077931	
IV-2	その他の代理人	筆頭代理人と同じあて名を有する代理人 (additional agent(s) with the same address as first named agent)	
IV-2-1ja	氏名	竹内　宏(100110939)；今江　克実(100115059)； 原田　智雄(100117710)	
IV-2-1en	Name(s)	TAKEUCHI Hiroshi(100110939); IMAE Katsumi(100115059); HARADA Tomoo(100117710)	
V	国の指定		
V-1	この願書を用いてされた国際出願は、規則4.9(a)に基づき、国際出願の時点で拘束される全てのPCT締約国を指定し、取得しうるあらゆる種類の保護を求め、及び該当する場合には広域と国内特許の両方を求める国際出願となる。		
VI-1	先の国内出願に基づく優先権主張		
VI-1-1	出願日	2007年 01月 22日 (22.01.2007)	
VI-1-2	出願番号	2007-011572	
VI-1-3	国名	日本国 JP	
VI-2	優先権証明書送付の請求 上記の先の出願のうち、右記の番号のものについては、出願書類の認証謄本を作成し国際事務局へ送付することを、受理官庁に対して請求している。	VI-1	
VII-1	特定された国際調査機関(ISA)	日本国特許庁 (ISA/JP)	
VIII	申立て	申立て数	
VIII-1	発明者の特定に関する申立て	-	
VIII-2	出願し及び特許を与えられる国際出願日における出願人の資格に関する申立て	-	
VIII-3	先の出願の優先権を主張する国際出願日における出願人の資格に関する申立て	-	
VIII-4	発明者である旨の申立て(米国を指定国とする場合)	-	
VIII-5	不利にならない開示又は新規性喪失の例外に関する申立て	-	

特許協力条約に基づく国際出願願書

紙面による写し（注意　電子データが原本となります）

IX	照合欄	用紙の枚数	添付された電子データ
IX-1	願書（申立てを含む）	4	✓
IX-2	明細書	35	✓
IX-3	請求の範囲	6	✓
IX-4	要約	1	✓
IX-5	図面	13	✓
IX-7	合計	59	
	添付書類	添付	添付された電子データ
IX-8	手数料計算用紙	－	✓
IX-17	PCT-SAFE 電子出願	－	－
IX-19	要約書とともに提示する図の番号	1	
IX-20	国際出願の使用言語名	日本語	
X-1	出願人、代理人又は代表者の記名押印	/100077931/	
X-1-1	氏名（姓名）	前田　弘	
X-1-2	署名者の氏名		
X-1-3	権限		

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	
10-2	図面	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日（訂正日）	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	

SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

Cross Reference to Related Applications

This is a continuation of Application PCT/JP2008/50253, filed on January 11, 2008.

Field of the Invention

The present invention relates to a semiconductor device and a method for producing the same, and more particularly to a semiconductor device of a three-dimensional structure including fin-shaped semiconductor regions on a substrate and a method for producing the same.

Background Art

In recent years, demands for miniaturizing semiconductor devices have been increasing along with the increase in the degree of integration, functionality and speed thereof. In view of this, various device structures have been proposed in the art, aiming at the reduction in the area of the substrate taken up by transistors. Among others, attention has been drawn to field effect transistors having a fin-shaped structure. A field effect transistors having the fin-shaped structure is commonly called a fin-shaped FET (field effect transistor), and has an active region including thin wall (fin)-like semiconductor regions perpendicular to the principle plane of the substrate. In a fin-shaped FET, the side surface of the semiconductor region can be used as a channel surface, whereby it is possible to reduce the area on the substrate taken up by the transistor (see, for example, Patent Document 1 and Non-Patent Document 1).

FIG. **16A** to FIG. **16D** show a structure of a conventional fin-shaped FET, wherein FIG. **16A** is a plan view of the device, FIG. **16B** is a cross-sectional view taken along line A-A in FIG. **16A**, FIG. **16C** is a cross-sectional view taken along line B-B in FIG. **16A**, and FIG. **16D** is a cross-sectional view taken along line C-C in FIG.

INTEL - 1004
Page 23 of 492

16A.

As shown in FIG. **16A** to FIG. **16D**, a conventional fin-shaped FET includes a supporting substrate **101** made of silicon, an insulating layer **102** made of silicon oxide formed on the supporting substrate **101**, semiconductor regions **103a** to **103d** each formed into a fin shape on the insulating layer **102** (hereinafter referred to as the "fin-shaped semiconductor regions"), a gate electrode **105** formed on the fin-shaped semiconductor regions **103a** to **103d** via gate insulating films **104a** to **104d**, insulative sidewall spacers **106** formed on side surfaces of the gate electrode **105**, extension regions **107** formed on opposite side regions of the fin-shaped semiconductor regions **103a** to **103d** sandwiching the gate electrode **105** therebetween, and source-drain regions **117** formed on opposite side regions of the fin-shaped semiconductor regions **103a** to **103d** sandwiching the gate electrode **105** and the insulative sidewall spacer **106** therebetween. The fin-shaped semiconductor regions **103a** to **103d** are placed on the insulating layer **102** so as to be arranged at regular intervals in the gate width direction. The gate electrode **105** is formed so as to extend across the fin-shaped semiconductor regions **103a** to **103d** in the gate width direction. The extension region **107** includes a first impurity region **107a** formed in an upper portion of each of the fin-shaped semiconductor regions **103a** to **103d**, and a second impurity region **107b** formed in a side portion of each of the fin-shaped semiconductor regions **103a** to **103d**. The source-drain region **117** includes a third impurity region **117a** formed in an upper portion of each of the fin-shaped semiconductor regions **103a** to **103d**, and a fourth impurity region **117b** formed in a side portion of each of the fin-shaped semiconductor regions **103a** to **103d**. Note that pocket regions are not described herein or shown in the figure.

FIG. **17A** to FIG. **17D** are cross-sectional views , showing, step by step, a conventional method for producing a semiconductor device. Note that FIG. **17A** to FIG. **17D** correspond to the cross-sectional structure taken along line C-C in FIG. **16A**. In FIG. **17A** to FIG. **17D**, like elements to those shown in FIG. **16A** to FIG. **16D** are denoted by

INTEL - 1004
Page 24 of 492

like reference numerals and will not be described again.

First, as shown in FIG. **17A**, there is provided an SOI (silicon on insulator) substrate, in which the insulating layer **102** made of silicon oxide is provided on the supporting substrate **101** made of silicon, and a semiconductor layer made of silicon is provided on the insulating layer **102**. Then, the semiconductor layer is patterned to form the fin-shaped semiconductor region **103b** to be the active region.

Then, as shown in FIG. **17B**, the gate insulating film **104** is formed on the surface of the fin-shaped semiconductor region **103b**, after which a polysilicon film **105A** is formed across the entire surface of the supporting substrate **102**.

Then, as shown in FIG. **17C**, the polysilicon film **105A** and the gate insulating film **104** are etched successively to form the gate electrode **105** on the fin-shaped semiconductor region **103b** with the gate insulating film **104b** interposed therebetween. Then, using the gate electrode **105** as a mask, the semiconductor region **103b** is ion-implanted with an impurity to form the extension region **107** and the pocket region (not shown).

Next, as shown in FIG. **17D**, an insulating film is formed across the entire surface of the supporting substrate **102**, and then the insulating film is etched back by using anisotropic dry etching to thereby form the insulative sidewall spacer **106** on the side surface of the gate electrode **105**. Then, using the gate electrode **105** and the side wall **106** as a mask, the semiconductor region **103b** is ion-implanted with an impurity to form the source-drain region **117**.

Through the steps described above, it is possible to obtain a fin-shaped MISFET (metal insulator semiconductor field effect transistor) having the gate electrode **105** formed on the fin-shaped semiconductor region **103b** with the gate insulating film **104b** interposed therebetween.

[Patent Document 1] Japanese Laid-Open Patent Publication No. 2006-196821

INTEL - 1004
Page 25 of 492

[Non-Patent Document 1] D. Lenoble, et al., Enhanced performance of PMOS MUGFET via integration of conformal plasma-doped source/drain extensions, 2006 Symposium on VLSI Technology Digest of Technical Papers, p. 212

Disclosure of the Invention

Problems to be Solved by the Invention

However, with conventional methods for producing a semiconductor device disclosed in documents such as Patent Document 1 and Non-Patent Document 1 identified above, it is not possible to obtain desirable transistor characteristics

In view of this, it is an object of the present invention to realize a semiconductor device including fin-shaped semiconductor regions with which desirable characteristics can be obtained (e.g., a device which does not exhibit a substantial reduction in drain current).

Means for Solving the Problems

In order to achieve the object set forth above, the present inventors have studied the reason why desirable transistor characteristics cannot be obtained with the conventional methods for producing a fin-shaped FET, which lead to the following findings.

FIG. **18A** is a cross-sectional view of an important part showing the step of forming an extension region of a fin-shaped FET as described in Patent Document 1, and FIG. **18B** is a cross-sectional view showing the step of forming an extension region of a fin-shaped FET as described in Non-Patent Document 1. Note that FIG. **18A** and FIG. **18B** correspond to the cross-sectional structure (before the formation of the insulative sidewall spacer **106**) taken along line B-B in FIG. **16A**. In FIG. **18A** and **18B**, like elements to those shown in FIG. **16A** to FIG. **16D** are denoted by like reference numerals .

As shown in FIG. **18A**, in the method disclosed in Patent Document 1, in

INTEL - 1004
Page 26 of 492

order to introduce an impurity not only into the upper surface of the fin-shaped semiconductor regions **103a** to **103d** but also into the side surface thereof, ions **108a** and **108b** are implanted by ion implantation into the fin-shaped semiconductor regions **103a** to **103d** at respective implantation angles inclined with respect to the vertical direction in different directions from each other, thus forming the extension region **107**. In such a case, the first impurity region **107a**, into which the ions **108a** and the ions **108b** are both implanted, is formed in the upper portion of the fin-shaped semiconductor regions **103a** to **103d**. However, the second impurity region **107b**, into which either the ions **108a** or the ions **108b** are implanted, is formed in each side portion of the fin-shaped semiconductor regions **103a** to **103d**. Thus, where the dose of the ions **108a** and that of the ions **108b** are equal to each other, the implantation dose of the first impurity region **107a** is twice as large as the implantation dose of the second impurity region **107b**.

As shown in FIG. **18B**, in the method disclosed in Non-Patent Document 1, the extension region **107** is formed in the fin-shaped semiconductor regions **103a** to **103d** by using a plasma doping method. Where an impurity is implanted by using a plasma doping method, the first impurity region **107a** is formed in an upper portion of the fin-shaped semiconductor regions **103a** to **103d**, wherein the implantation dose of the first impurity region **107a** is dictated by the balance between implanted ions **109a**, an adsorbed species (a neutral species such as gas molecules or radicals) **109b**, and an impurity **109c** that is desorbed from the fin-shaped semiconductor regions **103a** to **103d** by sputtering. However, the implantation dose of each side portion of the fin-shaped semiconductor regions **103a** to **103d** is less influenced by the implanted ions **109a** and the impurity **109c** desorbed by sputtering, and there is formed the second impurity region **107b** whose implantation dose is mainly dictated by the adsorbed species **109b**. As a result, the implantation dose of the first impurity region **107a** is higher than that of the second impurity region **107b** by about 25%, for example.

As described above, with the conventional methods for forming an

INTEL - 1004
Page 27 of 492

extension region of a fin-shaped FET, the implantation dose of the first impurity region **107a** formed in an upper portion of the fin-shaped semiconductor regions **103a** to **103d** is higher than that of the second impurity region **107b** formed in a side portion of the fin-shaped semiconductor regions **103a** to **103d**. Moreover, the junction depth of the second impurity region **107b** is shallower than that of the first impurity region **107a**. Accordingly, the sheet resistance, the resistivity, or the spreading resistance of the first impurity region **107a** is lower than the sheet resistance, the resistivity, or the spreading resistance of the second impurity region **107b**. Wherein, $Rs = \rho/t$ is satisfied where Rs is a sheet resistance of a target, ρ is a specific resistance (resistivity), t is a thickness (junction depth), and ρw is a spreading resistance. Further, as expressed by the relational expression, $\rho w = CF \cdot k \cdot \rho / 2\pi r$, which is widely known in the art of spreading resistance measurement, proportion of Rs to $\rho w/t$ is lead (i.e., main component) since the specific resistance (resistivity) ρ and the spreading resistance ρw are basically in one to one correspondence. In the relational expression, CF is a correction factor with the volume effect of the spreading resistance ρw taken into consideration (wherein, with no correction, CF is 1), k is a correction factor with the polarity dependency in Schottky barrier between a probe and a sample taken into consideration (for example, k is 1 when a sample is made of p-type silicon, or k is any of 1 to 3 when a sample is made of n-type silicon), and r is a radius of curvature of the tip end of a probe.

When a fin-shaped FET having such an extension structure is operated, the current flowing through the extension region **107** is localized in the first impurity region **107a** where the implantation dose is higher, i.e., the sheet resistance is lower, than the second impurity region **107b**, thereby failing to obtain desirable transistor characteristics.

Moreover, in the conventional fin-shaped FET, the source-drain region is also formed by using an ion implantation method or a plasma doping method similar to that for the extension region. Therefore, also in the source-drain region **117**, the implantation dose of the third impurity region **117a** formed in an upper portion of the

INTEL - 1004
Page 28 of 492

fin-shaped semiconductor regions **103a** to **103d** is higher than that of the fourth impurity region **117b** formed in a side portion of the fin-shaped semiconductor regions **103a** to **103d**. Moreover, the junction depth of the fourth impurity region **117b** is shallower than that of the third impurity region **117a**. When a fin-shaped FET having such a source-drain structure is operated, the current flowing through the source-drain region **117** is localized in the third impurity region **117a** where the implantation dose is higher, i.e., the sheet resistance is lower, than the fourth impurity region **117b**, thereby failing to obtain desirable transistor characteristics.

Based on the above findings, the present inventors have invented a semiconductor device including an impurity region in a side portion of a fin-shaped semiconductor region where the implantation dose is substantially equal to or greater than that in an upper portion of the fin-shaped semiconductor region, and a method for producing the same. Particularly, in some cases with a fin-shaped FET, the width of the impurity region formed in a side portion of the fin-shaped semiconductor region accounts for 70% or more of the width of the extension region and the source-drain region in the gate width direction. Therefore, it has become important that the implantation dose of the impurity region formed in a side portion of the fin-shaped semiconductor region is made substantially equal to or greater than that of the impurity region formed in an upper portion of the fin-shaped semiconductor region. In other words, it is important to set the resistivity, the spreading resistance, or the sheet resistance of the impurity region formed in the side portion of the fin-shaped semiconductor region to be equal to or smaller than the resistivity, the spreading resistance, or the sheet resistance of the impurity region formed in the upper portion of the fin-shaped semiconductor region.

Specifically, a first semiconductor device of the present invention is a semiconductor device, including: a first semiconductor region formed on a supporting substrate and having an upper surface and a side surface; a first impurity region of a first conductivity type formed in an upper portion of the first semiconductor region; and a

INTEL - 1004
Page 29 of 492

second impurity region of a first conductivity type formed in a side portion of the first semiconductor region, wherein a resistivity of the second impurity region is substantially equal to or smaller than that of the first impurity region.

Note that the transistor characteristics can be significantly improved over the conventional techniques if the implantation dose of the second impurity region formed in a side portion of the first semiconductor region having an upper surface and a side surface, i.e., the fin-shaped semiconductor region, is about 80% (more preferably 90%) or more of that of the first impurity region formed in an upper portion of the fin-shaped semiconductor region.

If "the height of the side surface of the fin-shaped semiconductor region" / "the width of the upper surface of the fin-shaped semiconductor region in the gate width direction" (hereinafter referred to as the "aspect ratio") is small, there will be little degradation in the transistor characteristics even if the implantation dose of the second impurity region is somewhat smaller than that of the first impurity region. An increase in the aspect ratio accordingly increases the necessity to make the implantation dose of the second impurity region to be substantially equal to or greater than that of the first impurity region.

In the first semiconductor device of the present invention, the junction depth of the second impurity region may be substantially equal to or greater than that of the first impurity region.

In the first semiconductor device of the present invention, the first semiconductor region may have a fin shape.

In the first semiconductor device of the present invention, the first semiconductor region may be formed on an insulating layer formed on the supporting substrate.

If the first semiconductor device of the present invention further includes: a gate insulating film formed at least on a side surface of the first semiconductor region in

INTEL - 1004
Page 30 of 492

a predetermined portion of the first semiconductor region; and a gate electrode formed on the gate insulating film, wherein the first impurity region and the second impurity region are formed in another portion of the first semiconductor region other than the predetermined portion, it is possible to form a fin-shaped FET. In such a case, the gate insulating film may also be formed on an upper surface of the first semiconductor region in the predetermined portion of the first semiconductor region. The first impurity region and the second impurity region may be a P-type extension region. The semiconductor device may further include: an insulative sidewall spacer formed on a side surface of the gate electrode; a third impurity region of a first conductivity type formed in an upper portion of the first semiconductor region; and a fourth impurity region of a first conductivity type formed in a side portion of the first semiconductor region, wherein: the third impurity region and the fourth impurity region may be formed in a portion of the first semiconductor region which is located outside of the insulative sidewall spacer and is provided in the other portion of the first semiconductor region; and a resistivity of the fourth impurity region may be substantially equal to or smaller than that of the third impurity region. Then, the third impurity region and the fourth impurity region may be a P-type source-drain region. Alternatively, the semiconductor device may further include an insulative sidewall spacer formed on a side surface of the gate electrode, wherein the first impurity region and the second impurity region are formed in a portion of the first semiconductor region which is located outside of the insulative sidewall spacer and is provided in the other portion of the first semiconductor region. Then, the first impurity region and the second impurity region may be a P-type source-drain region. In these cases, if the height of the side surface of the first semiconductor region is greater than the width of the upper surface of the first semiconductor region in the gate width direction, the effects of the present invention are pronounced.

A second semiconductor device of the present invention includes: a plurality of semiconductor regions formed on a supporting substrate and each having an

INTEL - 1004
Page 31 of 492

upper surface and a side surface; a first impurity region of a first conductivity type formed in an upper portion of each of the plurality of semiconductor regions; and a second impurity region of a first conductivity type formed in a side portion of each of the plurality of semiconductor regions, wherein a resistivity of the second impurity region is substantially equal to or smaller than that of the first impurity region.

If the second semiconductor device of the present invention further includes a gate electrode formed on each of the plurality of semiconductor regions with a gate insulating film interposed therebetween, wherein the gate electrode extends across the plurality of semiconductor regions in a gate width direction, it is possible to form a fin-shaped FET. Then, the first impurity region and the second impurity region may be a P-type extension region or a P-type source-drain region.

The second semiconductor device of the present invention may further include a third semiconductor region connecting together end portions of the plurality of semiconductor regions on each side of the semiconductor regions in a gate length direction.

The present invention also relates to a method for producing the first or second semiconductor device discussed above. The method includes: a step (a) of forming on a supporting substrate a first semiconductor region having an upper surface and a side surface; and a step (b) of implanting the first semiconductor region with an impurity of a first conductivity type by a plasma doping method to thereby form a first impurity region in an upper portion of the first semiconductor region and a second impurity region in a side portion of the first semiconductor region, wherein in the step (b), a plasma doping method is carried out under a first condition such that an implantation dose is equal to a first dose, and then a plasma doping method is carried out under a second condition such that the implantation dose is equal to a second dose smaller than the first dose.

Thus, the method for producing a semiconductor device of the present invention is characterized in the control of the implantation dose using a plasma doping method, and it is possible to control the sheet resistance to a desirable value through the

INTEL - 1004
Page 32 of 492

control of the implantation dose by annealing after doping.

Specifically, in plasma doping, as a material gas is supplied into a plasma, there will be radicals, ions or constituent molecules of the material gas or molecules or atoms resulting from the decomposition of the molecules in the plasma. The present invention focuses on the following inherent properties (1)-(3) of the ions, gas molecules, radicals, etc.:

(1) ions in a plasma are basically incident on the substrate vertically with respect to the principle plane of the substrate;

(2) neutral species such as gas molecules, radicals, etc., in a plasma are incident on the substrate in random directions with respect to the principle plane of the substrate; and

(3) there is substantially no influence of an impurity desorbed by sputtering on the side surface of the semiconductor region.

In addition to the properties (1)-(3), the present inventors have newly found the following property characteristic of plasma doping using different conditions:

(4) the level of the implantation dose, i.e., the sheet resistance, which is determined as the influence of doping and the influence of sputtering come to an equilibrium on the semiconductor region upper surface when plasma doping is performed using different conditions, depends only on the plasma doping conditions at the final stage but not on conditions at intermediate stages.

The present invention also relates to a method for applying this to a three-dimensional device such as a fin-shaped FET, and one primary characteristic of the present invention is that "after a plasma doping method is carried out under a first condition such that the implantation dose is equal to a first dose, a plasma doping method is carried out under a second condition such that the implantation dose is equal to a second dose smaller than the first dose". Thus, while the implantation dose of the upper portion of the semiconductor region is basically defined by the low-dose second condition, the

INTEL - 1004
Page 33 of 492

implantation dose of the side portion of the semiconductor region is basically defined by the high-dose first condition. Therefore, it is possible to obtain a semiconductor device including, in a side portion of the semiconductor region, an impurity region whose implantation dose is substantially equal to or greater than that in an upper portion of the semiconductor region. In other words, it is possible to obtain a semiconductor device including a low-sheet resistance impurity region in a side portion of the semiconductor region. Therefore, it is possible to obtain desirable transistor characteristics even if the proportion of the width of the impurity region formed in the side portion of the fin-shaped semiconductor region increases with respect to the width in the gate width direction of the extension region and the source-drain region of a fin-shaped FET, for example.

In the method for producing a semiconductor device of the present invention, if the step (b) is performed by using a plasma generated from a gas containing the impurity; and a concentration of the gas under the first condition is higher than that of the gas under the second condition, it is possible to reliably make the implantation dose under the second condition to be smaller than that under the first condition.

In the method for producing a semiconductor device of the present invention, if after the step (b), an implantation dose of the second impurity region is substantially equal to or greater than an implantation dose of the first impurity region, it is possible to reliably obtain the effects as set forth above.

The method for producing a semiconductor device of the present invention may further include, before the step (a), a step of forming an insulating layer on the supporting substrate, wherein the first semiconductor region is formed on the insulating layer in the step (a).

In the method for producing a semiconductor device of the present invention, the side surface of the first semiconductor region may be a surface perpendicular to the upper surface of the first semiconductor region.

In the method for producing a semiconductor device of the present

INTEL - 1004
Page 34 of 492

invention, in the first impurity region, an implantation dose at a point in time when the plasma doping method is carried out under the second condition may be decreased from that at a point in time when the plasma doping method is carried out under the first condition.

In the method for producing a semiconductor device of the present invention, the step (b) may be performed by using a plasma generated from a gas containing the impurity; and the gas containing the impurity may contain molecules B_mH_n (m and n are natural numbers) composed of boron atoms and hydrogen atoms.

In the method for producing a semiconductor device of the present invention, the step (b) may be performed by using a plasma generated from a gas containing the impurity; and the gas containing the impurity may be a gas obtained by diluting molecules including boron atoms with a rare gas.

In the method for producing a semiconductor device of the present invention, the step (b) may be performed by using a plasma generated from a gas containing the impurity; and a gas containing the impurity may be a gas obtained by diluting molecules including the impurity with helium.

In the method for producing a semiconductor device of the present invention, the step (b) may be performed by using a plasma generated from a gas containing the impurity; and the gas containing the impurity may be a mixed gas of B_2H_6 and He. In such a case, if a concentration by mass of B_2H_6 in the mixed gas is greater than or equal to 0.01% and less than or equal to 1%, it is possible to easily introduce boron into the first semiconductor region. If the B_2H_6 gas concentration is less than 0.01%, it is difficult to introduce a sufficient amount of boron, and if the B_2H_6 gas concentration is greater than 1%, a boron-containing deposit is likely to deposit on the substrate surface.

In the method for producing a semiconductor device of the present invention, the step (b) may be performed by using a plasma generated from a gas containing the impurity; and the gas containing the impurity may contain BF_3, AsH_4 or

INTEL - 1004
Page 35 of 492

PH_3.

The method for producing a semiconductor device of the present invention may further include, before the step (b), a step of implanting a semiconductor region which is similar to the first semiconductor region and is provided in each of a plurality of dummy substrates with the impurity by a plasma doping method under various conditions, so as to identify, as the first condition, a condition under which a sheet resistance of an impurity region formed in a side portion of the semiconductor region takes an intended value, and so as to identify, as the second condition, a condition under which a sheet resistance of an impurity region formed in an upper portion of the semiconductor region takes an intended value.

Another method for producing a semiconductor device of the present invention includes a step of implanting a semiconductor region with an impurity of a first conductivity type by a plasma doping method to thereby form an impurity region in the semiconductor region, wherein the step of forming the impurity region comprises a step (a) of carrying out the plasma doping method under a first condition such that an implantation dose is equal to a first dose, and after the step (a), a step (b) of carrying out the plasma doping method under a second condition such that the implantation dose is equal to a second dose smaller than the first dose.

With the other method for producing a semiconductor device of the present invention, an impurity region having a second dose is formed by carrying out the plasma doping method under the second condition such that the implantation dose is equal to the second dose smaller than the first dose after carrying out the plasma doping method under the first condition such that the implantation dose is equal to the first dose. As compared with a case where the impurity region is formed by carrying out the plasma doping method with only the second condition such that the second dose is achieved, it is possible to shorten the plasma doping time.

A third semiconductor device includes: a first semiconductor region

INTEL - 1004
Page 36 of 492

formed on a supporting substrate and having an upper surface and a side surface; a first impurity region of a first conductivity type formed in an upper portion of the first semiconductor region; and a second impurity region of a first conductivity type formed in a side portion of the first semiconductor region, wherein a sheet resistance of the second impurity region is substantially equal to or smaller than that of the first impurity region.

A fourth semiconductor device includes: a first semiconductor region formed on a supporting substrate and having an upper surface and a side surface; a first impurity region of a first conductivity type formed in an upper portion of the first semiconductor region; and a second impurity region of a first conductivity type formed in a side portion of the first semiconductor region, wherein a spreading resistance of the second impurity region is substantially equal to or smaller than that of the first impurity region.

Effects of the Invention

According to the present invention, it is possible to obtain a semiconductor device including an impurity region in a side portion of a fin-shaped semiconductor region, the impurity region having an implantation dose substantially equal to or greater than that in an upper portion of the fin-shaped semiconductor region. In other words, it is possible to obtain a semiconductor device including an impurity region having a low sheet resistance in a side portion of the fin-shaped semiconductor region. Therefore, it is possible to prevent the degradation in the characteristics of a three-dimensional device such as a fin-shaped FET.

Brief Description of the Drawings

FIG. **1A** to FIG. **1D** show a structure of a semiconductor device according to the first embodiment of the present invention, wherein FIG. **1A** is a plan view of a portion of a first embodiment of the fin-shaped FET, FIG. **1B** is a cross-sectional view along line A-A in FIG. **1A**, FIG. **1C** is a cross-sectional view along line B-B in FIG. **1A**, and FIG. **1D** is a cross-sectional view taken along line C-C in FIG. **1A**.

INTEL - 1004
Page 37 of 492

FIG. **2A** to FIG. **2E** are cross-sectional views s howing, step by step, the method for producing a semiconductor device according to the first embodiment of the present invention.

FIG. **3A** is a cross-sectional view illustrating a method for doping under the first plasma doping condition shown in FIG. **2C**, and FIG. **3B** is a cross-sectional view illustrating a method for doping under the second plasma doping condition shown in FIG. **2D**.

FIG. **4** shows the relationship between the sheet resistance and the plasma doping time for the first impurity region formed in the upper portion of the fin-shaped semiconductor region in the method for producing a semiconductor device according to the first embodiment of the present invention.

FIG. **5** shows the relationship between the sheet resistance and the plasma doping time for the second impurity region formed in the side portion of the fin-shaped semiconductor region in the method for producing a semiconductor device according to the first embodiment of the present invention.

FIG. **6** shows the relationship between the sheet resistance and the plasma doping time for each of the first impurity region formed in the upper portion of the fin-shaped semiconductor region and the second impurity region formed in the side portion of the fin-shaped semiconductor region in the method for producing a semiconductor device according to the first embodiment of the present invention.

FIG. **7** shows the relationship between the sheet resistance and the plasma doping time for the first impurity region formed in the upper portion of the fin-shaped semiconductor region in the first example of the method for producing a semiconductor device according to the first embodiment of the present invention.

FIG. **8** shows the relationship between the sheet resistance and the plasma doping time for the first impurity region formed in the upper portion of the fin-shaped semiconductor region in the second example of the method for producing a semiconductor

INTEL - 1004
Page 38 of 492

device according to the first embodiment of the present invention.

FIG. **9** shows the relationship between the sheet resistance and the plasma doping time for the first impurity region formed in the upper portion of the fin-shaped semiconductor region in the third example of the method for producing a semiconductor device according to the first embodiment of the present invention.

FIG. **10** is a plan view of a portion of a fin-shaped FET according to a first variation of the first embodiment of the present invention.

FIG. **11A** to FIG. **11C** show cross-sectional structures of the semiconductor device according to the second variation of the first embodiment of the present invention, wherein FIG. **11A** is a cross-sectional view taken along line A-A in FIG. **1A**, FIG. **11B** is a cross-sectional view taken along line B-B in FIG. **1A**, and FIG. **11C** is a cross-sectional view taken along line C-C in FIG. **1A**.

FIG. **12** is a flow chart showing the method for determining the plasma doping condition in the method for producing a semiconductor device according to a second embodiment of the present invention.

FIG. **13A** shows a schematic cross-sectional structure of a dummy substrate used in the method for determining the plasma doping condition in the method for producing a semiconductor device according to the second embodiment of the present invention, and FIG. **13B** shows the relationship between the plasma doping time in step S102 in FIG. **12** and the sheet resistance.

FIG. **14** shows the relationship between the plasma doping time in step S103 in FIG. **12** and the sheet resistance.

FIG. **15** shows the relationship between the plasma doping time in steps S105 and S106 in FIG. **12** and the sheet resistance.

FIG. **16A** to FIG. **16D** show a structure of a conventional fin-shaped FET, wherein FIG. **16A** is a plan view , FIG. **16B** is a cross-sectional view taken along line A-A in FIG. **16A**, FIG. **16C** is a cross-sectional view taken along line B-B in FIG. **16A**,

INTEL - 1004
Page 39 of 492

and FIG. **16D** is a cross-sectional view taken along line C-C in FIG. **16A**.

FIG. **17A** to FIG. **17D** are cross-sectional views o showing, step by step, a conventional method for producing a semiconductor device.

FIG. **18A** is a cross-sectional view showing the step of forming a source-drain region of a fin-shaped FET as described in Patent Document 1, and FIG. **18B** is a cross-sectional view showing the step of forming a source-drain region of a fin-shaped FET as described in Non-Patent Document 1.

Detailed Description of the Invention

(First Embodiment)

The structure of a semiconductor device according to a first embodiment of the present invention will now be described with reference to the drawings.

FIG. **1A** to FIG. **1D** show a structure of a semiconductor device according to the first embodiment of the present invention, i.e., a semiconductor device including a fin-shaped FET, wherein FIG. **1A** is a plan view of a portion of the device, FIG. **1B** is a cross-sectional view taken along line A-A in FIG. **1A**, FIG. **1C** is a cross-sectional view taken along line B-B in FIG. **1A**, and FIG. **1D** is a cross-sectional view taken along line C-C in FIG. **1A**.

As shown in FIG. **1A** to FIG. **1D**, the fin-shaped FET of the present embodiment includes a supporting substrate **11** made of silicon, for example, an insulating layer **12** made of silicon oxide, for example, formed on the supporting substrate **11**, fin-shaped semiconductor regions **13a** to **13d** formed on the insulating layer **12**, a gate electrode **15** formed on the fin-shaped semiconductor regions **13a** to **13d** with gate insulating films **14a** to **14d** made of a silicon oxynitride film, for example, interposed therebetween, insulative sidewall spacers **16** formed on the side surfaces of the gate electrode **15**, extension regions **17** formed in opposing side regions of the fin-shaped semiconductor regions **13a** to **13d** that are opposing each other with the gate electrode **15**

INTEL - 1004
Page 40 of 492

interposed therebetween, and source-drain regions **27** formed in opposing side regions of the fin-shaped semiconductor regions **13a** to **13d** that are opposing each other with the gate electrode **15** and the insulative sidewall spacers **16** interposed therebetween. The fin-shaped semiconductor regions **13a** to **13d** each have a width **a** in the gate width direction of about 30 nm, for example, a width **b** in the gate length direction of about 200 nm, for example, and a height (thickness) **c** of about 50 nm, for example, and are arranged with a pitch **d** (about 60 nm, for example) in the gate width direction on the insulating layer **12**. The upper surface and the side surface of the fin-shaped semiconductor regions **13a** to **13d** may or may not be perpendicular to each other. The gate electrode **15** is formed so as to extend across the fin-shaped semiconductor regions **13a** to **13d** in the gate width direction. The extension region **17** includes a first impurity region **17a** formed in an upper portion of each of the fin-shaped semiconductor regions **13a** to **13d**, and a second impurity region **17b** formed in a side portion of each of the fin-shaped semiconductor regions **13a** to **13d**. The source-drain region **27** includes a third impurity region **27a** formed in an upper portion of each of the fin-shaped semiconductor regions **13a** to **13d**, and a fourth impurity region **27b** formed in a side portion of each of the fin-shaped semiconductor regions **13a** to **13d**. Note that pocket regions are not described herein or shown in the figure.

The characteristics of the present embodiment are as follows. That is, the implantation dose of the second impurity region **17b** formed in the side portion of the fin-shaped semiconductor region is set to be substantially equal to or greater than that of the first impurity region **17a** formed in the upper portion of the fin-shaped semiconductor region. Thus, the sheet resistance of the second impurity region **17b** of the extension region **17** can be set to be less than or equal to that of the first impurity region **17a**, whereby it is possible to obtain desirable transistor characteristics even if the proportion of the width of the second impurity region **17b** formed in the side portion of the fin-shaped semiconductor region increases with respect to the width in the gate width direction of the

INTEL - 1004
Page 41 of 492

extension region **17**. Similarly, the implantation dose of the fourth impurity region **27b** formed in the side portion of the fin-shaped semiconductor region is set to be substantially equal to or greater than that of the third impurity region **27a** formed in the upper portion of the fin-shaped semiconductor region. Thus, the sheet resistance of the fourth impurity region **27b** of the source-drain region **27** can be set to be less than or equal to that of the third impurity region **27a**, whereby it is possible to obtain desirable transistor characteristics even if the proportion of the width of the fourth impurity region **27b** formed in the side portion of the fin-shaped semiconductor region increases with respect to the width in the gate width direction of the source-drain region **27**.

Though the sheet resistance of the second impurity region **17b** (the fourth impurity region **27b**) is set equal to or smaller than that of the first impurity region **17a** (the third impurity region **27a**) in the above description, the same effects can be obtained even when the resistivity or the spreading resistance of the second impurity region **17b** (the fourth impurity region **27b**) is set equal to or smaller than the resistivity or the spreading resistance of the first impurity region **17a** (the third impurity region **27a**). Specifically, , $Rs = \rho/t$ is satisfied where Rs is a sheet resistance of a target, ρ is a specific resistance (resistivity), t is a thickness (junction depth), and ρw is a spreading resistance. Further, proportion of Rs to $\rho w/t$ is lead since the specific resistance (resistivity) ρ and the spreading resistance ρw are basically in one to one correspondence. In the following description, the term, "sheet resistance" is used mainly, but the "sheet resistance" may be read as "resistivity" or "spreading resistance" in description of the magnitude relationship of the resistance.

Note that in the present embodiment, if the implantation dose of the second impurity region **17b** formed in the side portion of the fin-shaped semiconductor region is about 80% (more preferably 90%) or more of that of the first impurity region **17a** formed in the upper portion of the fin-shaped semiconductor region, the transistor characteristics can be significantly improved over the conventional techniques. Similarly, if the

INTEL - 1004
Page 42 of 492

implantation dose of the fourth impurity region **27b** formed in the side portion of the fin-shaped semiconductor region is about 80% (more preferably 90%) or more of that of the third impurity region **27a** formed in the upper portion of the fin-shaped semiconductor region, the transistor characteristics can be significantly improved over the conventional techniques.

Moreover, in the present embodiment, if "the height of the side surface of the fin-shaped semiconductor region" / "the width of the upper surface of the fin-shaped semiconductor region in the gate width direction" (hereinafter referred to as the "aspect ratio") is small, there will be little degradation in the transistor characteristics (e.g., drain current) even if the implantation dose of the second impurity region **17b** is somewhat smaller than that of the first impurity region **17a**, namely, even if the sheet resistance, the resistivity, or the spreading resistance of the second impurity region **17b** is somewhat larger (about 10 %, for example) than the sheet resistance, the resistivity, or the spreading resistance of the first impurity region **17a**. An increase in the aspect ratio accordingly increases the necessity to make the implantation dose of the second impurity region **17b** to be substantially equal to or greater than that of the first impurity region **17a**, that is, the necessity to set the sheet resistance, the resistivity, or the spreading resistance of the second impurity region **17b** to be equal to or smaller than the sheet resistance, the resistivity, or the spreading resistance of the first impurity region **17a**. Similarly, if the aspect ratio is small, there will be little degradation in the transistor characteristics even if the implantation dose of the fourth impurity region **27b** is somewhat smaller than that of the third impurity region **27a**, namely, even if the sheet resistance, the resistivity, or the spreading resistance of the fourth impurity region **27b** is somewhat larger (about 10 %, for example) than the sheet resistance, the resistivity, or the spreading resistance of the third impurity region **27a**. An increase in the aspect ratio accordingly increases the necessity to make the implantation dose of the fourth impurity region **27b** to be substantially equal to or greater than that of the third impurity region **27a**, that is, the necessity to set the sheet

INTEL - 1004
Page 43 of 492

resistance, the resistivity, or the spreading resistance of the fourth impurity region **27b** to be equal or smaller than the sheet resistance, the resistivity, or the spreading resistance of the third impurity region **27a**.

It is noted that with regard to the above-noted characteristic of drain current, as the amount of the drain current is dependent on the dose in each of the three sides of the Fin-shaped semiconductor region, even if the width of the top region 17a becomes smaller relative to the side regions 17b, a large drain current may be obtained due to the large side regions 17b.

A method for producing a semiconductor device according to the first embodiment of the present invention will now be described with reference to the drawings.

FIG. **2A** to FIG. **2E** are cross-sectional views s howing, step by step, the method for producing a semiconductor device of the first embodiment. Note that FIG. **2A** to FIG. **2E** correspond to the cross-sectional structure taken along line C-C in FIG. **1A**. In FIG. **2A** to FIG. **2E**, like elements to those shown in FIG. **1A** to FIG. **1D** are denoted by like reference numerals and will not be described redundantly. It is noted that the thickness and width dimensions set forth in the following examples are approximate values and are intended to be exemplary. As would be understood by those skilled in the art, the various components may have different dimensions.

First, as shown in FIG. **2A**, there is provided an SOI substrate, in which the insulating layer **12** having a thickness of 150 nm and made of silicon oxide, for example, is provided on the supporting substrate **11** having a thickness of 800 μm and made of silicon, for example, and a semiconductor layer having a thickness of 50 nm and made of silicon, for example, is provided on the insulating layer **12**. Then, the semiconductor layer is patterned to form the n-type fin-shaped semiconductor region **13b** to be the active region. The fin-shaped semiconductor region **13b** has a width **a** in the gate width direction of about 30 nm, for example, a width **b** in the gate length direction of about 200 nm, for example, and a height (thickness) **c** of about 50 nm, for example, and is

INTEL - 1004
Page 44 of 492

arranged, with other adjacent fin-shaped semiconductor regions, with a pitch **d** (about 60 nm, for example) in the gate width direction on the insulating layer **12**.

Next, as shown in FIG. **2B**, the gate insulating film **14** having a thickness of 3 nm and made of a silicon oxynitride film, for example, is formed on the surface of the fin-shaped semiconductor region **13b**, and a polysilicon film **15A** having a thickness of 60 nm, for example, is formed across the entire surface of the supporting substrate **11**.

Then, as shown in FIG. **2C**, the polysilicon film **15A** and the gate insulating film **14** are etched successively to form the gate electrode **15** having a width in the gate length direction of 60 nm, for example, on the fin-shaped semiconductor region **13b** with the gate insulating film **14b** interposed therebetween. Then, using the gate electrode **15** as a mask, the fin-shaped semiconductor region **13b** is doped with a p-type impurity under a first plasma doping condition (the first condition). Thus, there is formed a p-type extension region **7** including a p-type first impurity region **7a** formed in the upper portion of the fin-shaped semiconductor region **13b** and a p-type second impurity region **7b** formed in the side portion of the fin-shaped semiconductor region **13b**. The formation is done so that the implantation dose of the first impurity region **7a** is greater than that of the second impurity region **7b**. Herein, the first plasma doping condition is such that the material gas is B_2H_6 (diborane) diluted with He (helium), the B_2H_6 concentration in the material gas is 0.05% by mass, the total flow rate of the material gas is 420 cm^3/min (standard state), the chamber pressure is 0.9 Pa, the source power (the plasma-generating high-frequency power) is 2000 W, the bias power (the high-frequency power applied to the substrate holder) is 135 W, and the substrate temperature is 20°C.

Plasma doping is performed for 120 seconds, for example, under the first plasma doping condition as described above, and then, continuously without turning OFF the discharge, the fin-shaped semiconductor region **13b** is doped with a p-type impurity for 680 seconds, for example, under the second plasma doping condition (the second condition). Thus, as shown in FIG. **2D**, there is formed a p-type extension region **17**

INTEL - 1004
Page 45 of 492

including the p-type first impurity region **17a** formed in the upper portion of the fin-shaped semiconductor region **13b** and the p-type second impurity region **17b** formed in the side portion of the fin-shaped semiconductor region **13b**. Thus, the extension region **7** formed in the step shown in FIG. **2C** is altered into the extension region **17** in the step shown in FIG. **2D**. The formation is done so that the implantation dose of the second impurity region **17b** is substantially equal to or greater than that of the first impurity region **17a**. Accordingly, the second impurity region **17b** can be formed so that the sheet resistance, the resistivity, or the spreading resistance of the second impurity region **17b** is equal to or smaller than the sheet resistance, the resistivity, or the spreading resistance of the first impurity region **17a**. Herein, the second plasma doping condition is such that the material gas is B_2H_6 diluted with He, the B_2H_6 concentration in the material gas is 0.02% by mass, the total flow rate of the material gas is 300 cm^3/min (standard state), the chamber pressure is 0.9 Pa, the source power is 2000 W, the bias power is 135 W, and the substrate temperature is 20°C. Then, using the gate electrode **15** as a mask, the fin-shaped semiconductor region **13b** is ion-implanted with an impurity to form an n-type pocket region (not shown).

Next, as shown in FIG. **2E**, an insulating film having a thickness of 60 nm, for example, is formed across the entire surface of the supporting substrate **11**, and then the insulating film is etched back by using anisotropic dry etching to thereby form the insulative sidewall spacer **16** on the side surface of the gate electrode **15**. Then, using the gate electrode **15** and the insulative sidewall spacer **16** as a mask, the fin-shaped semiconductor region **13b** is doped with a p-type impurity for 120 seconds, for example, under the third plasma doping condition (the third condition), and then, continuously without turning OFF the discharge, the fin-shaped semiconductor region **13b** is doped with a p-type impurity for 680 seconds, for example, under the fourth plasma doping condition (the fourth condition). Thus, there is formed the p-type source-drain region **27** including the p-type third impurity region **27a** formed in the upper portion of the fin-shaped

INTEL - 1004
Page 46 of 492

semiconductor region **13b** and the p-type fourth impurity region **27b** formed in the side portion of the fin-shaped semiconductor region **13b**. When doping under the third plasma doping condition is performed, the third impurity region **27a** is formed so that the implantation dose thereof is greater than that of the fourth impurity region **27b**. However, by performing doping under the fourth plasma doping condition where the implantation dose is smaller than that of the third plasma doping condition, the source-drain region formed by the third plasma doping condition is altered into the source-drain region **27** by the fourth plasma doping condition. The formation is done so that the implantation dose of the fourth impurity region **27b** is substantially equal to or greater than that of the third impurity region **27a**. Accordingly, the fourth impurity region **27b** can be formed so that the sheet resistance, the resistivity, or the spreading resistance of the fourth impurity region **27b** is equal to or smaller than the sheet resistance, the resistivity, or the spreading resistance of the third impurity region **27a**. Note that in order to make the implantation dose of the third condition greater than that of the fourth condition, the B_2H_6 concentration in the material gas and the total flow rate of the material gas of the third condition are made greater than those of the fourth condition.

The characteristics of the present embodiment are as follows. That is, when the extension region **17** of the fin-shaped FET is formed by using a plasma doping method, the first condition including a relatively large implantation dose and the second condition including a relatively small implantation dose are used. Thus, it is possible to obtain a fin-shaped MISFET including the extension region **17** in which the implantation dose of the second impurity region **17b** formed in the side portion of the fin-shaped semiconductor region **13b** is substantially equal to or greater than that of the first impurity region **17a** formed in the upper portion of the fin-shaped semiconductor region **13b**. Therefore, the sheet resistance of the second impurity region **17b** can be set to be less than or equal to that of the first impurity region **17a**, whereby it is possible to obtain desirable transistor characteristics even if the proportion of the width of the second impurity region

INTEL - 1004
Page 47 of 492

17b formed in the side portion of the fin-shaped semiconductor region increases with respect to the width in the gate width direction of the extension region **17**. Similarly, when the source-drain region **27** of the fin-shaped FET is formed by using a plasma doping method, the third condition including a relatively large implantation dose and the fourth condition including a relatively small implantation dose are used. Thus, it is possible to obtain a fin-shaped MISFET including the source-drain region **27** in which the implantation dose of the fourth impurity region **27b** formed in the side portion of the fin-shaped semiconductor region **13b** is substantially equal to or greater than that of the third impurity region **27a** formed in the upper portion of the fin-shaped semiconductor region **13b**. Therefore, the sheet resistance of the fourth impurity region **27b** can be set to be less than or equal to that of the third impurity region **27a**, whereby it is possible to obtain desirable transistor characteristics even if the proportion of the width of the fourth impurity region **27b** formed in the side portion of the fin-shaped semiconductor region increases with respect to the width in the gate width direction of the source-drain region **27**.

In the present embodiment, the n-type fin-shaped semiconductor region **13b** is plasma-doped with a p-type impurity to form the p-type extension region **17** and the p-type source-drain region **27**, i.e., a p-type MISFET. Alternatively, a p-type fin-shaped semiconductor region may be doped with an n-type impurity to form an n-type extension region and an n-type source-drain region, i.e., an n-type MISFET.

Moreover, in the present embodiment, in order to realize a larger implantation dose for the first condition (the third condition), the B_2H_6 concentration in the material gas and the total flow rate of the material gas of the first condition (the third condition) are set to be greater than those of the second condition (the fourth condition). Alternatively, only one of these two of the first condition (the third condition) may be set to be greater than that of the second condition (the fourth condition). Moreover, it is understood that other parameters such as the chamber pressure, the source power or the

INTEL - 1004
Page 48 of 492

bias power may be controlled so as to realize a larger implantation dose for the first condition (the third condition).

Moreover, in the present embodiment, in order to reduce the sheet resistance of the second impurity region **17b**, it is preferred that the junction depth of the second impurity region **17b** is set to be substantially equal to or greater than the junction depth of the first impurity region **17a**. Such a configuration can be realized by, for example, performing appropriate annealing after performing plasma doping so that the implantation dose of the second impurity region **17b** formed in the side portion of the fin-shaped semiconductor region is greater than that of the first impurity region **17a** formed in the upper portion of the fin-shaped semiconductor region. Similarly, in order to reduce the sheet resistance of the fourth impurity region **27b**, it is preferred that the junction depth of the fourth impurity region **27b** is set to be substantially equal to or greater than that of the third impurity region **27a**. Such a configuration can be realized by, for example, performing appropriate annealing after performing plasma doping so that the implantation dose of the fourth impurity region **27b** formed in the side portion of the fin-shaped semiconductor region is greater than that of the third impurity region **27a** formed in the upper portion of the fin-shaped semiconductor region.

While B_2H_6 diluted with He is used as the material gas of plasma doping in the present embodiment, the material gas is not limited to any particular gas as long as the gas contains the impurity to be implanted into the fin-shaped semiconductor regions. Instead of B_2H_6, one may employ, for example, other molecules containing boron atoms (e.g., BF_3), other molecules composed of boron atoms and hydrogen atoms, or AsH_4, PH_3, or the like. A gas containing an impurity may or may not be diluted with a rare gas such as He. Note that where B_2H_6 diluted with He is used as the material gas of plasma doping as in the present embodiment, it is preferred that the concentration by mass of B_2H_6 in the material gas is greater than or equal to 0.01% and less than or equal to 1%. Then, it is possible to easily introduce boron into the fin-shaped semiconductor regions. If the B_2H_6

INTEL - 1004
Page 49 of 492

gas concentration is less than 0.01%, it is difficult to introduce a sufficient amount of boron, and if the B_2H_6 gas concentration is greater than 1%, a boron-containing deposit is likely to deposit on the substrate surface.

The mechanism of the present invention will now be described, using the extension region **17** as an example, with reference to the drawings, separately for the upper portion and the side portion of the fin-shaped semiconductor regions.

(Mechanism Of Present Invention)

FIG. **3A** is a cross-sectional view of an important part, illustrating a method for doping under the first plasma doping condition shown in FIG. **2C**, and FIG. **3B** is a cross-sectional view of an important part, illustrating a method for doping under the second plasma doping condition shown in FIG. **2D**. Note that FIG. **3A** and FIG. **3B** correspond to the cross-sectional structure (before the formation of the insulative sidewall spacer **16**) taken along line B-B in FIG. **1A**. In FIG. **3A** and FIG. **3B**, like elements to those shown in FIG. **1A** to FIG. **1D** are denoted by like reference numerals and will not be described redundantly.

FIG. **4** shows the relationship between the sheet resistance and the plasma doping time for the first impurity region formed in the upper portion of the fin-shaped semiconductor region.

FIG. **5** shows the relationship between the sheet resistance and the plasma doping time for the second impurity region formed in the side portion of the fin-shaped semiconductor region.

FIG. **6** shows the relationship between the sheet resistance and the plasma doping time for each of the first impurity region formed in the upper portion of the fin-shaped semiconductor region and the second impurity region formed in the side portion of the fin-shaped semiconductor region.

Note that the sheet resistance shown in FIG. **4** to FIG. **6** (this applies also to FIG. **7** to FIG. **9** to be discussed later) is obtained by performing RTA (rapid thermal

INTEL - 1004
Page 50 of 492

annealing) for 20 seconds at a temperature of 1075°C after plasma doping. By performing sufficient annealing after doping, it is possible to realize a one-to-one correspondence between the implantation dose and the sheet resistance.

(Mechanism Of Present Invention For Upper Portion Of Fin-Shaped Semiconductor Region)

First, as shown in FIG. **3A**, the fin-shaped semiconductor regions **13a** to **13d** are doped with a p-type impurity under the first plasma doping condition (the first condition). Thus, the first impurity region **7a** is formed in the upper portion of the fin-shaped semiconductor regions **13a** to **13d**, wherein the implantation dose of the first impurity region **7a** is dictated by the balance between implanted ions **18a**, an adsorbed species (a neutral species such as gas molecules or radicals) **18b**, and an impurity **18c** that is desorbed from the fin-shaped semiconductor regions **13a** to **13d** by sputtering.

As indicated by the broken line in FIG. **4**, where the plasma doping time with only the first condition is elongated, the amount of impurity introduction by the implanted ions **18a** and the adsorbed species **18b** introduced into the semiconductor regions **13a** to **13d** is greater than the amount of the impurity **18c** desorbed from the fin-shaped semiconductor regions **13a** to **13d** by sputtering, whereby the sheet resistance of the first impurity region **7a** decreases monotonously, in an initial stage of plasma doping. Then, as the amount of impurity introduction per unit time into the semiconductor regions **13a** to **13d** decreases gradually, the degree of decrease in the sheet resistance of the first impurity region **7a** also starts becoming more gentle, and the degree of decrease eventually becomes very gentle. This is because the amount of increase in the amount of impurity introduction per unit time decreases gradually as the amount of impurity introduced by the implanted ions **18a** and the adsorbed species **18b** and the amount of impurity desorbed by sputtering come to an equilibrium. Therefore, where an impurity is introduced only under the first condition, the final sheet resistance of the first impurity region **7a** is the sheet resistance corresponding to the dose implanted into the first impurity region **7a** by the time

INTEL - 1004
Page 51 of 492

when the amount of impurity introduction and the amount of impurity desorption come to an equilibrium under the first condition (the "point of equilibrium under first condition" in FIG. **4**) (i.e., the sheet resistance at the "point of equilibrium under first condition" in FIG. **4**).

Then, as shown in FIG. **3B**, following the plasma doping under the first condition, the fin-shaped semiconductor regions **13a** to **13d** are doped with a p-type impurity after switching to the second plasma doping condition (the second condition) where the gas concentration is lower than that of the first condition. Thus, the first impurity region **17a** is formed in the upper portion of the fin-shaped semiconductor regions **13a** to **13d**, wherein the implantation dose of the first impurity region **17a** is dictated by the balance between implanted ions **19a**, an adsorbed species (a neutral species such as gas molecules or radicals) **19b**, and an impurity **19c** that is desorbed from the fin-shaped semiconductor regions **13a** to **13d** by sputtering. Thus, the first impurity region **7a** shown in FIG. **3A** is altered into the first impurity region **17a** as shown in FIG. **3B**. Since the gas concentration of the second condition is lower than that of the first condition, the implantation dose of the first impurity region **17a** decreases from that of the initially-formed first impurity region **7a**. In other words, the sheet resistance of the first impurity region **17a** becomes higher than that of the first impurity region **7a**.

As indicated by the solid line in FIG. **4**, after the condition is switched to the second condition where the gas concentration is lower than that of the first condition during a plasma doping process, the phenomenon that the impurity is desorbed from the fin-shaped semiconductor regions by sputtering becomes more pronounced under the second condition as compared with the first condition. Therefore, a portion of the impurity having been introduced into the fin-shaped semiconductor region by the plasma doping under the first condition that is in excess of the level of the dose implanted by the time when the amount of impurity introduction and the amount of impurity desorption come to an equilibrium under the second condition (i.e., the dose corresponding to the

INTEL - 1004
Page 52 of 492

sheet resistance at the "point of equilibrium under second condition" in FIG. **4**) is desorbed from the fin-shaped semiconductor regions by sputtering when performing the plasma doping under the second condition. In other words, when the condition is switched from the first condition to the second condition during a plasma doping process, the dose to be eventually introduced into the fin-shaped semiconductor regions is equal to a dose dictated by the balance between the amount of impurity introduced by the implanted ions and the adsorbed species and the amount of impurity desorbed by sputtering under the second condition, whereby the implantation dose decreases and the sheet resistance increases and becomes stable at the increased level. Specifically, the balance between the amount of impurity introduction and the amount of impurity desorption in plasma doping is dependent only on the doping condition at the final stage (the second condition in the present embodiment), but not on the preceding conditions (the first condition in the present embodiment). Thus, the sheet resistance of the first impurity region is at the level at which the sheet resistance eventually becomes stable under the second condition (the sheet resistance at the "point of equilibrium under second condition" in FIG. **4**).

As described above, the difference between the case where plasma doping is performed only with the first condition (the broken line in FIG. **4**) and the case where plasma doping is performed with the first condition and the second condition (the solid line in FIG. **4**) corresponds to the difference between the sheet resistance dictated by the balance between the amount of impurity introduction and the amount of impurity desorption under the first condition and the sheet resistance dictated by the balance between the amount of impurity introduction and the amount of impurity desorption under the second condition. Thus, when plasma doping is performed only with the first condition, the sheet resistance becomes stable at a level that is dictated by the balance between the amount of impurity introduction and the amount of impurity desorption under the first condition, whereas when plasma doping is performed during which the condition is switched from the first condition to the second condition, the sheet resistance becomes

INTEL - 1004
Page 53 of 492

stable at a level that is dictated by the balance between the amount of impurity introduction and the amount of impurity desorption under the second condition. The difference between the sheet resistance with the first condition and that with the second condition is due to the difference therebetween in the influence of doping and sputtering.

(Mechanism Of Present Invention For Side Portion Of Fin-Shaped Semiconductor Region)

First, as shown in FIG. **3A**, the fin-shaped semiconductor regions **13a** to **13d** are doped with a p-type impurity under the first plasma doping condition (the first condition). Thus, the second impurity region **7b** is formed in the side portion of the fin-shaped semiconductor regions **13a** to **13d**, wherein the implantation dose of the second impurity region **7b** is dictated primarily by the adsorbed species (a neutral species such as gas molecules or radicals) **18b**. In this process, since there are ions that are incident on the side surface of the fin-shaped semiconductor regions **13a** to **13d** from an inclined direction, there are present the implanted ions **18a** and the impurity **18c** that is desorbed from the fin-shaped semiconductor regions **13a** to **13d** by sputtering, but nevertheless the influence thereof is very little as compared with the adsorbed species **18b** and doping by the adsorbed species **18b** will be dominant. Specifically, the number of the implanted ions **18a** doped into the side portion of the fin-shaped semiconductor regions **13a** to **13d** and the impurity **18c** desorbed from the side portion of the fin-shaped semiconductor regions **13a** to **13d** by sputtering is very small as compared with the number of the implanted ions **18a** doped into the upper portion of the fin-shaped semiconductor regions **13a** to **13d** and the impurity **18c** d esorbed from the upper portion of the fin-shaped semiconductor regions **13a** to **13d** by sputtering.

As indicated by the one-dot chain line in FIG. **5**, where the plasma doping time with only the first condition is elongated, the sheet resistance of the second impurity region **7b** decreases monotonously in an initial stage of plasma doping. Then, as the amount of impurity introduction per unit time into the semiconductor regions **13a** to **13d**

INTEL - 1004
Page 54 of 492

decreases gradually, the degree of decrease in the sheet resistance of the second impurity region **7b** also starts becoming more gentle, and the degree of decrease eventually becomes very gentle. This is because the amount of increase in the amount of impurity introduction per unit time decreases gradually as the amount of impurity introduced by the implanted ions **18a** and the adsorbed species **18b** and the amount of impurity desorbed by sputtering come to an equilibrium. However, since the dose of the implanted ions **18a** doped into the side portion of the fin-shaped semiconductor regions **13a** to **13d** is smaller than the dose of the implanted ions **18a** doped into the upper portion of the fin-shaped semiconductor regions **13a** to **13d**, the sheet resistance of the second impurity region **7b** becomes stable at a higher level than the sheet resistance of the first impurity region **7a**.

Then, as shown in FIG. **3B**, following the plasma doping under the first condition, the fin-shaped semiconductor regions **13a** to **13d** are doped with a p-type impurity after switching to the second plasma doping condition (the second condition) where the gas concentration is lower than that of the first condition. Thus, the second impurity region **17b** is formed in the side portion of the fin-shaped semiconductor regions **13a** to **13d**. In this process, since the amount of the impurity **19c** that is desorbed from the side portion of the fin-shaped semiconductor regions **13a** to **13d** by sputtering is small, the implantation dose of the second impurity region **17b** does not change or decrease only slightly from that of the second impurity region **7b**.

Therefore, as indicated by the two-dot chain line in FIG. **5**, even if the condition is switched to the second condition where the gas concentration is lower than that of the first condition during the plasma doping process, the sheet resistance of the second impurity region **17b** will be a value close to the sheet resistance immediately before switching to the second condition, i.e., the sheet resistance dictated by the first condition.

As described above, there is little decrease in the implantation dose by sputtering in the side portion of the fin-shaped semiconductor regions **13a** to **13d**, whereby the difference between the sheet resistance obtained when plasma doping is performed

INTEL - 1004
Page 55 of 492

with only the first condition (the one-dot chain line in FIG. **5**) and that obtained when plasma doping is performed with the first condition and the second condition (the two-dot chain line in FIG. **5**) is substantially none or very little if at all.

(Comparison Of Mechanism Of Present Invention Between Upper Portion And Side Portion Of Fin-Shaped Semiconductor Region)

Referring now to FIG. **6**, the results of plasma doping performed by using the second condition with a lower gas concentration, following plasma doping using the first condition, for the upper portion of the fin-shaped semiconductor region and those for the side portion of the fin-shaped semiconductor region will be described together. Note that in FIG. **6**, the solid line is that in FIG. **4**, and the two-dot chain line is that in FIG. **5**.

As indicated by the solid line in FIG. **6**, the influence of sputtering during plasma doping in the first impurity region (the upper portion of the semiconductor region) is greater than that in the second impurity region (the side portion of the semiconductor region), whereby when the condition is switched from the first condition to the second condition, a portion of the impurity introduced in excess of the implantation dose corresponding to the level of the sheet resistance dictated by the second condition is pushed out of the semiconductor region by sputtering when performing plasma doping under the second condition. Therefore, the level at which the dose introduced by ion implantation and adsorption of the neutral species (such as gas molecules or radicals) and the amount of impurity desorbed from the semiconductor region by sputtering come to an equilibrium depends only on the final one of a plurality of plasma doping conditions used, but not on the preceding plasma doping conditions. Therefore, the value of the sheet resistance in the first impurity region (the upper portion of the semiconductor region) is at the level at which the sheet resistance eventually becomes stable under the second condition.

On the other hand, as indicated by the two-dot chain line in FIG. **6**, the influence of sputtering during plasma doping in the second impurity region (the side

INTEL - 1004
Page 56 of 492

portion of the semiconductor region) is smaller than that in the first impurity region (the upper portion of the semiconductor region), whereby even when the condition is switched from the first condition to the second condition, the dose introduced under the first condition will not be decreased at all or only slightly if at all by sputtering under the second condition. Therefore, the value of the sheet resistance in the second impurity region (the side portion of the semiconductor region) will be a value close to the sheet resistance immediately before switching to the second condition, i.e., the sheet resistance dictated by the first condition.

Thus, by performing plasma doping while switching the condition from the first condition where the implantation dose is relatively large to the second condition where the implantation dose is relatively small, the implantation dose in the first impurity region (the upper portion of the semiconductor region) and that in the second impurity region (the side portion of the semiconductor region) can be made equal to each other with a very high precision. Moreover, it is possible to make the implantation dose in the second impurity region (the side portion of the semiconductor region) larger than that in the first impurity region (the upper portion of the semiconductor region). FIG. **6** shows a process window in which the implantation dose of the first impurity region (the upper portion of the semiconductor region) and that in the second impurity region (the side portion of the semiconductor region) can be made equal to each other.

Note that also in the formation of the source-drain region **27**, the implantation dose in the third impurity region (the upper portion of the semiconductor region) **27a** and that in the fourth impurity region (the side portion of the semiconductor region) **27b** can be made equal to each other by using a mechanism similar to that for the formation of the extension region **17**. Moreover, it is possible to make the implantation dose in the fourth impurity region (the side portion of the semiconductor region) 27b larger than that in the third impurity region (the upper portion of the semiconductor region) 27a.

Specific examples will be used below to illustrate how the value of the

INTEL - 1004
Page 57 of 492

sheet resistance in the first impurity region (the upper portion of the semiconductor region) will be at the level at which the sheet resistance eventually becomes stable under the second condition.

(First Example)

First, the first example will be described with reference to FIG. **7**. Curve A in FIG. **7** corresponds to the case where plasma doping is performed only with the first condition as described above with respect to FIG. **4**, wherein the plasma doping condition is such that, for example, the material gas is B_2H_6 diluted with He, the B_2H_6 concentration in the material gas is 0.05% by mass, the total flow rate of the material gas is 420 cm^3/min (standard state), the chamber pressure is 0.9 Pa, the source power (plasma-generating high-frequency power) is 2000 W, the bias power (the high-frequency power applied to the substrate holder) is 135 W, and the substrate temperature is 20°C. Curve B in FIG. **7** corresponds to the case where plasma doping is performed with only the second condition as described above with respect to FIG. **4**, wherein the plasma doping condition is such that, for example, the material gas is B_2H_6 diluted with He, the B_2H_6 concentration in the material gas is 0.02% by mass, the total flow rate of the material gas is 300 cm^3/min (standard state), the chamber pressure is 0.9 Pa, the source power (plasma-generating high-frequency power) is 2000 W, the bias power (the high-frequency power applied to the substrate holder) is 135 W, and the substrate temperature is 20°C.

Note that in the first example, in order to lower the sheet resistance in the second impurity region (the side portion of the semiconductor region) dictated by the first condition, the B_2H_6 concentration and the total flow rate of the first condition are set to 0.05% by mass and 420 cm^3/min (standard state), respectively, which are greater than those of the second condition.

Moreover, in the first example, the timing at which the condition is switched from the first condition to the second condition is set to be 120 seconds after the start of the plasma doping.

INTEL - 1004
Page 58 of 492

Curve C1 in FIG. 7 shows the change in the sheet resistance of the first impurity region (the upper portion of the semiconductor region) obtained when using the first condition from the start of plasma doping until 120 seconds later, and then, continuously without turning OFF the plasma-generating discharge, performing plasma doping under the second condition (i.e., the change in the sheet resistance of the first example). As indicated by Curve C1 in FIG. 7, it can be seen that the sheet resistance monotonously decreases after the start of plasma doping until about 200 seconds later, after which the gradient turns from negative to positive, and the sheet resistance is clearly increasing from about 200 seconds from the start of the plasma doping until about 800 seconds from the start.

Note that in the first example, the smallest value of the sheet resistance at 200 seconds after the start of the plasma doping is 147 Ω/□, and the increased sheet resistance value at about 800 seconds after the start of the plasma doping is 171 Ω/□, the difference therebetween being 24 Ω/□. The amount of increase in the sheet resistance is about 15% of the sheet resistance value (170 Ω/□) at which the sheet resistance eventually becomes stable when doping with only the second condition. It should be noted here that the sheet resistance value 171 Ω/□ at about 800 seconds after the start of the plasma doping in the first example is very close to the sheet resistance value (170 Ω/□) at which the sheet resistance eventually becomes stable when doping with only the second condition. It is believed that this means self-alignment to be described below. That is, it has been confirmed that where the timing at which the condition is switched from the first condition to the second condition is set to be relatively late, i.e., 120 seconds after the start of the plasma doping, even if the sheet resistance is intentionally lowered to be smaller than the target value (170 Ω/□ in the present example), the final sheet resistance value increases in a self-aligned manner to the sheet resistance value (170 Ω/□ in the present example) dictated by the second condition, being the latter plasma doping condition. This is a very special phenomenon unique to the present invention. Note that the timing at which the

INTEL - 1004
Page 59 of 492

condition is switched from the first condition to the second condition is set to be substantially later in the first example in order to clearly illustrate this phenomenon, and it is preferred that the condition is switched from the first condition to the second condition at a timing such that the sheet resistance of the second impurity region (the side portion of the semiconductor region) dictated by the first condition (the level of the minimum value before the condition is switched to the second condition) takes a desirable value.

(Second Example)

Next, the second example will be described with reference to FIG. **8**.

In the first example, the timing at which the condition is switched from the first condition to the second condition is set to be 120 seconds after the start of the plasma doping. In the second example, the timing is changed so that the condition is switched from the first condition to the second condition 60 seconds after the start of the plasma doping. Note that the plasma doping condition of the first condition and that of the second condition are the same as those of the first example, and Curve A and Curve B in FIG. **8** are the same as Curve A and Curve B in FIG. **7**.

Curve C2 in FIG. **8** shows the change in the sheet resistance of the first impurity region (the upper portion of the semiconductor region) obtained when using the first condition from the start of plasma doping until 60 seconds later, and then, continuously without turning OFF the plasma-generating discharge, performing plasma doping under the second condition (i.e., the change in the sheet resistance of the second example). It should be noted that also in the second example, as in the first example, the transition of the sheet resistance shows a tendency that disproves the common knowledge of conventional plasma doping, as indicated by Curve C2 in FIG. **8**.

Specifically, in the conventional plasma doping, the sheet resistance monotonously decreases over time. This is believed to be as follows. While the doping dose increases as ions from plasma are implanted, as the adsorption of radicals, gas molecules, etc., advances, and as the adsorbed radicals, gas molecules, etc., are struck by

INTEL - 1004
Page 60 of 492

ions from above so as to be pushed into the semiconductor region, the implantation dose increases as the plasma doping time increases based on these phenomena. Of course the amount of increase in the dose per unit time may vary depending on the plasma doping condition, and the amount of increase in the dose per unit time may gradually decrease as the influence of doping and the influence of sputtering come to an equilibrium, but it is nevertheless in the nature of conventional plasma doping that the implantation dose necessarily increases as the plasma doping time increases.

In contrast, in the second example, although the sheet resistance monotonously decreases as in ordinary plasma doping until 200 seconds after the start of the plasma doping, the gradient of the change in the sheet resistance turns from negative to positive at about 200 seconds after the start of the plasma doping. Then, surprisingly, after 200 seconds since the start of the plasma doping, the sheet resistance started increasing toward the sheet resistance value (170 Ω/□) at which the sheet resistance eventually becomes stable when doping with only the second condition. Then, after the sheet resistance reached the sheet resistance value (170 Ω/□) at which the sheet resistance eventually becomes stable when doping with only the second condition at about 400 seconds after the start of the plasma doping, the rate of increase in the sheet resistance decreased. Specifically, the sheet resistance at 200 seconds after the start of the plasma doping is 163 Ω/□, that at 400 seconds after the start of the plasma doping is 170 Ω/□, and that at 800 seconds after the start of the plasma doping is 172 Ω/□. It appears from these results that the increase in the sheet resistance from 200 seconds to 400 seconds after the start of the plasma doping is the action of a natural mechanism aiming at the sheet resistance value (170 Ω/□) at which the sheet resistance eventually becomes stable when doping with only the second condition. Moreover, as shown in FIG. **8**, when obtaining the target sheet resistance value (170 Ω/□ (including the tolerance range)), it is possible to further shorten the plasma doping time by doping with the second condition after doping with the first condition, as compared with a case where the doping is performed with only

INTEL - 1004
Page 61 of 492

the second condition (Curve B).

Note that in FIG. **8**, the increase to the target value (170 Ω/□ in the present example) from the sheet resistance, 163 Ω/□, at about 200 seconds after the start of the plasma doping when the sheet resistance is at the lowest level is about 4% of the target value. This is smaller than the amount of increase of about 15% shown in the first example. Thus, there is an effect that it is possible to control the amount of increase from the sheet resistance value at the lowest level to the sheet resistance to the target value (e.g., 170 Ω/□ in the present example), by adjusting the timing at which the condition is switched from the first condition to the second condition. Thus, by controlling the timing is it possible to suppress/minimize the deviation between the target sheet resistance and the lowest sheet resistance value.

(Third Example)

Next, the third example will be described with reference to FIG. **9**.

In the second example, the timing at which the condition is switched from the first condition to the second condition is set to be 60 seconds after the start of the plasma doping. In the third example, the timing is changed so that the condition is switched from the first condition to the second condition 20 seconds after the start of the plasma doping. Note that the plasma doping condition of the first condition and that of the second condition are the same as those of the first example, and Curve A and Curve B in FIG. **9** are the same as Curve A and Curve B in FIG. **7**.

Curve C3 in FIG. **9** shows the change in the sheet resistance obtained when using the first condition from the start of plasma doping until 20 seconds later, and then, continuously without turning OFF the plasma-generating discharge, performing plasma doping under the second condition (i.e., the change in the sheet resistance of the third example). As indicated by Curve C3 in FIG. **9**, also in the third example where the timing at which the condition is switched from the first condition to the second condition is set to be 20 seconds after the start of the plasma doping, the sheet resistance value at which

INTEL - 1004
Page 62 of 492

the sheet resistance becomes stable between 400 seconds and 800 seconds after the start of the plasma doping was within a tolerance range of, though slightly higher than, the sheet resistance value (170 Ω/□) at which the sheet resistance eventually becomes stable when doping with only the second condition.

As can be seen from the first to third examples described above, the level of the implantation dose, i.e., the sheet resistance, which is determined as the influence of doping and the influence of sputtering come to an equilibrium on the semiconductor region upper surface when plasma doping is performed using different conditions, depends only on the plasma doping condition at the final stage but not on conditions at intermediate stages. Specifically, an impurity that has once been introduced into a semiconductor region can go out of the semiconductor region under conditions such that the sputtering is dominant.

(First Variation Of First Embodiment)

A structure of a semiconductor device according to a first variation of the first embodiment of the present invention will now be described with reference to the drawings.

FIG. **10** is a plan view of of a semiconductor device of this variation, specifically, a semiconductor device including a fin-shaped FET. Note that in FIG. **10**, like elements to those of the first embodiment shown in FIG. **1A** to FIG. **1D** are denoted by like reference numerals.

As shown in FIG. **10**, this variation differs from the first embodiment shown in FIG. **1A** to FIG. **1D** in that other fin-shaped semiconductor regions **13e** and **13f** connect together end portions of the fin-shaped semiconductor regions **13a** to **13d** on each side of the fin-shaped semiconductor regions **13a** to **13d** in the gate length direction.

According to this variation, it is possible to form a single fin-shaped FET with the fin-shaped semiconductor regions **13a** to **13f**, while obtaining effects similar to those of the first embodiment.

INTEL - 1004
Page 63 of 492

(Second Variation Of First Embodiment)

A structure of a semiconductor device according to a second variation of the first embodiment of the present invention will now be described with reference to the drawings.

A plan view showing a structure of a semiconductor device of this variation, specifically, a semiconductor device including a fin-shaped FET, is the same as FIG. **1A** being a plan view of the first embodiment. FIG. **11A** to FIG. **1C** show cross-sectional structures of the semiconductor device of this variation, wherein FIG. **11A** is a cross-sectional view taken along line A-A in FIG. **1A**, FIG. **11B** is a cross-sectional view taken along line B-B in FIG. **1A**, and FIG. **11C** is a cross-sectional view taken along line C-C in FIG. **1A**.

As shown in FIG. **11A** to FIG. **11C**, this variation differs from the first embodiment shown in FIG. **1A** to FIG. **1D** as follows. Specifically, in the first embodiment, the gate insulating films **14a** to **14d** having a thickness of about 3 nm and made of a silicon oxynitride film, for example, are formed on the upper surface and the side surface of the fin-shaped semiconductor regions **13a** to **13d**. In contrast, in this variation, the gate insulating films **14a** to **14d** are formed only on the side surface of the fin-shaped semiconductor regions **13a** to **13d**, and insulating films **24a** to **24d** having a thickness of 20 nm and made of a silicon oxide film, for example, are formed on the upper surface of the fin-shaped semiconductor regions **13a** to **13d**.

Thus, in this variation, only the side portion of the fin-shaped semiconductor regions **13a** to **13d** is used as a channel region. Also with such a structure, it is possible to obtain effects similar to those of the first embodiment if the aspect ratio ("the height of the side surface of the fin-shaped semiconductor region" / "the width of the upper surface of the fin-shaped semiconductor region in the gate width direction") is large.

(Second Embodiment)

A method for producing a semiconductor device according to a second

INTEL - 1004
Page 64 of 492

embodiment of the present invention, specifically, a method for determining the first and second plasma doping conditions in the method for producing a semiconductor device of the first embodiment described above, will now be described with reference to the drawings.

FIG. **12** is a flow chart showing the method for determining the plasma doping condition of the present embodiment. FIG. **13A** shows a schematic cross-sectional structure of a dummy substrate used in the method for determining the plasma doping condition of the present embodiment, and FIG. **13B** shows the relationship between the plasma doping time in step S102 and the sheet resistance. FIG. **14** shows the relationship between the plasma doping time in step S103 and the sheet resistance. FIG. **15** shows the relationship between the plasma doping time in steps S105 and S106 and the sheet resistance.

First, in step S101, a plurality of identical dummy substrates **51** are provided as dummy substrates for use in setting the plasma doping conditions, and fin-shaped semiconductor regions (hereinafter referred to as "fins") **52** having the same specifications (or substantially the same specifications) as those of a device to be produced, e.g., fins **52** similar to the fin-shaped semiconductor regions **13a** to **13d** of the first embodiment shown in FIG. **1A** to FIG. **1D**, are formed on each dummy substrate **51**, as shown in FIG. **13A**. As shown in FIG. **13A**, each fin **52** includes a first surface parallel to the principle plane of the substrate (on which the point **a** is the sheet resistance measurement point) and a second surface perpendicular to the principle plane of the substrate (on which the point **b** is the sheet resistance measurement point).

Then, in step S102, the fins **52** are plasma-doped with a p-type impurity under various conditions by using the plurality of dummy substrates **51** with the fins **52** formed thereon (hereinafter referred to as the "first PD"). Then, after a heat treatment for activating the implanted impurity is performed, the sheet resistance at the point **a** of the fins **52** and that at the point **b** of the fins **52** are measured. Then, those conditions under

INTEL - 1004
Page 65 of 492

which the sheet resistance at the point **b** takes a desirable value are determined to be the "first PD conditions". FIG. **13B** shows how the sheet resistance at the point **b** takes a desirable value in step S102. At this point, the sheet resistance at the point **a** is half of that at the point **b**, for example.

Note that where the sheet resistance at the point **b** is different from a desirable value, step S102 is repeated while changing the plasma doping conditions using an unprocessed dummy substrate **51** with the fins **52** formed thereon until the sheet resistance at the point **b** is equal to the desirable value. When there is no longer an unprocessed dummy substrate **51** with the fins **52** formed hereon, step S101 and step S102 are repeated.

Then, in step S103, the fins **52** are plasma-doped with a p-type impurity under various conditions by using a plurality of unprocessed dummy substrate **51** with the fins **52** formed thereon (hereinafter referred to as the "second PD"). Then, after a heat treatment for activating the implanted impurity is performed, the sheet resistance at the point **a** of the fins **52** and that at the point **b** of the fins **52** are measured. Then, those conditions under which the sheet resistance at the point **a** takes a desirable value are determined to be the "second PD conditions". FIG. **14** shows how the sheet resistance at the point **a** takes a desirable value in step S103. At this point, the sheet resistance at the point **b** is higher than that at the point **a**.

Note that where the sheet resistance at the point **a** is different from a desirable value, step S103 is repeated while changing the plasma doping conditions using an unprocessed dummy substrate **51** with the fins **52** formed thereon until the sheet resistance at the point **a** is equal to the desirable value. When there is no longer an unprocessed dummy substrate **51** with the fins **52** formed hereon, step S101 and step S103 are repeated.

Then, in step S104, there is formed a substrate for producing a device that has been subjected to steps up to immediately before the PD process, e.g., a substrate

INTEL - 1004
Page 66 of 492

having a structure of the first embodiment as shown in FIG. **2C**. The substrate has been subjected to the formation of the fins and preliminary steps (e.g., washing) before the PD process.

Then, in step S105, the substrate for producing a device is subjected to plasma doping using the first PD conditions determined in step S102 (conditions under which the sheet resistance at the point **b** takes a desirable value).

Then, in step S106, the substrate for producing a device is subjected to plasma doping using the second PD conditions determined in step S103 (conditions under which the sheet resistance at the point **a** takes a desirable value). In this process, step S106 may be performed in the same chamber as in step S105 and continuously thereafter without turning OFF the discharge. FIG. **15** shows how the sheet resistance in the upper portion (the point **a**) of the fins and that in the side portion (the point **b**) of the fins take desirable values in steps S105 and S106. Note that FIG. **15** shows a case where the sheet resistance in the upper portion (the point **a**) of the fins and that in the side portion (the point **b**) of the fins are set to the same value.

Finally, in step S107, steps after the PD process, e.g., washing, resist peeling, heat treatment for activation, etc., are performed to complete the device production.

As described above, according to the present embodiment, it is possible to reliably produce a semiconductor device having a structure of the first embodiment, i.e., a semiconductor device including fin-shaped semiconductor regions and being capable of exerting desirable characteristics.

Industrial Applicability

The present invention relates to a semiconductor device and a method for producing the same, and more particularly is useful in realizing a semiconductor device of a three-dimensional structure including fin-shaped semiconductor regions on a substrate with which desirable characteristics can be obtained.

INTEL - 1004
Page 67 of 492

WHAT IS CLAIMED IS:

1. A semiconductor device, comprising:

a first semiconductor region formed on a substrate and having an upper surface and a side surface;

a first impurity region of a first conductivity type formed in an upper portion of the first semiconductor region; and

a second impurity region of a first conductivity type formed in a side portion of the first semiconductor region,

wherein a resistivity of the second impurity region is substantially equal to or smaller than that of the first impurity region.

2. The semiconductor device of claim 1, wherein a junction depth of the second impurity region is substantially equal to or greater than that of the first impurity region.

3. The semiconductor device of claim 1, wherein the first semiconductor region has a fin shape.

4. The semiconductor device of claim 1, wherein the first semiconductor region is formed on an insulating layer formed on the substrate.

5. The semiconductor device of claim 1, further comprising:

a gate insulating film formed at least on a side surface of the first semiconductor region in a predetermined portion of the first semiconductor region; and

a gate electrode formed on the gate insulating film,

wherein the first impurity region and the second impurity region are formed in another portion of the first semiconductor region other than the predetermined portion.

INTEL - 1004
Page 68 of 492

6. The semiconductor device of claim 5, wherein the gate insulating film is formed also on an upper surface of the first semiconductor region in the predetermined portion of the first semiconductor region.

7. The semiconductor device of claim 5, wherein the first impurity region and the second impurity region are a P-type extension region.

8. The semiconductor device of claim 5, further comprising:

an insulative sidewall spacer formed on a side surface of the gate electrode;

a third impurity region of a first conductivity type formed in an upper portion of the first semiconductor region; and

a fourth impurity region of a first conductivity type formed in a side portion of the first semiconductor region, wherein:

the third impurity region and the fourth impurity region are formed in a portion of the first semiconductor region which is located outside of the insulative sidewall spacer and is provided in the other portion of the first semiconductor region; and

a resistivity of the fourth impurity region is substantially equal to or smaller than that of the third impurity region.

9. The semiconductor device of claim 8, wherein the third impurity region and the fourth impurity region are a P-type source-drain region.

10. The semiconductor device of claim 5, further comprising an insulative sidewall spacer formed on a side surface of the gate electrode,

wherein the first impurity region and the second impurity region are

INTEL - 1004
Page 69 of 492

formed in a portion of the first semiconductor region which is located outside of the insulative sidewall spacer and is provided in the other portion of the first semiconductor region.

11. The semiconductor device of claim 5, wherein the first impurity region and the second impurity region are a P-type source-drain region.

12. The semiconductor device of claim 5, wherein a height of the side surface of the first semiconductor region is greater than a width of the upper surface of the first semiconductor region in a gate width direction.

13. A semiconductor device, comprising:

a plurality of semiconductor regions formed on a substrate and each having an upper surface and a side surface;

a first impurity region of a first conductivity type formed in an upper portion of each of the plurality of semiconductor regions; and

a second impurity region of a first conductivity type formed in a side portion of each of the plurality of semiconductor regions,

wherein a resistivity of the second impurity region is substantially equal to or smaller than that of the first impurity region.

14. The semiconductor device of claim 13, further comprising a gate electrode formed on each of the plurality of semiconductor regions with a gate insulating film interposed therebetween,

wherein the gate electrode extends across the plurality of semiconductor regions in a gate width direction.

INTEL - 1004
Page 70 of 492

15. The semiconductor device of claim 14, wherein the first impurity region and the second impurity region are a P-type extension region.

16. The semiconductor device of claim 14, wherein the first impurity region and the second impurity region are a P-type source-drain region.

17. The semiconductor device of claim 13, further comprising a third semiconductor region connecting together end portions of the plurality of semiconductor regions on each side of the semiconductor regions in a gate length direction.

18. A method for producing a semiconductor device, comprising:

a step (a) of forming on a substrate a first semiconductor region having an upper surface and a side surface; and

a step (b) of implanting the first semiconductor region with an impurity of a first conductivity type by a plasma doping method to thereby form a first impurity region in an upper portion of the first semiconductor region and a second impurity region in a side portion of the first semiconductor region,

wherein in the step (b), a plasma doping method is carried out under a first condition such that an implantation dose is equal to a first dose, and then a plasma doping method is carried out under a second condition such that the implantation dose is equal to a second dose smaller than the first dose.

19. The method for producing a semiconductor device of claim 18, wherein:

the step (b) is performed by using a plasma generated from a gas containing the impurity; and

a concentration of the gas under the first condition is higher than that of the gas under the second condition.

INTEL - 1004
Page 71 of 492

20. The method for producing a semiconductor device of claim 18, wherein after the step (b), an implantation dose of the second impurity region is substantially equal to or greater than an implantation dose of the first impurity region.

21. The method for producing a semiconductor device of claim 18, further comprising, before the step (a), a step of forming an insulating layer on the substrate,

wherein the first semiconductor region is formed on the insulating layer in the step (a).

22. The method for producing a semiconductor device of claim 18, wherein the side surface of the first semiconductor region is a surface perpendicular to the upper surface of the first semiconductor region.

23. The method for producing a semiconductor device of claim 18, wherein in the first impurity region, an implantation dose at a point in time when the plasma doping method is carried out under the second condition is decreased from that at a point in time when the plasma doping method is carried out under the first condition.

24. The method for producing a semiconductor device of claim 18, wherein:

the step (b) is performed by using a plasma generated from a gas containing the impurity; and

the gas containing the impurity contains molecules B_mH_n (m and n are natural numbers) composed of boron atoms and hydrogen atoms.

25. The method for producing a semiconductor device of claim 18, wherein:

the step (b) is performed by using a plasma generated from a gas

INTEL - 1004
Page 72 of 492

containing the impurity; and

the gas containing the impurity is a gas obtained by diluting molecules including boron atoms with a rare gas.

26. The method for producing a semiconductor device of claim 18, wherein:

the step (b) is performed by using a plasma generated from a gas containing the impurity; and

a gas containing the impurity is a gas obtained by diluting molecules including the impurity with helium.

27. The method for producing a semiconductor device of claim 18, wherein:

the step (b) is performed by using a plasma generated from a gas containing the impurity; and

the gas containing the impurity is a mixed gas of B_2H_6 and He.

28. The method for producing a semiconductor device of claim 27, wherein a concentration by mass of B_2H_6 in the mixed gas is greater than or equal to 0.01% and less than or equal to 1%.

29. The method for producing a semiconductor device of claim 18, wherein:

the step (b) is performed by using a plasma generated from a gas containing the impurity; and

the gas containing the impurity contains BF_3, AsH_4 or PH_3.

30. The method for producing a semiconductor device of claim 18, further comprising, before the step (b), a step of implanting a semiconductor region which is similar to the first semiconductor region and is provided in each of a plurality of dummy

INTEL - 1004
Page 73 of 492

substrates with the impurity by a plasma doping method under various conditions, so as to identify, as the first condition, a condition under which a sheet resistance of an impurity region formed in a side portion of the semiconductor region takes an intended value, and so as to identify, as the second condition, a condition under which a sheet resistance of an impurity region formed in an upper portion of the semiconductor region takes an intended value.

31. A method for producing a semiconductor device, comprising a step of implanting a semiconductor region with an impurity of a first conductivity type by a plasma doping method to thereby form an impurity region in the semiconductor region,

wherein the step of forming the impurity region comprises a step (a) of carrying out the plasma doping method under a first condition such that an implantation dose is equal to a first dose, and after the step (a), a step (b) of carrying out the plasma doping method under a second condition such that the implantation dose is equal to a second dose smaller than the first dose.

32. A semiconductor device, comprising:

a first semiconductor region formed on a substrate and having an upper surface and a side surface;

a first impurity region of a first conductivity type formed in an upper portion of the first semiconductor region; and

a second impurity region of a first conductivity type formed in a side portion of the first semiconductor region,

wherein a sheet resistance of the second impurity region is substantially equal to or smaller than that of the first impurity region.

33. A semiconductor device, comprising:

INTEL - 1004
Page 74 of 492

a first semiconductor region formed on a substrate and having an upper surface and a side surface;

a first impurity region of a first conductivity type formed in an upper portion of the first semiconductor region; and

a second impurity region of a first conductivity type formed in a side portion of the first semiconductor region,

wherein a spreading resistance of the second impurity region is substantially equal to or smaller than that of the first impurity region.

INTEL - 1004
Page 75 of 492

ABSTRACT

A semiconductor region having an upper surface and a side surface is formed on a substrate. A first impurity region is formed in an upper portion of the semiconductor region. A second impurity region is formed in a side portion of the semiconductor region. The resistivity of the second impurity region is substantially equal to or smaller than that of the first impurity region.

WDC99 1519944-1.079195.0378

INTEL - 1004
Page 76 of 492

FIG. 1A

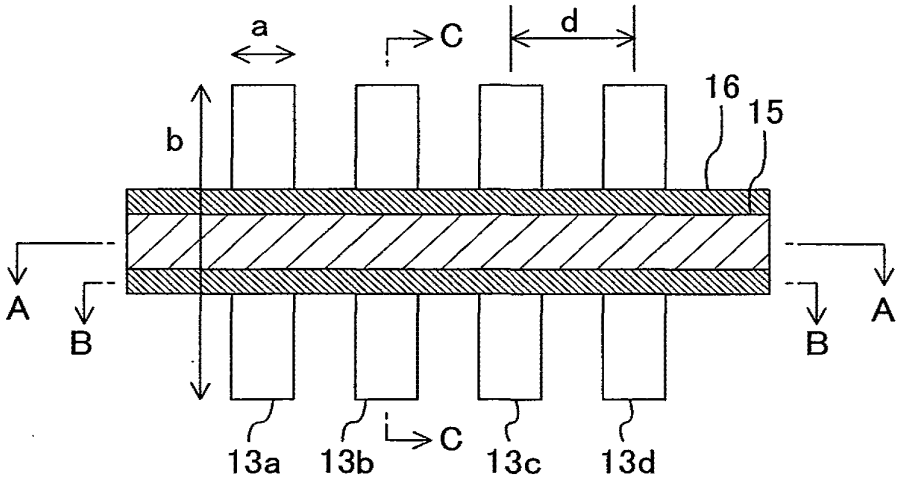


FIG. 1B

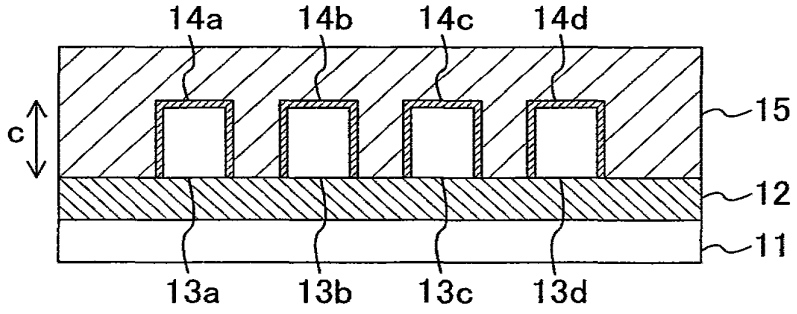


FIG. 1C

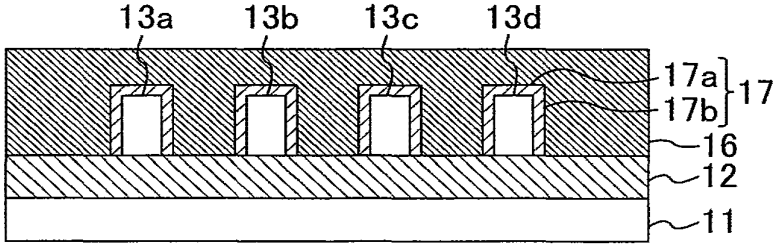


FIG. 1D

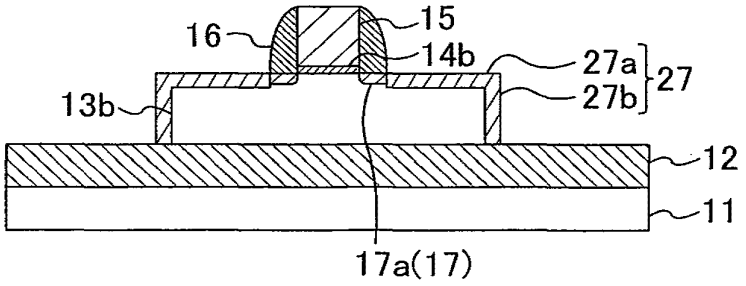


FIG. 2A

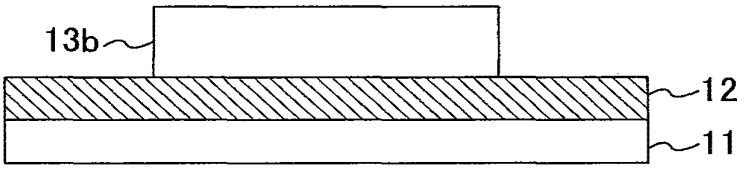


FIG. 2B

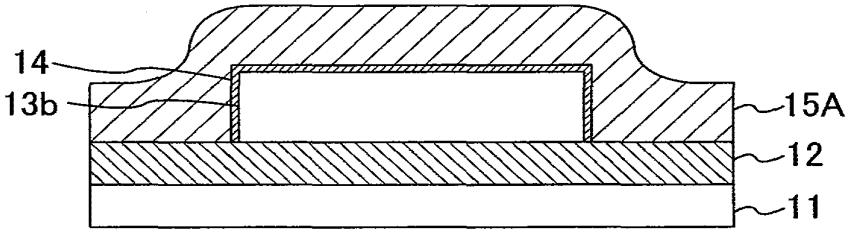


FIG. 2C

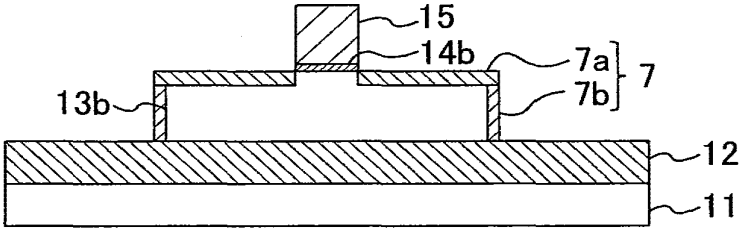


FIG. 2D

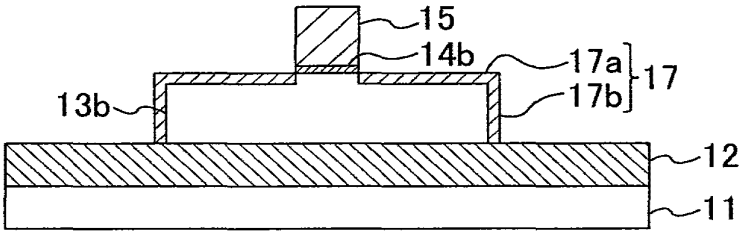


FIG. 2E

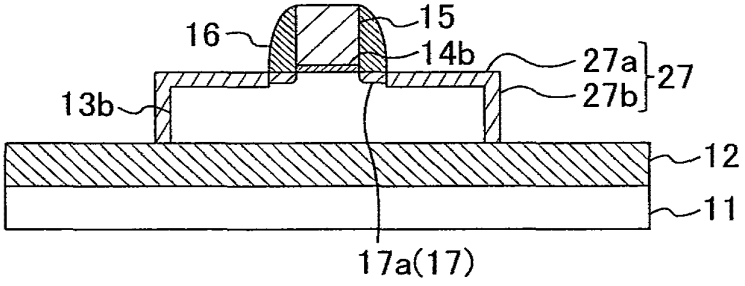


FIG. 3A

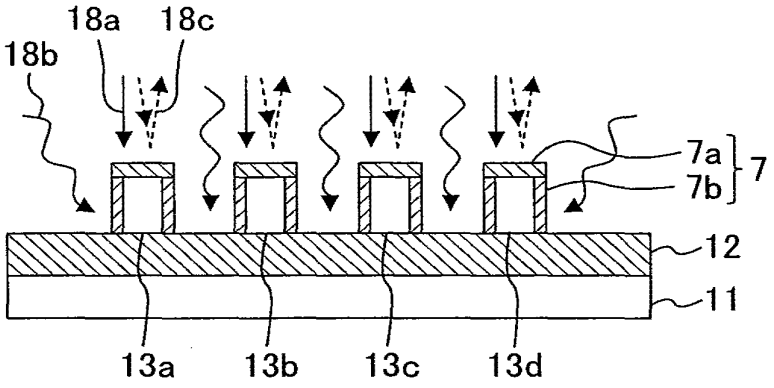

18a
18c
18b
7a
7b
7
12
11
13a
13b
13c
13d

FIG. 3B

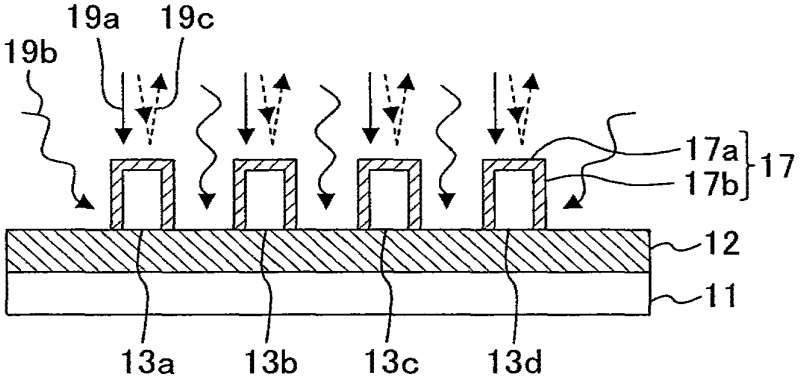

19a
19c
19b
17a
17b
17
12
11
13a
13b
13c
13d

FIG. 4

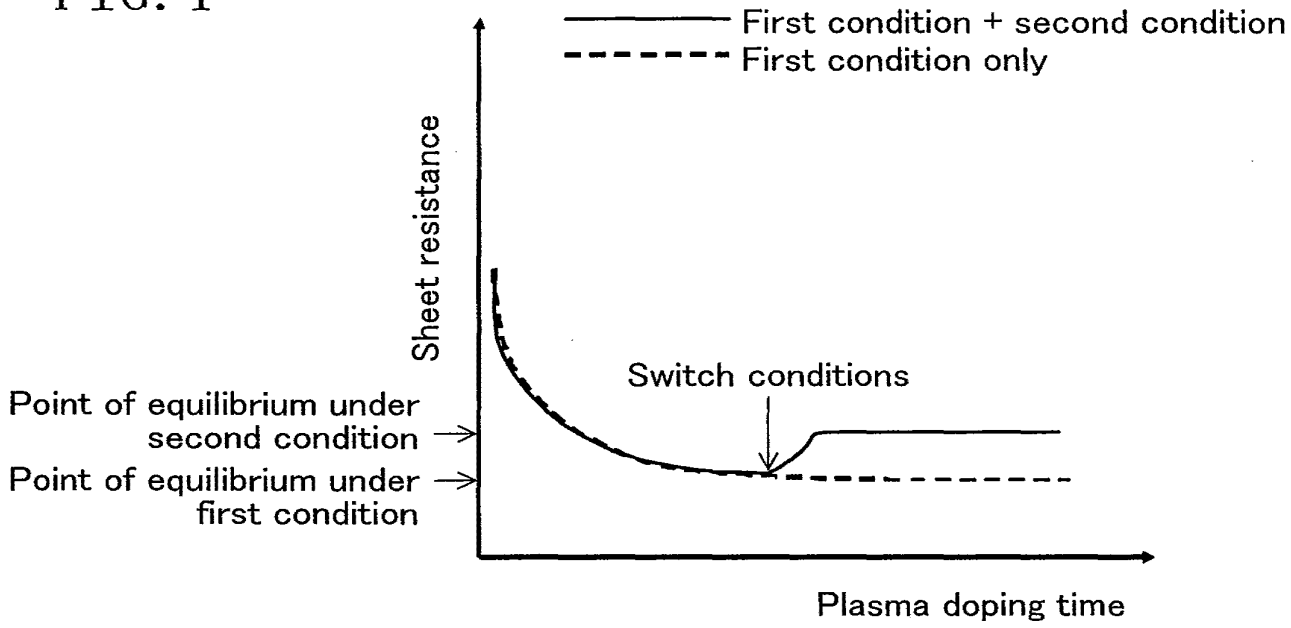

First condition + second condition
First condition only
Sheet resistance
Switch conditions
Point of equilibrium under second condition
Point of equilibrium under first condition
Plasma doping time

FIG. 5

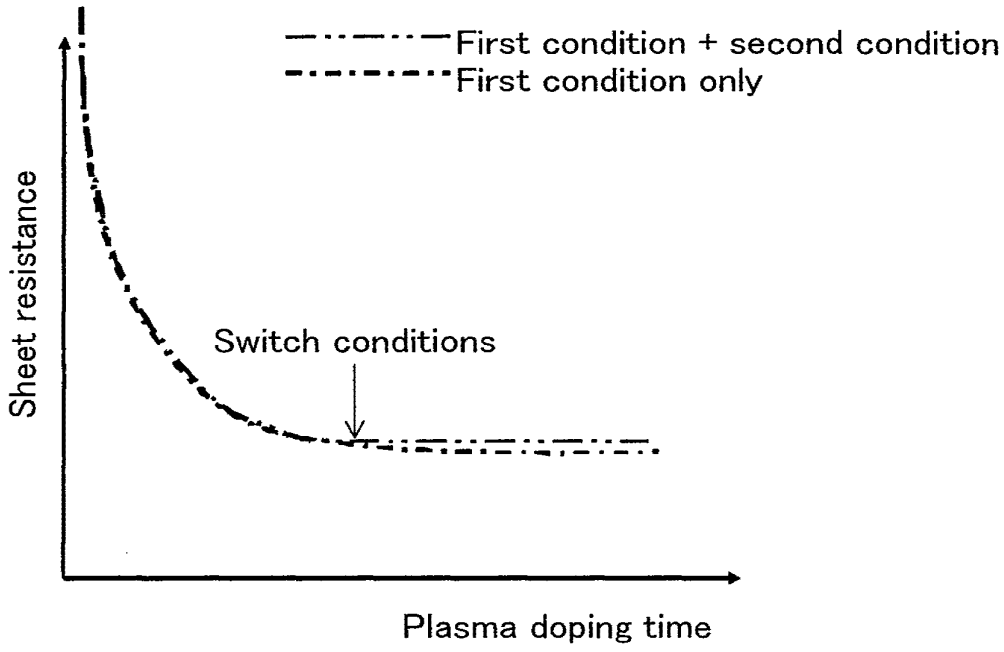

First condition + second condition
First condition only
Sheet resistance
Switch conditions
Plasma doping time

FIG. 6

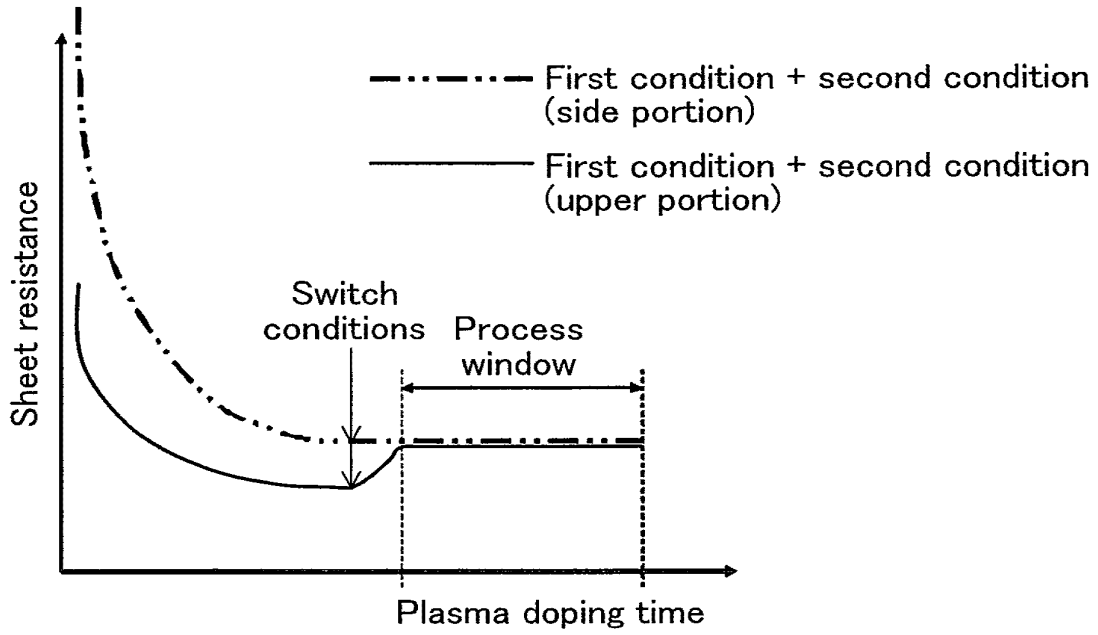

First condition + second condition (side portion)
First condition + second condition (upper portion)
Sheet resistance
Switch conditions
Process window
Plasma doping time

FIG. 7

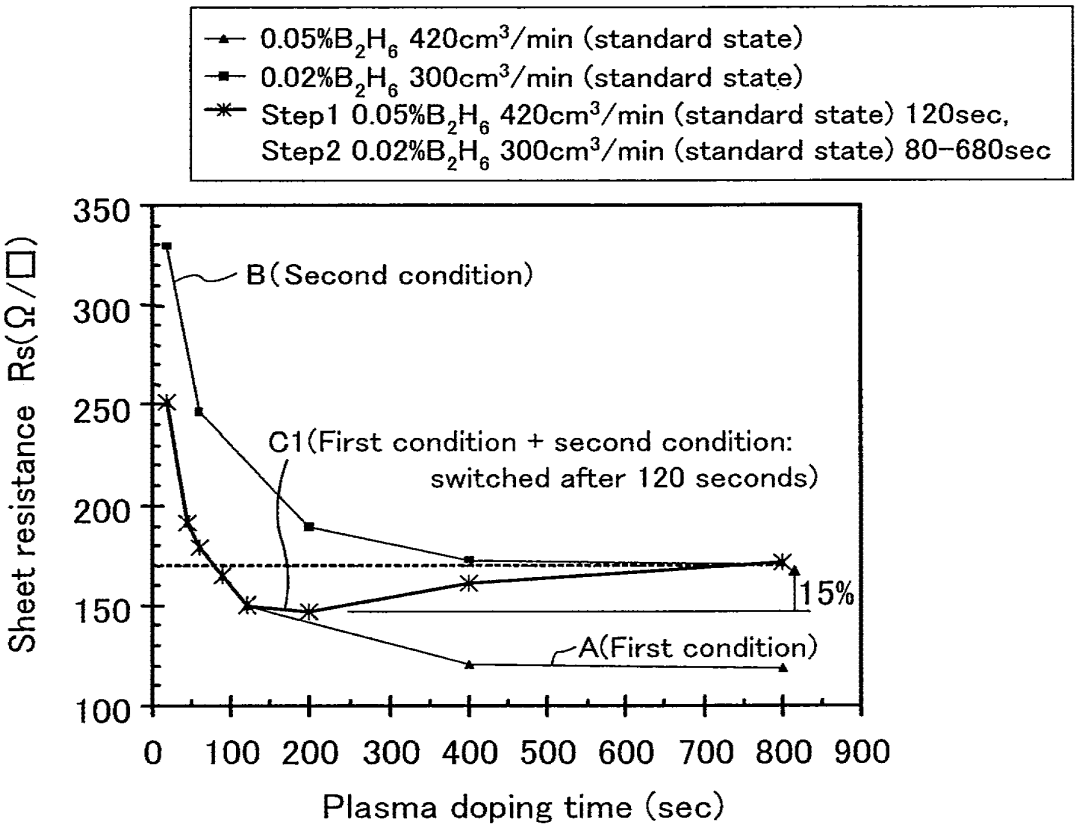

0.05%B2H6 420cm3/min (standard state)
0.02%B2H6 300cm3/min (standard state)
Step1 0.05%B2H6 420cm3/min (standard state) 120sec,
Step2 0.02%B2H6 300cm3/min (standard state) 80–680sec
Sheet resistance Rs(Ω/□)
350
300
250
200
150
100
B(Second condition)
C1(First condition + second condition: switched after 120 seconds)
15%
A(First condition)
0
100
200
300
400
500
600
700
800
900
Plasma doping time (sec)

FIG. 8

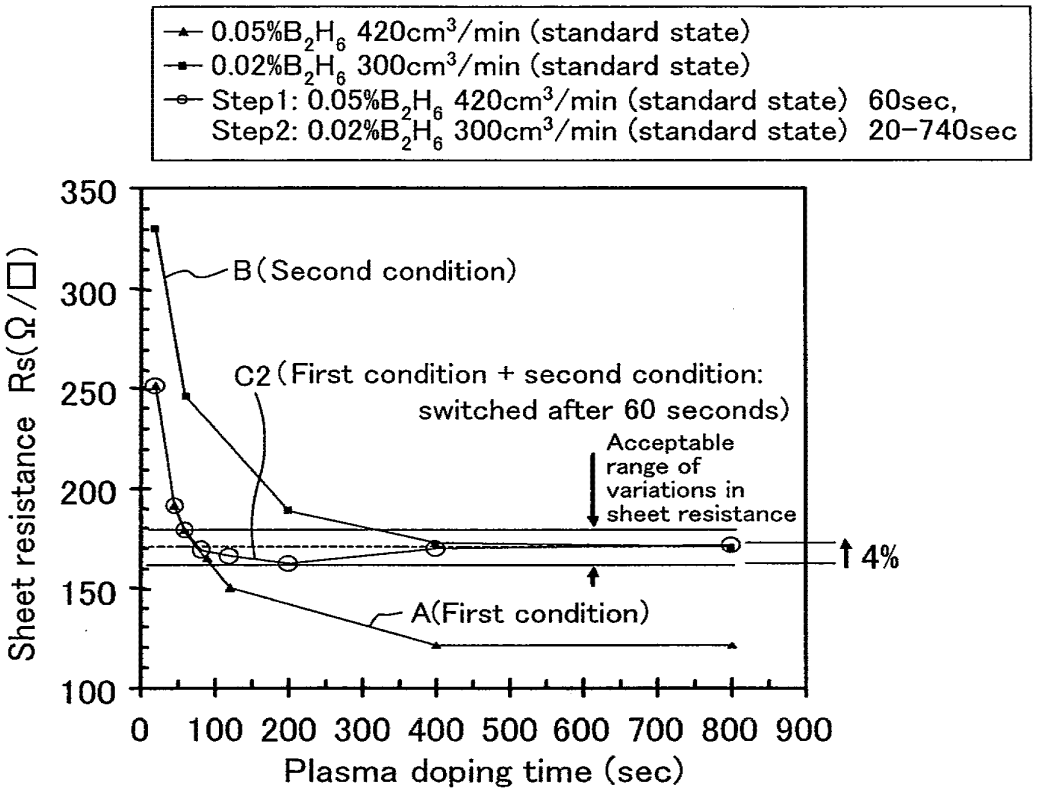

0.05%B2H6 420cm3/min (standard state)
0.02%B2H6 300cm3/min (standard state)
Step1: 0.05%B2H6 420cm3/min (standard state) 60sec,
Step2: 0.02%B2H6 300cm3/min (standard state) 20-740sec
Sheet resistance Rs(Ω/□)
350
300
250
200
150
100
B(Second condition)
C2(First condition + second condition: switched after 60 seconds)
Acceptable range of variations in sheet resistance
4%
A(First condition)
0 100 200 300 400 500 600 700 800 900
Plasma doping time (sec)

FIG. 9

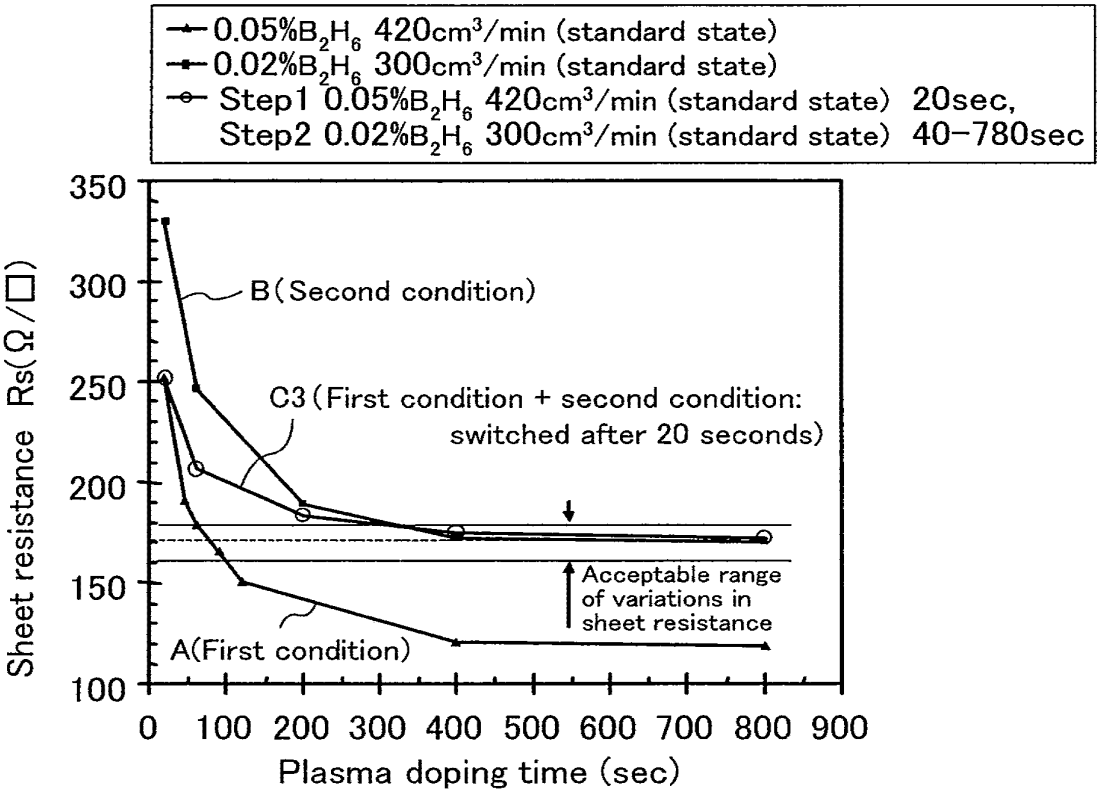

0.05%B2H6 420cm3/min (standard state)
0.02%B2H6 300cm3/min (standard state)
Step1 0.05%B2H6 420cm3/min (standard state) 20sec,
Step2 0.02%B2H6 300cm3/min (standard state) 40-780sec
Sheet resistance Rs(Ω/□)
350
300
250
200
150
100
B(Second condition)
C3(First condition + second condition: switched after 20 seconds)
Acceptable range of variations in sheet resistance
A(First condition)
0 100 200 300 400 500 600 700 800 900
Plasma doping time (sec)

FIG. 10

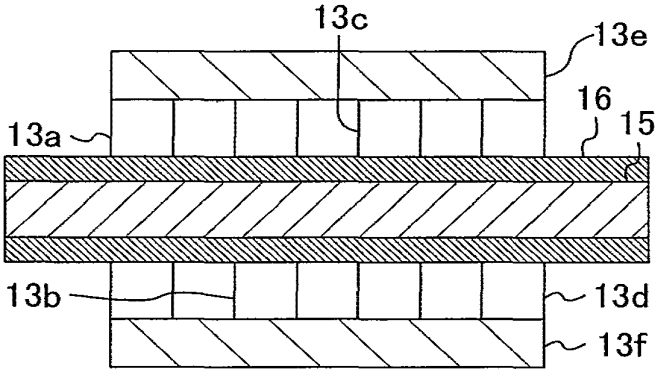


FIG. 11A

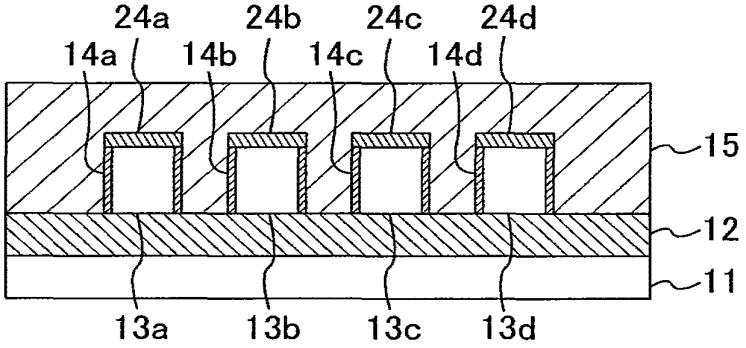


FIG. 11B

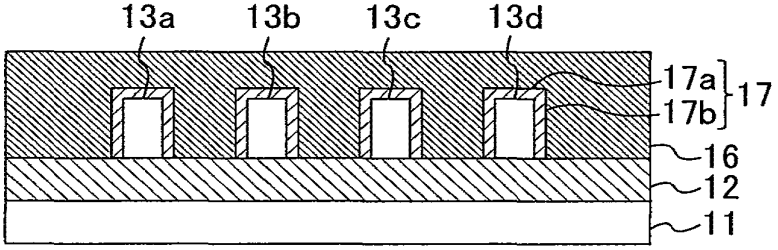


FIG. 11C

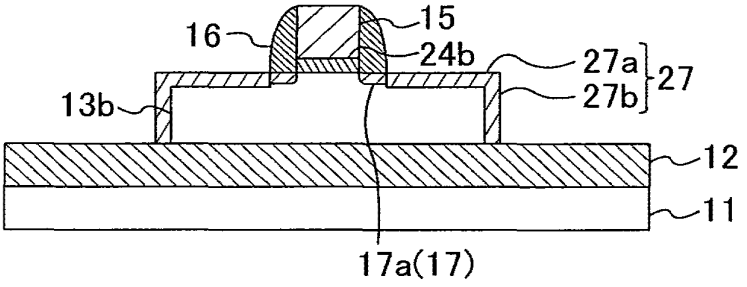


FIG. 12

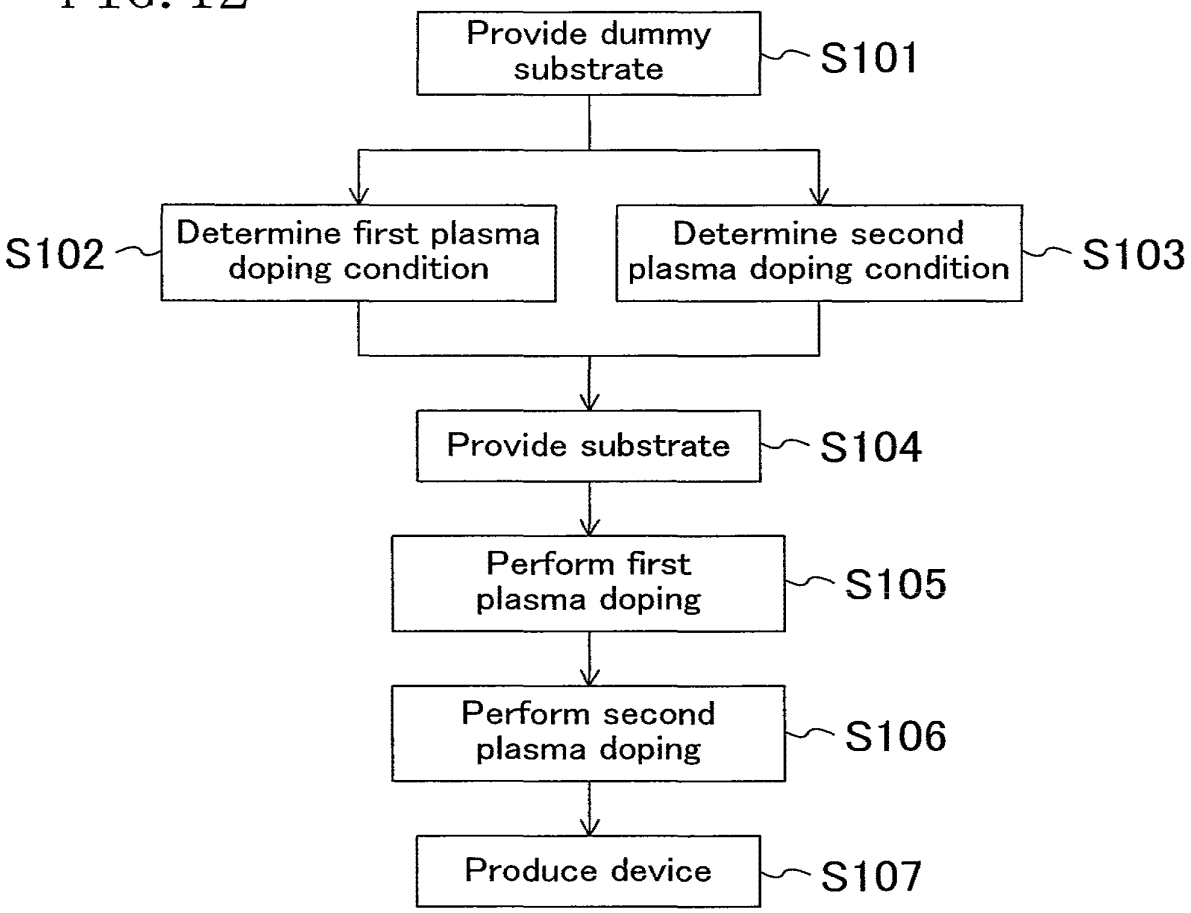

Provide dummy substrate
S101
Determine first plasma doping condition
S102
Determine second plasma doping condition
S103
Provide substrate
S104
Perform first plasma doping
S105
Perform second plasma doping
S106
Produce device
S107

FIG. 13A

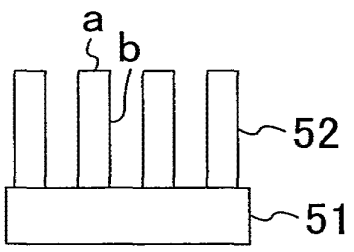


FIG. 13B

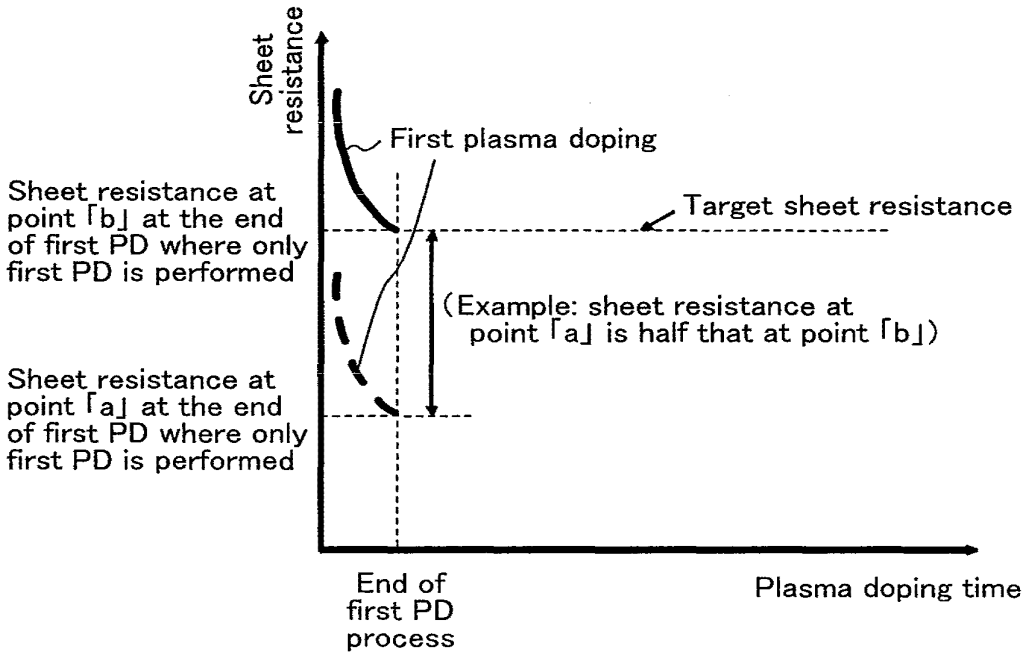


FIG. 14

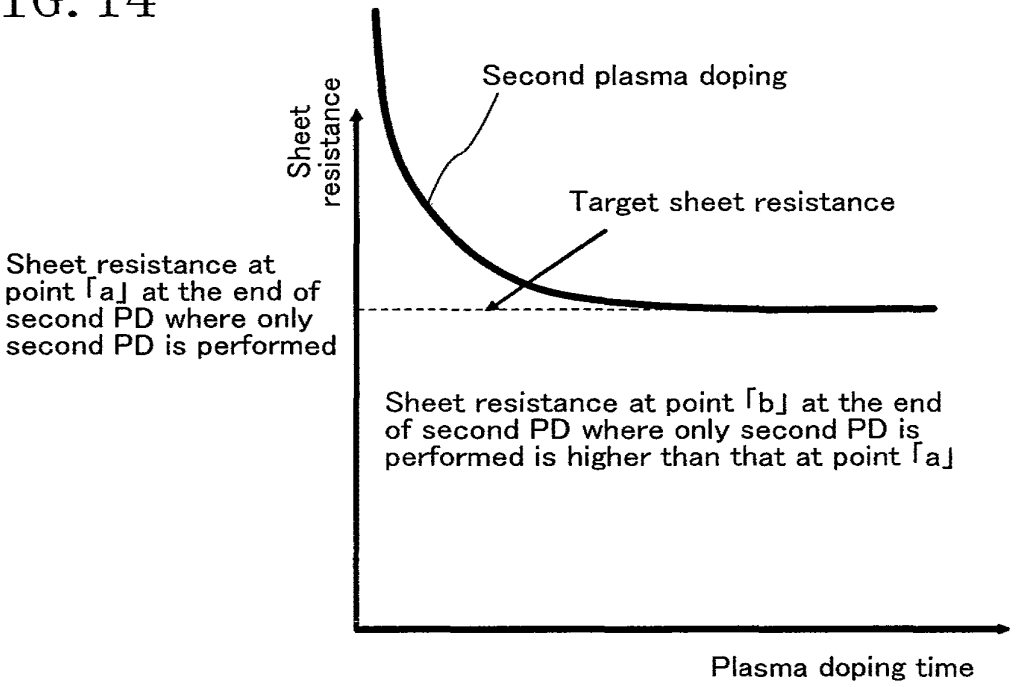

Sheet resistance
Second plasma doping
Target sheet resistance
Sheet resistance at point ⌜a⌟ at the end of second PD where only second PD is performed
Sheet resistance at point ⌜b⌟ at the end of second PD where only second PD is performed is higher than that at point ⌜a⌟
Plasma doping time

FIG. 15

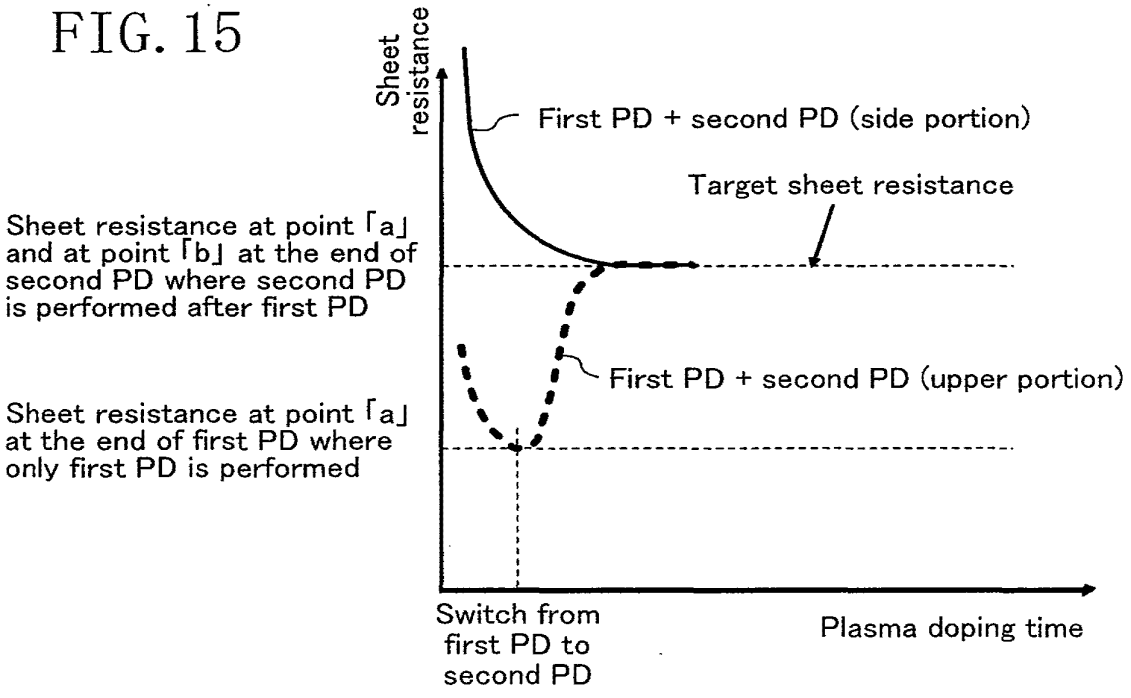

Sheet resistance
First PD + second PD (side portion)
Target sheet resistance
Sheet resistance at point ⌜a⌟ and at point ⌜b⌟ at the end of second PD where second PD is performed after first PD
First PD + second PD (upper portion)
Sheet resistance at point ⌜a⌟ at the end of first PD where only first PD is performed
Switch from first PD to second PD
Plasma doping time

FIG. 16A
PRIOR ART

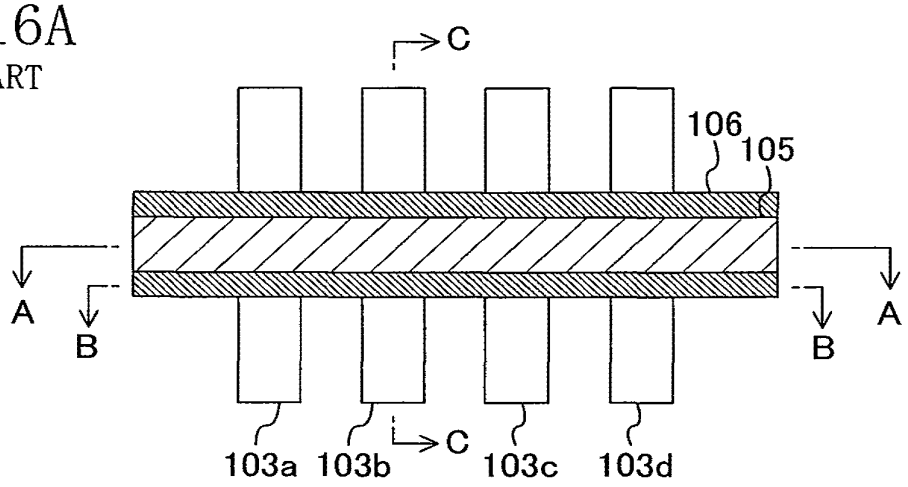


FIG. 16B
PRIOR ART

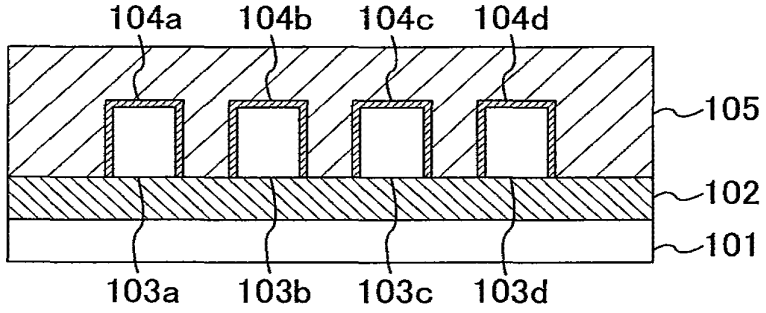


FIG. 16C
PRIOR ART

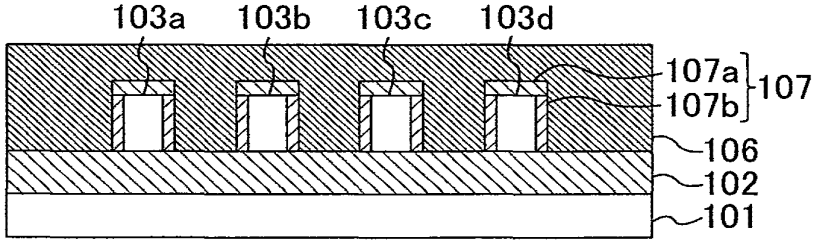


FIG. 16D
PRIOR ART

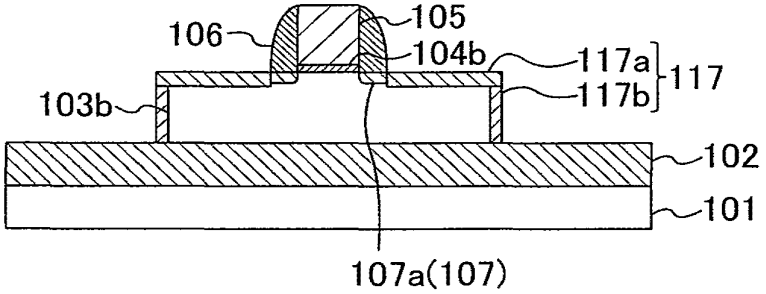


FIG. 17A
PRIOR ART

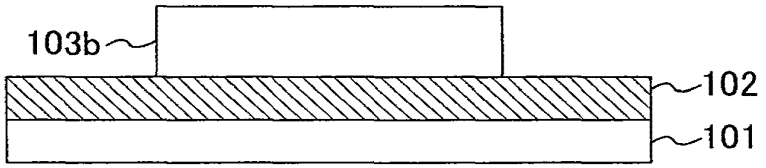


FIG. 17B
PRIOR ART

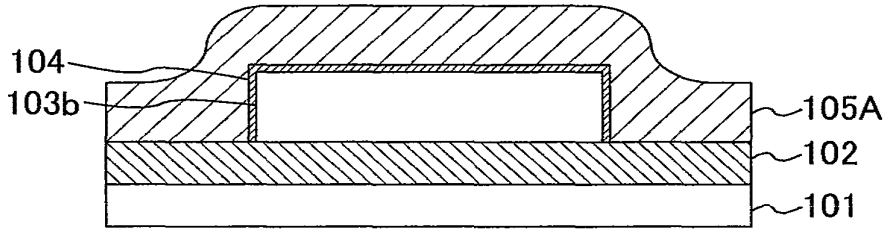


FIG. 17C
PRIOR ART

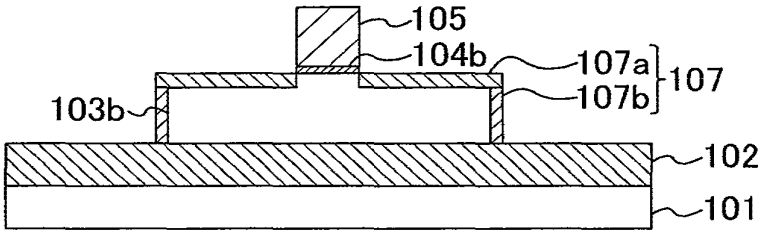


FIG. 17D
PRIOR ART

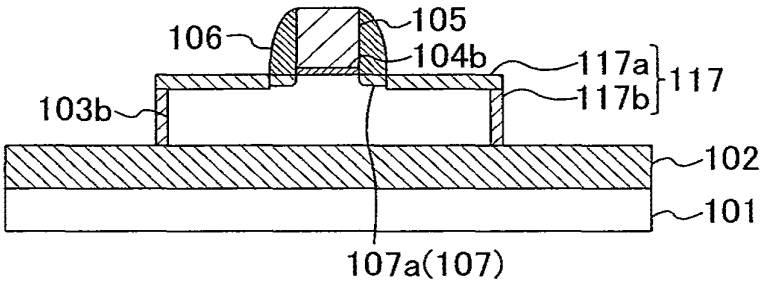


FIG. 18A
PRIOR ART

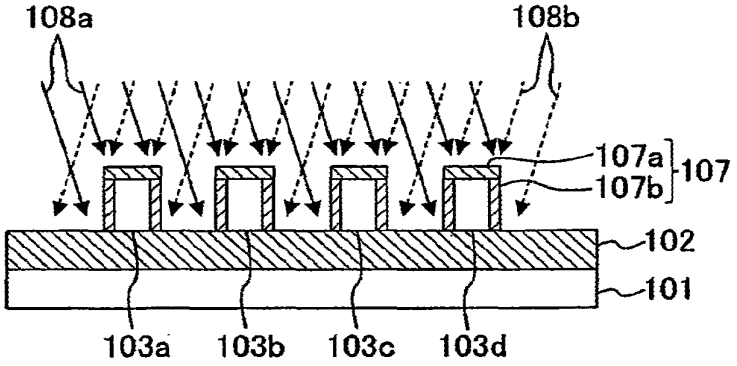
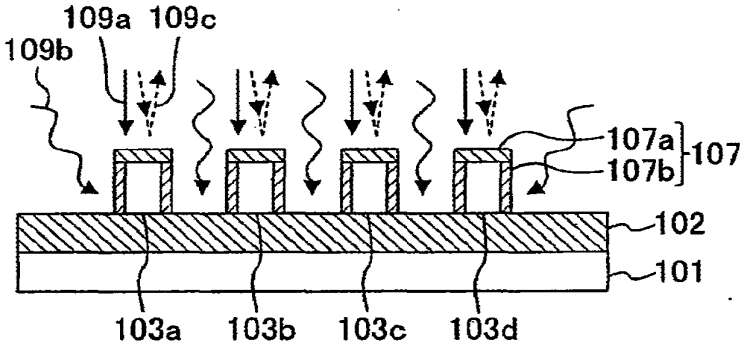


FIG. 18B
PRIOR ART



Electronic Patent Application Fee Transmittal

Application Number:	
Filing Date:	
Title of Invention:	SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME
First Named Inventor/Applicant Name:	Yuichiro SASAKI
Filer:	Michael E. Fogarty/John Patterson
Attorney Docket Number:	079195-0378

Filed as Large Entity

Utility Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Utility application filing	1011	1	310	310
Utility Search Fee	1111	1	510	510
Utility Examination Fee	1311	1	210	210
Pages:				
Claims:				
Claims in excess of 20	1202	13	50	650
Independent claims in excess of 3	1201	3	210	630
Miscellaneous-Filing:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Late filing fee for oath or declaration	1051	1	130	130
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
			Total in USD ($)	**2440**

Electronic Acknowledgement Receipt

EFS ID:	2811559
Application Number:	12025504
International Application Number:	
Confirmation Number:	1386
Title of Invention:	SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME
First Named Inventor/Applicant Name:	Yuichiro SASAKI
Customer Number:	53080
Filer:	Michael E. Fogarty/John Patterson
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	079195-0378
Receipt Date:	04-FEB-2008
Filing Date:	
Time Stamp:	17:33:52
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$2440
RAM confirmation Number	10807
Deposit Account	500417
Authorized User	

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes) /Message Digest	Multi Part /.zip	Pages (if appl.)
1	Application Data Sheet	079195-0378ADS.PDF	103996 72de07951121dad8c146a485d347c97628b95ab7	no	3
Warnings:					
Information:					
This is not an USPTO supplied ADS fillable form					
2	Information Disclosure Statement (IDS) Filed	079195-0378IDS.PDF	95151 0ad969fa238b9e87bffd72bc5488345ffa9ace97	no	3
Warnings:					
Information:					
This is not an USPTO supplied IDS fillable form					
3	Foreign Reference	079195-0378Ref1.PDF	737851 175d3976632a22bf4d27fdfab9f2d11ff5482f15	no	14
Warnings:					
Information:					
4	NPL Documents	079195-0378Ref2.PDF	281120 c5a0c08ac1a73ca0aa791000d24d1effe2dbe39c	no	2
Warnings:					
Information:					
5	Request for USPTO to retrieve priority docs	079195-0378CPD.PDF	27263 06cc512fe71f88cd0c88a6129847228509b00bdc	no	1
Warnings:					
Information:					
6	Miscellaneous Incoming Letter	079195-0378Misc.PDF	135901 4192d33967d2f9a430699745888efe71a663c72b	no	4
Warnings:					
Information:					
7		079195-0378Spec.PDF	2818939 90be215a2a4522a29809accc86223c0051ae8905	yes	67

Multipart Description/PDF files in .zip description		
Document Description	**Start**	**End**
Specification	1	45

	Claims		46	53	
	Abstract		54	54	
	Drawings-only black and white line drawings		55	67	
Warnings:					
Information:					
8	Fee Worksheet (PTO-06)	fee-info.pdf	8747 5691661b000bd84fe983520b1a85aa43d155bdf8	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	4208968		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Docket No.: 079195-0378

REQUEST FORM FOR CONTINUATION APPLICATION UNDER 35 USC 111(a)

Prior Application: **International Application No. PCT/JP2008/050253**
Art Unit:(Unassigned)
Examiner:(Unassigned)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

This is a Request for filing a continuation or continuation-in-part application, entitled

SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME, under 35

U.S.C. 111(a) of pending prior International Application No. **PCT/JP2008/050253**, filed on

January 11, 2008, by the following named inventor(s):

INVENTOR	RESIDENCE	CITIZENSHIP	POST OFFICE ADDRESS
Yuichiro SASAKI	Osaka, JAPAN	Japanese	c/o Ultimate Junction Technologies Inc., 3-1-1, Yagumonakamachi, Moriguchi-shi, Osaka 570-8501, JAPAN
Katsumi OKASHITA	Osaka, JAPAN	Japanese	c/o Ultimate Junction Technologies Inc., 3-1-1, Yagumonakamachi, Moriguchi-shi, Osaka 570-8501, JAPAN
Keiichi NAKAMOTO	Osaka, JAPAN	Japanese	c/o Ultimate Junction Technologies Inc., 3-1-1, Yagumonakamachi, Moriguchi-shi, Osaka 570-8501, JAPAN
Hiroyuki ITO	Chiba, JAPAN	Japanese	c/o Ultimate Junction Technologies Inc., 3-1-1, Yagumonakamachi,

			Moriguchi-shi, Osaka 570-8501, JAPAN
Bunji MIZUNO	Nara, JAPAN	Japanese	c/o Ultimate Junction Technologies Inc., 3-1-1, Yagumonakamachi, Moriguchi-shi, Osaka 570-8501, JAPAN

☒ I hereby verify, to the best of my knowledge, that the enclosed copy of this prior application is a true copy of the above-identified prior application as originally filed.

☐ Preliminary Amendment is enclosed.

☒ An Information Disclosure Statement and PTO1449 Form are submitted herewith.

The filing fee is calculated on the basis of the claims existing in the prior application as amended above:

	NO. OF CLAIMS		EXTRA CLAIMS	RATE	AMOUNT
Total Claims	33	-20	13	$50.00	$650.00
Independent Claims	6	-3	3	$210.00	$630.00
				Multiple Dependent Claim(s)	$0.00
				Sheets of specification and drawing ($250.00 for each 50 sheets in excess of 100)	$0.00
				Basic Filing Fee	$310.00
				Patent Search Fee	$510.00
				Patent Examination Fee	$210.00
				Processing fee of $130.00 for furnishing the English translation later than the 30 months from the earliest claimed priority date (37 CFR 1.492(f)).	$130.00
				Total of Above Calculations	$2440.00
				Less ½ for Small Entity	$0.00
				Assignment & Recording Fee	$0.00
				Total Fee	$2440.00

☒The Commissioner is hereby authorized to charge fees under 37 CFR 1.16 and 1.17 which may be required, including any extension of time fees including any extension of time fees or credit any overpayment to Deposit Account No.500417.

1. ☐ Amend the specification by inserting before the first line the sentence:

2. ☒ Priority of Japanese Patent Application No. **2007-011572** filed on **January 22, 2007**, in Japan and International Application No. **PCT/JP2008/050253** filed on **January 11,**

2008 designating the U.S. is claimed under 35 USC 119, 120 and/or 365. A certified copy of the Japanese priority document is enclosed.

3. ☒ The prior application is assigned of record to:

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.

Osaka, JAPAN

4. ☒ The power of attorney in the prior application is to:

MAEDA PATENT OFFICE

Osaka, JAPAN

5. ☒ Also enclosed:

(1) PCT Request

6. ☐ A petition, fee and response has been filed to extend the term in the pending prior application until .

7. ☒ Address all future communications to: (May only be completed by applicant, or attorney or agent of record)

McDERMOTT WILL & EMERY LLP
600 13th Street, N.W.
Washington, D. C. 20005-3096

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF: jwp
Facsimile: 202.756.8087
Date: February 04, 2008

Docket No.: 079195-0378

REQUEST FORM FOR CONTINUATION APPLICATION UNDER 35 USC 111(a)

Prior Application: **International Application No. PCT/JP2008/050253**
Art Unit:(Unassigned)
Examiner:(Unassigned)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

This is a Request for filing a continuation or continuation-in-part application, entitled

SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME, under 35

U.S.C. 111(a) of pending prior International Application No. **PCT/JP2008/050253**, filed on

January 11, 2008, by the following named inventor(s):

INVENTOR	RESIDENCE	CITIZENSHIP	POST OFFICE ADDRESS
Yuichiro SASAKI	Osaka, JAPAN	Japanese	c/o Ultimate Junction Technologies Inc., 3-1-1, Yagumonakamachi, Moriguchi-shi, Osaka 570-8501, JAPAN
Katsumi OKASHITA	Osaka, JAPAN	Japanese	c/o Ultimate Junction Technologies Inc., 3-1-1, Yagumonakamachi, Moriguchi-shi, Osaka 570-8501, JAPAN
Keiichi NAKAMOTO	Osaka, JAPAN	Japanese	c/o Ultimate Junction Technologies Inc., 3-1-1, Yagumonakamachi, Moriguchi-shi, Osaka 570-8501, JAPAN
Hiroyuki ITO	Chiba, JAPAN	Japanese	c/o Ultimate Junction Technologies Inc., 3-1-1, Yagumonakamachi,

			Moriguchi-shi, Osaka 570-8501, JAPAN
Bunji MIZUNO	Nara, JAPAN	Japanese	c/o Ultimate Junction Technologies Inc., 3-1-1, Yagumonakamachi, Moriguchi-shi, Osaka 570-8501, JAPAN

☒ I hereby verify, to the best of my knowledge, that the enclosed copy of this prior application is a true copy of the above-identified prior application as originally filed.

☐ Preliminary Amendment is enclosed.

☒ An Information Disclosure Statement and PTO1449 Form are submitted herewith.

The filing fee is calculated on the basis of the claims existing in the prior application as amended above:

	NO. OF CLAIMS		EXTRA CLAIMS	RATE	AMOUNT
Total Claims	33	-20	13	$50.00	$650.00
Independent Claims	6	-3	3	$210.00	$630.00
				Multiple Dependent Claim(s)	$0.00
				Sheets of specification and drawing ($250.00 for each 50 sheets in excess of 100)	$0.00
				Basic Filing Fee	$310.00
				Patent Search Fee	$510.00
				Patent Examination Fee	$210.00
				Processing fee of $130.00 for furnishing the English translation later than the 30 months from the earliest claimed priority date (37 CFR 1.492(f)).	$130.00
				Total of Above Calculations	$2440.00
				Less ½ for Small Entity	$0.00
				Assignment & Recording Fee	$0.00
				Total Fee	$2440.00

☒The Commissioner is hereby authorized to charge fees under 37 CFR 1.16 and 1.17 which may be required, including any extension of time fees including any extension of time fees or credit any overpayment to Deposit Account No.500417.

1. ☐ Amend the specification by inserting before the first line the sentence:

2. ☒ Priority of Japanese Patent Application No. **2007-011572** filed on **January 22, 2007**, in Japan and International Application No. **PCT/JP2008/050253** filed on **January 11,**

2008 designating the U.S. is claimed under 35 USC 119, 120 and/or 365. A certified copy of the Japanese priority document is enclosed.

3. ☒ The prior application is assigned of record to:

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.

Osaka, JAPAN

4. ☒ The power of attorney in the prior application is to:

MAEDA PATENT OFFICE

Osaka, JAPAN

5. ☒ Also enclosed:

(1) PCT Request

6. ☐ A petition, fee and response has been filed to extend the term in the pending prior application until .

7. ☒ Address all future communications to: (May only be completed by applicant, or attorney or agent of record)

McDERMOTT WILL & EMERY LLP
600 13th Street, N.W.
Washington, D. C. 20005-3096

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF: jwp
Facsimile: 202.756.8087
Date: February 04, 2008

02/04/2008

PTO/SB/06 (12-04)
Approved for use through 7/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD
Substitute for Form PTO-875

Application or Docket Number
12/025,504

APPLICATION AS FILED – PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE ($)	SMALL ENTITY FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY FEE ($)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	310
SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	510
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	210
TOTAL CLAIMS (37 CFR 1.16(i))	33	* 13	X 25=		OR	X 50=	650
INDEPENDENT CLAIMS (37 CFR 1.16(h))	6	* 3	X 100=			X 200=	630
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR						
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))			N/A			N/A	
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	2,310

APPLICATION AS AMENDED – PART II

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	SMALL ENTITY ADDI-TIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY ADDI-TIONAL FEE ($)
AMENDMENT A	Total (37 CFR 1.16(i))	*	Minus	**	=	X =		OR	X =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X =		OR	X =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))					N/A		OR	N/A	
						TOTAL ADD'T FEE		OR	TOTAL ADD'T FEE	

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDI-TIONAL FEE ($)	OR	RATE ($)	ADDI-TIONAL FEE ($)
AMENDMENT B	Total (37 CFR 1.16(i))	*	Minus	**	=	X =		OR	X =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X =		OR	X =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))					N/A		OR	N/A	
						TOTAL ADD'T FEE		OR	TOTAL ADD'T FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
12/025,504	02/04/2008	2812	2440	079195-0378	33	6

CONFIRMATION NO. 1386

53080
MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

FILING RECEIPT



Date Mailed: 02/14/2008

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please write to the Office of Initial Patent Examination's Filing Receipt Corrections. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Applicant(s)

Yuichiro SASAKI, Osaka, JAPAN;
Katsumi OKASHITA, Osaka, JAPAN;
Keiichi NAKAMOTO, Osaka, JAPAN;
Hiroyuki ITO, Chiba, JAPAN;
Bunji MIZUNO, Nara, JAPAN;

Assignment For Published Patent Application

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD., Osaka, JAPAN

Power of Attorney: None

Domestic Priority data as claimed by applicant

This application is a CON of PCT/JP2008/050253 01/11/2008

Foreign Applications

JAPAN 2007-011572 01/22/2007

Projected Publication Date: To Be Determined - pending completion of Missing Parts

Non-Publication Request: No

Early Publication Request: No

Title

SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

Preliminary Class

438

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4158).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as

set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
12/025,504	02/04/2008	Yuichiro SASAKI	079195-0378

CONFIRMATION NO. 1386

53080
MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

FORMALITIES LETTER

OC000000028273461

Date Mailed: 02/14/2008

NOTICE TO FILE MISSING PARTS OF NONPROVISIONAL APPLICATION

FILED UNDER 37 CFR 1.53(b)

Filing Date Granted

Items Required To Avoid Abandonment:

An application number and filing date have been accorded to this application. The item(s) indicated below, however, are missing. Applicant is given **TWO MONTHS** from the date of this Notice within which to file all required items and pay any fees required below to avoid abandonment. Extensions of time may be obtained by filing a petition accompanied by the extension fee under the provisions of 37 CFR 1.136(a).

- The oath or declaration is missing.
  A properly signed oath or declaration in compliance with 37 CFR 1.63, identifying the application by the above Application Number and Filing Date, is required.
  Note: If a petition under 37 CFR 1.47 is being filed, an oath or declaration in compliance with 37 CFR 1.63 signed by all available joint inventors, or if no inventor is available by a party with sufficient proprietary interest, is required.

Replies should be mailed to:

Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria VA 22313-1450

Registered users of EFS-Web may alternatively submit their reply to this notice via EFS-Web.
https://sportal.uspto.gov/authenticate/AuthenticateUserLocalEPF.html

For more information about EFS-Web please call the USPTO Electronic Business Center at **1-866-217-9197** or visit our website at http://www.uspto.gov/ebc.

If you are not using EFS-Web to submit your reply, you must include a copy of this notice.

/ewodaje/

Office of Initial Patent Examination (571) 272-4000 or 1-800-PTO-9199

Best Available Copy

APR 14 2008
PATENT & TRADEMARK OFFICE

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
12/025,504	02/04/2008	Yuichiro SASAKI	079195-0378

CONFIRMATION NO. 1386

RECEIVED
FEB 19 2008
McDermott Will & Emery LLP
DC Office

53080
MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

FORMALITIES LETTER

OC000000028273461

Date Mailed: 02/14/2008

NOTICE TO FILE MISSING PARTS OF NONPROVISIONAL APPLICATION

FILED UNDER 37 CFR 1.53(b)

Filing Date Granted

Items Required To Avoid Abandonment:

An application number and filing date have been accorded to this application. The item(s) indicated below, however, are missing. Applicant is given **TWO MONTHS** from the date of this Notice within which to file all required items and pay any fees required below to avoid abandonment. Extensions of time may be obtained by filing a petition accompanied by the extension fee under the provisions of 37 CFR 1.136(a).

- The oath or declaration is missing.
  A properly signed oath or declaration in compliance with 37 CFR 1.63, identifying the application by the above Application Number and Filing Date, is required.
  Note: If a petition under 37 CFR 1.47 is being filed, an oath or declaration in compliance with 37 CFR 1.63 signed by all available joint inventors, or if no inventor is available by a party with sufficient proprietary interest, is required.

Best Available Copy

Replies should be mailed to:

Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria VA 22313-1450

Registered users of EFS-Web may alternatively submit their reply to this notice via EFS-Web.
https://sportal.uspto.gov/authenticate/AuthenticateUserLocalEPF.html

For more information about EFS-Web please call the USPTO Electronic Business Center at **1-866-217-9197** or visit our website at http://www.uspto.gov/ebc.

If you are not using EFS-Web to submit your reply, you must include a copy of this notice.

/ewodaje/

Office of Initial Patent Examination (571) 272-4000 or 1-800-PTO-9199



Docket No.: 079195-0378 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Yuichiro SASAKI, et al.	:	Confirmation Number: 1386
Application No.: 12/025,504	:	Group Art Unit: 2812
Filed: February 04, 2008	:	Examiner: Not Yet Assigned

For: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

RESPONSE TO NOTICE OF MISSING PARTS OF APPLICATION

Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In response to the Notice of Missing Parts of Application dated **February 14, 2008**, submitted herewith are the following for filing in the above-referenced application:

1. Declaration and Power of Attorney (which is in compliance with 37 CFR 1.63)

APR 14 2008
PATENT & TRADEMARK OFFICE

Please charge Deposit Account No. 500417 in the amount of **$0.00**. To the extent necessary, Applicants petition for an extension of time under 37 C.F.R. 1.136. Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

It is requested that the official filing receipt now be issued.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:aej
Facsimile: 202.756.8087
Date: April 14, 2008

Best Available Copy

MEI Form -2.1, (Sep, 2007)

IAP87 APR 14 2008 PATENT & TRADEMARK OFFICE

Matsushita Ref*: P047830-02
(* must be filled)
Japan Firm Name: MAEDA PATENT OFFICE
US Firm Name: MWE

Application Serial No. 12/025,504
Japan Firm Ref: M07-Z-445US1
US Firm Ref: 079195-0378

DECLARATION AND POWER OF ATTORNEY FOR U.S. PATENT APPLICATION

(a) ■ Original (b) ☐ Supplemental (c) ☐ Substitute (d) ☐ PCT (e) ☐ Design

As a below named inventor, I hereby declare that: my residence, post office address and citizenship are as stated below next to my name; and I believe that I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural inventors are named below) of the subject matter which is claimed and for which a patent is sought on the invention entitled:

Title of Invention:

SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

which is described and claimed in *(if the following box is not checked, the specification of which is attached hereto):*

1. For use when submitting this Declaration prior to U.S. application filing date				
(f) ☐ the attached specification, or				
2. For use when submitting this Declaration after U.S. application filing date				
(g) ■ the specification in the U.S. Application:	Application No. *(if available)*	12/025,504	filed on: *(must be filled)*	February4,2008
	and with amendments (if applicable):		filed on	,or
3. For PCT-US national entry under 35 U.S.C. 371 (for use when filing this Declaration before and after the U.S. national entry date)				
(h) ☐ the specification in the International Application:	PCT Application		filed on: *(PCT filing date)*	,
(Check here only for US national entry under 35 U.S.C. 371.)	and with amendments (if applicable):		filed on:	,

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment(s) referred to above.

I acknowledge my duty to disclose to the U.S. Patent and Trademark Office all information known to me to be material to patentability as defined in Title 37, Code of Federal Regulations, §1.56.

I hereby claim foreign priority benefits under Title 35, United States Code, §119 (a-d), §172, or §365(b) of any foreign application(s) for patent or inventor's certificate, or §365(a) of any PCT international application which designated at least one country other than the United States of America, listed below, and have also identified below any foreign application for patent or inventor's certificate, or of any PCT international application having a filing date before that of the application on which priority is claimed:

(Foreign Priority Information)

COUNTRY	APPLICATION NO.	DATE OF FILING	PRIORITY CLAIMED
Japan	2007-011572	January 22, 2007	Yes

☐ Additional foreign or international application numbers are listed on a supplemental priority sheet attached hereto.

I hereby claim the benefit under Title 35, United States Code §119(e) of any United States Provisional application(s) listed below.

(US Provisional Application Information)

APPLICATION NO.	U.S. PROVISIONAL APPLICATION FILING DATE

□ Additional U.S. provisional application numbers are listed on a supplemental priority sheet attached hereto.

I hereby claim the benefit under Title 35, United States Code §120 of any United States application(s), or §365(C) of any PCT international application designating the United States of America, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT international application in the manner provided by the first paragraph of Title 35, United States Code §112, I acknowledge the duty to disclose information material to patentability as defined in Title 37, Code of Federal Regulations, §1.56 which occurred between the filing date of the prior application and the national or PCT international filing date of this application.

(Domestic Priority Information)

APPLICATION NO.	U.S. FILING DATE	STATUS: PATENTED, PENDING, ABANDONED
PCT/JP2008/050253	January 11, 2008	Pending

□ Additional U.S. or international application numbers are listed on a supplemental priority sheet attached hereto.

POWER OF ATTORNEY: As a named inventor, I hereby appoint the attorneys and agents associated with U.S. Patent and Trademark Office Customer Number identified below to prosecute this application and to transact all business in the U.S. Patent and Trademark Office connected therewith, and direct that all correspondence be addressed to that customer number.

I hereby authorize the U.S. attorneys and agents associated with the customer number to accept and follow instructions from Matsushita Electric Industrial Co., Ltd., and any affiliated or subsidiary company thereof, received via their corporate representatives and/or their foreign patent attorneys or agents, if any, as to any action to be taken in the U.S. Patent and Trademark Office regarding this application without direct communication between the U.S. attorneys or agents and myself.

Direct Correspondence to:

CUSTOMER NUMBER 53080

I further declare that all statements made herein of my own knowledge are true, and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code, and that such willful false statements may jeopardize the validity of the application or any patent issuing thereon.

INVENTOR (s)

Full Name of Sole or First Inventor	FIRST NAME Yuichiro	LAST NAME SASAKI	SIGNATURE Yuichiro Sasaki	DATE OF SIGNATURE 18. March 2008
Residence & Citizenship	CITY, STATE or COUNTRY Osaka, Japan			CITIZENSHIP Japan
Post office address	ADDRESS C/O Ultimate Junction Technologies Inc., 3-1-1, Yagumonakamachi, Moriguchi-shi, Osaka, Japan 570-8501	CITY	STATE OR COUNTRY	ZIP CODE

Full Name of Second Inventor	FIRST NAME Katsumi	LAST NAME OKASHITA	SIGNATURE Katsumi Okashita	DATE OF SIGNATURE 18. March. 2008
Residence & Citizenship	CITY, STATE or COUNTRY Osaka, Japan			CITIZENSHIP Japan
Post office address	ADDRESS C/O Ultimate Junction Technologies Inc., 3-1-1, Yagumonakamachi, Moriguchi-shi, Osaka, Japan 570-8501	CITY	STATE OR COUNTRY	ZIP CODE

INVENTOR (s)

Full Name of Third Inventor	**FIRST NAME** Keiichi	**LAST NAME** NAKAMOTO	**SIGNATURE** Keiichi Nakamoto	**DATE OF SIGNATURE** 14, March 2008
Residence & Citizenship	**CITY, STATE or COUNTRY** Osaka, Japan			**CITIZENSHIP** Japan
Post office address	**ADDRESS** C/O Ultimate Junction Technologies Inc., 3-1-1, Yagumonakamachi, Moriguchi-shi, Osaka, Japan 570-8501	**CITY**	**STATE OR COUNTRY**	**ZIP CODE**

Full Name of Fourth Inventor	**FIRST NAME** Hiroyuki	**LAST NAME** ITO	**SIGNATURE** Hiroyuki Ito	**DATE OF SIGNATURE** 21. March 2008
Residence & Citizenship	**CITY, STATE or COUNTRY** Chiba, Japan			**CITIZENSHIP** Japan
Post office address	**ADDRESS** C/O Ultimate Junction Technologies Inc., 3-1-1, Yagumonakamachi, Moriguchi-shi, Osaka, Japan 570-8501	**CITY**	**STATE OR COUNTRY**	**ZIP CODE**

Full Name of Fifth Inventor	**FIRST NAME** Bunji	**LAST NAME** MIZUNO	**SIGNATURE** Bunji Mizuno	**DATE OF SIGNATURE** 14. March 2008
Residence & Citizenship	**CITY, STATE or COUNTRY** Nara, Japan			**CITIZENSHIP** Japan
Post office address	**ADDRESS** C/O Ultimate Junction Technologies Inc., 3-1-1, Yagumonakamachi, Moriguchi-shi, Osaka, Japan 570-8501	**CITY**	**STATE OR COUNTRY**	**ZIP CODE**

Full Name of Sixth Inventor	**FIRST NAME**	**LAST NAME**	**SIGNATURE**	**DATE OF SIGNATURE**
Residence & Citizenship	**CITY, STATE or COUNTRY**			**CITIZENSHIP**
Post office address	**ADDRESS**	**CITY**	**STATE OR COUNTRY**	**ZIP CODE**

Full Name of Seventh Inventor	**FIRST NAME**	**LAST NAME**	**SIGNATURE**	**DATE OF SIGNATURE**
Residence & Citizenship	**CITY, STATE or COUNTRY**			**CITIZENSHIP**
Post office address	**ADDRESS**	**CITY**	**STATE OR COUNTRY**	**ZIP CODE**

Full Name of Eighth Inventor	**FIRST NAME**	**LAST NAME**	**SIGNATURE**	**DATE OF SIGNATURE**
Residence & Citizenship	**CITY, STATE or COUNTRY**			**CITIZENSHIP**
Post office address	**ADDRESS**	**CITY**	**STATE OR COUNTRY**	**ZIP CODE**

□ Check if additional paper(s) is/are attached. Total of _____pages are submitted.

Request to Retrieve Electronic Priority Application(s)

PTO/SB/37 (04-07)
Approved for use through 06/30/2007. OMB 0651-0032
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
APR 14 2008
PATENT & TRADEMARK OFFICE

Send completed form to: Commissioner for Patents
P.O. Box 1450, Alexandria, VA 22313-1450

COMPLETE IF KNOWN	
Application Number	12/025,504
Filing Date	February 04, 2008
Art Unit	2812
Examiner Name	Not Yet Assigned
Attorney Docket Number	079195-0378

The undersigned hereby requests the USPTO retrieve an electronic copy of each of the following foreign applications for which benefit has been claimed under 35 U.S.C. 119(a)-(d) from a foreign intellectual property office participating with the USPTO in a bilateral or multilateral priority document exchange agreement:

Please retrieve *(check all that apply)*

☒ The following applications originally filed in participating offices (only list the Participating Office and the Participating Office Application Number (columns 1 and 2 below)):

☐ The following applications originally filed in non-participating offices (must list the information for all three columns below):

1. Participating Office with which the Priority Application, or the Copy, was filed (e.g., EPO)	2. Participating Office Application Number in which the Priority Application, or a Copy, was filed (e.g., 03101432)		3. Non-Participating Office Application Number (Priority Application), if applicable	
	App. No.	Filing Date	Office	App. No.
1. JPO	2007-011572	January 22, 2007		
2.				
3.				
4.				
5.				
6.				

This Request to Retrieve Electronic Priority Application(s) (Request) should be filed within the later of four months from the date of filing the above-identified application claiming foreign priority, or sixteen months from the filing date of the foreign application to which priority is claimed.

This Request should be submitted concurrently with the claim for priority, or thereafter. The USPTO will not attempt to retrieve the identified priority application(s) until applicant identifies the indicated priority application(s) on the oath or declaration or an application data sheet in compliance with 37 CFR 1.63(c).

Applicants are advised to consult Private PAIR (accessed through www.uspto.gov) to assure that the retrieval has been successful. The applicant remains ultimately responsible for the submission of the certified copy of the foreign application(s) within the period set forth in 37 CFR 1.55(a) (before the U.S. application issues as a patent) if the USPTO does not timely retrieve the identified priority application(s).

I hereby declare that I have the authority to grant access to the above-identified applications.

Signature	April 14, 2008
	Date
Michael E. Fogarty	202-756-8000
Printed or Typed Name	Telephone Number
	36,139
Title	Registration Number, if applicable

This collection of information is required by 37 CFR 1.55(d). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process an application). Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 8 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

OIPE IAP97
APR 14 2008
PATENT & TRADEMARK OFFICE

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.0 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
12/025,504	02/04/2008	2812	2440	079195-0378	33	6

CONFIRMATION NO. 1386

53080
MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

UPDATED FILING RECEIPT

OC00000029568288

Date Mailed: 04/24/2008

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please write to the Office of Initial Patent Examination's Filing Receipt Corrections. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Applicant(s)

Yuichiro SASAKI, Osaka, JAPAN;
Katsumi OKASHITA, Osaka, JAPAN;
Keiichi NAKAMOTO, Osaka, JAPAN;
Hiroyuki ITO, Chiba, JAPAN;
Bunji MIZUNO, Nara, JAPAN;

Assignment For Published Patent Application

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD., Osaka, JAPAN

Power of Attorney: The patent practitioners associated with Customer Number 53080

Domestic Priority data as claimed by applicant

This application is a CON of PCT/JP2008/050253 01/11/2008

Foreign Applications

JAPAN 2007-011572 01/22/2007

Request to Retrieve - This application either claims priority to one or more applications filed in an intellectual property Office that participates in the Priority Document Exchange (PDX) program or contains a proper **Request to Retrieve Electronic Priority Application(s)** (PTO/SB/38 or its equivalent). Consequently, the USPTO will attempt to electronically retrieve these priority documents.

If Required, Foreign Filing License Granted: 04/24/2008

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 12/025,504**

Projected Publication Date: 07/31/2008

Non-Publication Request: No

Early Publication Request: No

Title

SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

Preliminary Class

438

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4158).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

日　本　国　特　許　庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出　願　年　月　日
Date of Application:　２００７年　１月２２日

出　願　番　号
Application Number:　特願２００７－０１１５７２

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号
The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is　ＪＰ２００７－０１１５７２

出　願　人
Applicant(s):　松下電器産業株式会社

２００８年　６月２４日

特許庁長官
Commissioner,
Japan Patent Office　肥塚雅博

【書類名】　特許願
【整理番号】　2087080012
【提出日】　平成19年 1月22日
【あて先】　特許庁長官殿
【国際特許分類】　H01L 21/265
【発明者】
　【住所又は居所】　大阪府守口市八雲中町３丁目１番１号　株式会社ユー・ジェー・ティー・ラボ内
　【氏名】　佐々木　雄一朗
【発明者】
　【住所又は居所】　大阪府守口市八雲中町３丁目１番１号　株式会社ユー・ジェー・ティー・ラボ内
　【氏名】　岡下　勝己
【発明者】
　【住所又は居所】　大阪府守口市八雲中町３丁目１番１号　株式会社ユー・ジェー・ティー・ラボ内
　【氏名】　中本　圭一
【発明者】
　【住所又は居所】　大阪府守口市八雲中町３丁目１番１号　株式会社ユー・ジェー・ティー・ラボ内
　【氏名】　伊藤　裕之
【発明者】
　【住所又は居所】　大阪府守口市八雲中町３丁目１番１号　株式会社ユー・ジェー・ティー・ラボ内
　【氏名】　水野　文二
【特許出願人】
　【識別番号】　000005821
　【氏名又は名称】　松下電器産業株式会社
【代理人】
　【識別番号】　100077931
　【弁理士】
　【氏名又は名称】　前田　弘
【選任した代理人】
　【識別番号】　100110939
　【弁理士】
　【氏名又は名称】　竹内　宏
【選任した代理人】
　【識別番号】　100110940
　【弁理士】
　【氏名又は名称】　嶋田　高久
【選任した代理人】
　【識別番号】　100113262
　【弁理士】
　【氏名又は名称】　竹内　祐二
【選任した代理人】
　【識別番号】　100115059
　【弁理士】
　【氏名又は名称】　今江　克実

【選任した代理人】
　【識別番号】　100115691
　【弁理士】
　【氏名又は名称】　藤田　篤史
【選任した代理人】
　【識別番号】　100117581
　【弁理士】
　【氏名又は名称】　二宮　克也
【選任した代理人】
　【識別番号】　100117710
　【弁理士】
　【氏名又は名称】　原田　智雄
【選任した代理人】
　【識別番号】　100121728
　【弁理士】
　【氏名又は名称】　井関　勝守
　【電話番号】　06-6125-2255
　【連絡先】　担当
【選任した代理人】
　【識別番号】　100124671
　【弁理士】
　【氏名又は名称】　関　啓
【選任した代理人】
　【識別番号】　100131060
　【弁理士】
　【氏名又は名称】　杉浦　靖也
【手数料の表示】
　【予納台帳番号】　014409
　【納付金額】　16,000円
【提出物件の目録】
　【物件名】　特許請求の範囲　1
　【物件名】　明細書　1
　【物件名】　図面　1
　【物件名】　要約書　1
　【包括委任状番号】　0505962

【書類名】特許請求の範囲
【請求項１】
支持基板上に形成され、且つ上面及び側面を有する第１の半導体領域と、
前記第１の半導体領域の上部に形成された第１導電型の第１の不純物領域と、
前記第１の半導体領域の側部に形成された第１導電型の第２の不純物領域とを備え、
前記第２の不純物領域の注入ドーズ量は前記第１の不純物領域の注入ドーズ量と比べて同等以上であることを特徴とする半導体装置。
【請求項２】
請求項１に記載の半導体装置において、
前記第２の不純物領域の接合深さは、前記第１の不純物領域の接合深さと比べて同等以上であることを特徴とする半導体装置。
【請求項３】
請求項１又は２に記載の半導体装置において、
前記第１の半導体領域はフィン形状を有していることを特徴とする半導体装置。
【請求項４】
請求項１～３のいずれか１項に記載の半導体装置において、
前記第１の半導体領域は、前記支持基板上に形成された絶縁層上に形成されていることを特徴とする半導体装置。
【請求項５】
請求項１～４のうちのいずれか１項に記載の半導体装置において、
前記第１の半導体領域の所定の部分における少なくとも側面上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極とをさらに備え、
前記第１の不純物領域及び前記第２の不純物領域は、前記第１の半導体領域における前記所定の部分以外の他の部分に形成されていることを特徴とする半導体装置。
【請求項６】
請求項５に記載の半導体装置において、
前記ゲート絶縁膜は、前記第１の半導体領域の前記所定の部分における上面上にも形成されていることを特徴とする半導体装置。
【請求項７】
請求項５又は６に記載の半導体装置において、
前記第１の不純物領域及び前記第２の不純物領域はＰ型のエクステンション領域であることを特徴とする半導体装置。
【請求項８】
請求項５～７のうちのいずれか１項に記載の半導体装置において、
前記ゲート電極の側面上に形成された絶縁性サイドウォールスペーサと、
前記第１の半導体領域の上部に形成された第１導電型の第３の不純物領域と、
前記第１の半導体領域の側部に形成された第１導電型の第４の不純物領域とをさらに備え、
前記第３の不純物領域及び前記第４の不純物領域は、前記第１の半導体領域の前記他の部分における前記絶縁性サイドウォールスペーサの外側に位置する部分に形成されており、
前記第４の不純物領域の注入ドーズ量は前記第３の不純物領域の注入ドーズ量と比べて同等以上であることを特徴とする半導体装置。
【請求項９】
請求項８に記載の半導体装置において、
前記第３の不純物領域及び前記第４の不純物領域はＰ型のソース・ドレイン領域であることを特徴とする半導体装置。
【請求項１０】
請求項５又は６に記載の半導体装置において、

前記ゲート電極の側面上に形成された絶縁性サイドウォールスペーサをさらに備え、
前記第１の不純物領域及び前記第２の不純物領域は、前記第１の半導体領域の前記他の部分における前記絶縁性サイドウォールスペーサの外側に位置する部分に形成されていることを特徴とする半導体装置。
【請求項１１】
請求項５、６又は１０のうちのいずれか１項に記載の半導体装置において、
前記第１の不純物領域及び前記第２の不純物領域はＰ型のソース・ドレイン領域であることを特徴とする半導体装置。
【請求項１２】
請求項５～１１のうちのいずれか１項に記載の半導体装置において、
前記第１の半導体領域の側面の高さは、前記第１の半導体領域の上面におけるゲート幅方向の幅と比べて大きいことを特徴とする半導体装置。
【請求項１３】
支持基板上に形成され、且つ上面及び側面をそれぞれ有する複数の半導体領域と、
前記複数の半導体領域のそれぞれの上部に形成された第１導電型の第１の不純物領域と、
前記複数の半導体領域のそれぞれの側部に形成された第１導電型の第２の不純物領域とを備え、
前記第２の不純物領域の注入ドーズ量は前記第１の不純物領域の注入ドーズ量と比べて同等以上であることを特徴とする半導体装置。
【請求項１４】
請求項１３に記載の半導体装置において、
前記複数の半導体領域のそれぞれの上にゲート絶縁膜を介して形成されたゲート電極をさらに備え、
前記ゲート電極はゲート幅方向に前記複数の半導体領域を跨いでいることを特徴とする半導体装置。
【請求項１５】
請求項１４に記載の半導体装置において、
前記第１の不純物領域及び前記第２の不純物領域はＰ型のエクステンション領域であることを特徴とする半導体装置。
【請求項１６】
請求項１４に記載の半導体装置において、
前記第１の不純物領域及び前記第２の不純物領域はＰ型のソース・ドレイン領域であることを特徴とする半導体装置。
【請求項１７】
請求項１３～１６のうちのいずれか１項に記載の半導体装置において、
前記複数の半導体領域のそれぞれにおけるゲート長方向の両端部を接続する第３の半導体領域をさらに備えていることを特徴とする半導体装置。
【請求項１８】
支持基板上に、上面及び側面を有する第１の半導体領域を形成する工程（ａ）と、
前記第１の半導体領域に第１導電型の不純物をプラズマドーピング法によって注入し、それにより、前記第１の半導体領域の上部に第１の不純物領域を形成すると共に、前記第１の半導体領域の側部に第２の不純物領域を形成する工程（ｂ）とを備え、
前記工程（ｂ）において、注入ドーズ量が第１のドーズ量となる第１の条件でプラズマドーピング法を実施した後、注入ドーズ量が前記第１のドーズ量よりも小さい第２のドーズ量となる第２の条件でプラズマドーピング法を実施することを特徴とする半導体装置の製造方法。
【請求項１９】
請求項１８に記載の半導体装置の製造方法において、
前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、

前記第１の条件における前記ガスの濃度は前記第２の条件における前記ガスの濃度よりも高いことを特徴とする半導体装置の製造方法。

【請求項２０】

請求項１８又は１９に記載の半導体装置の製造方法において、

前記工程（ｂ）の後、前記第２の不純物領域の注入ドーズ量は前記第１の不純物領域の注入ドーズ量と比べて同等以上であることを特徴とする半導体装置の製造方法。

【請求項２１】

請求項１８～２０のうちのいずれか１項に記載の半導体装置の製造方法において、

前記工程（ａ）よりも前に、前記支持基板上に絶縁層を形成する工程をさらに備え、

前記工程（ａ）において前記絶縁層上に前記第１の半導体領域を形成することを特徴とする半導体装置の製造方法。

【請求項２２】

請求項１８～２１のうちのいずれか１項に記載の半導体装置の製造方法において、

前記第１の半導体領域の側面は、前記第１の半導体領域の上面に対して垂直な面であることを特徴とする半導体装置の製造方法。

【請求項２３】

請求項１８～２２のうちのいずれか１項に記載の半導体装置の製造方法において、

前記第１の不純物領域において、前記第１の条件でプラズマドーピング法を実施した時点での注入ドーズ量と比べて、前記第２の条件でプラズマドーピング法を実施した時点での注入ドーズ量が減少することを特徴とする半導体装置の製造方法。

【請求項２４】

請求項１８～２３のうちのいずれか１項に記載の半導体装置の製造方法において、

前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、

前記不純物を含むガスは、ボロン原子と水素原子とからなる分子$B_m H_n$（ｍ、ｎは自然数）を含むことを特徴とする半導体装置の製造方法。

【請求項２５】

請求項１８～２３のうちのいずれか１項に記載の半導体装置の製造方法において、

前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、

前記不純物を含むガスは、ボロン原子を含む分子を希ガスで希釈してなるガスであることを特徴とする半導体装置の製造方法。

【請求項２６】

請求項１８～２３のうちのいずれか１項に記載の半導体装置の製造方法において、

前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、

前記不純物を含むガスは、前記不純物を含む分子をヘリウムで希釈してなるガスであることを特徴とする半導体装置の製造方法。

【請求項２７】

請求項１８～２３のうちのいずれか１項に記載の半導体装置の製造方法において、

前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、

前記不純物を含むガスは、$B_2 H_6$ とＨｅとの混合ガスであることを特徴とする半導体装置の製造方法。

【請求項２８】

請求項２７に記載の半導体装置の製造方法において、

前記混合ガスにおける$B_2 H_6$ の質量濃度は０．０１％以上で且つ１％以下であることを特徴とする半導体装置の製造方法。

【請求項２９】

請求項１８～２３のうちのいずれか１項に記載の半導体装置の製造方法において、

前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、

前記不純物を含むガスは、BF_3 、AsH_4 又はPH_3 を含むことを特徴とする半導体装置の製造方法。

【請求項３０】

請求項１８～２９のうちのいずれか１項に記載の半導体装置の製造方法において、
前記工程（ｂ）の前に、前記第１の半導体領域と同様の半導体領域が設けられた複数のダミー基板のそれぞれにおける当該半導体領域に前記不純物を様々な条件でプラズマドーピング法によって注入し、当該半導体領域の側部に形成される不純物領域のシート抵抗が所望値になるときの条件を前記第１の条件として決定すると共に当該半導体領域の上部に形成される不純物領域のシート抵抗が所望値になるときの条件を前記第２の条件として決定する工程をさらに備えていることを特徴とする半導体装置の製造方法。
【請求項３１】
半導体領域に第１導電型の不純物をプラズマドーピング法によって注入し、それにより、前記半導体領域に不純物領域を形成する工程を備えた半導体装置の製造方法において、
前記不純物領域を形成する工程は、注入ドーズ量が第１のドーズ量となる第１の条件でプラズマドーピング法を実施する工程（ａ）と、前記工程（ａ）の後に、注入ドーズ量が前記第１のドーズ量よりも小さい第２のドーズ量となる第２の条件でプラズマドーピング法を実施する工程（ｂ）とを有することを特徴とする半導体装置の製造方法。

【書類名】明細書
【発明の名称】半導体装置及びその製造方法
【技術分野】
【０００１】
本発明は、半導体装置及びその製造方法に関し、特に、基板上にフィン形状の半導体領域を有する３次元構造の半導体装置及びその製造方法に関するものである。
【背景技術】
【０００２】
近年、半導体装置の高集積化、高機能化及び高速化に伴って、益々半導体装置の微細化の要求が高まっている。そこで、基板上におけるトランジスタの占有面積の低減を目指して種々のデバイス構造が提案されている。その中でも、フィン型構造を持つ電界効果トランジスタが注目されている。このフィン型構造を持つ電界効果トランジスタは、一般的にフィン型ＦＥＴ（field effect transistor ）と呼ばれ、基板の主面に対して垂直な薄い壁（フィン）状の半導体領域からなる活性領域を有している。フィン型ＦＥＴにおいては、半導体領域の側面をチャネル面として用いることができるため、基板上におけるトランジスタの占有面積を低減することができる（例えば特許文献１、非特許文献１参照）。
【０００３】
図１６（ａ）～（ｄ）は、従来のフィン型ＦＥＴの構造を示す図であり、図１６（ａ）は要部平面図であり、図１６（ｂ）は図１６（ａ）におけるＡ－Ａ線の要部断面図であり、図１６（ｃ）は図１６（ａ）におけるＢ－Ｂ線の要部断面図であり、図１６（ｄ）は図１６（ａ）におけるＣ－Ｃ線の要部断面図である。
【０００４】
従来のフィン型ＦＥＴは、図１６（ａ）～（ｄ）に示すように、シリコンからなる支持基板１０１と、支持基板１０１上に形成された酸化シリコンからなる絶縁層１０２と、絶縁層１０２上にフィン形状に形成された半導体領域（以下、「フィン型半導体領域」と称する）１０３ａ～１０３ｄと、フィン型半導体領域１０３ａ～１０３ｄ上にゲート絶縁膜１０４ａ～１０４ｄを介して形成されたゲート電極１０５と、ゲート電極１０５の側面上に形成された絶縁性サイドウォールスペーサ１０６と、フィン型半導体領域１０３ａ～１０３ｄにおけるゲート電極１０５を挟む両側方領域に形成されたエクステンション領域１０７と、フィン型半導体領域１０３ａ～１０３ｄにおけるゲート電極１０５及び絶縁性サイドウォールスペーサ１０６を挟む両側方領域に形成されたソース・ドレイン領域１１７とを有している。フィン型半導体領域１０３ａ～１０３ｄは、絶縁層１０２上においてゲート幅方向に一定間隔で並ぶように配置されている。ゲート電極１０５は、ゲート幅方向にフィン型半導体領域１０３ａ～１０３ｄを跨ぐように形成されている。エクステンション領域１０７は、フィン型半導体領域１０３ａ～１０３ｂのそれぞれの上部に形成された第１の不純物領域１０７ａと、フィン型半導体領域１０３ａ～１０３ｂのそれぞれの側部に形成された第２の不純物領域１０７ｂとから構成されている。また、ソース・ドレイン領域１１７は、フィン型半導体領域１０３ａ～１０３ｂのそれぞれの上部に形成された第３の不純物領域１１７ａと、フィン型半導体領域１０３ａ～１０３ｂのそれぞれの側部に形成された第４の不純物領域１１７ｂとから構成されている。尚、ポケット領域の説明及び図示については省略する。
【０００５】
図１７（ａ）～（ｄ）は、従来の半導体装置の製造方法を工程順に示す要部断面図である。尚、図１７（ａ）～（ｄ）は、図１６（ａ）におけるＣ－Ｃ線の断面構成と対応している。また、図１７（ａ）～（ｄ）において、図１６（ａ）～（ｄ）に示す構造と同一の構成要素には同一の符号を付し、重複する説明を省略する。
【０００６】
まず、図１７（ａ）に示すように、シリコンからなる支持基板１０１上に酸化シリコンからなる絶縁層１０２が設けられ、且つ絶縁層１０２上にシリコンからなる半導体層を備えたＳＯＩ（silicon on insulator）基板を準備する。その後、当該半導体層をパターニ

ングして、活性領域となるフィン型半導体領域１０３ｂを形成する。
【０００７】
次に、図１７（ｂ）に示すように、フィン型半導体領域１０３ｂの表面にゲート絶縁膜１０４を形成した後、支持基板１０２上の全面に亘ってポリシリコン膜１０５Ａを形成する。
【０００８】
次に、図１７（ｃ）に示すように、ポリシリコン膜１０５Ａ及びゲート絶縁膜１０４を順次エッチングして、フィン型半導体領域１０３ｂ上にゲート絶縁膜１０４ｂを介してゲート電極１０５を形成する。その後、ゲート電極１０５をマスクとして、半導体領域１０３ｂに不純物をイオン注入して、エクステンション領域１０７及びポケット領域（図示省略）を形成する。
【０００９】
次に、図１７（ｄ）に示すように、支持基板１０２上の全面に亘って絶縁膜を形成した後、異方性ドライエッチングを用いて当該絶縁膜をエッチバックすることにより、ゲート電極１０５の側面上に絶縁性サイドウォールスペーサ１０６を形成する。その後、ゲート電極１０５及びサイドウォール１０６をマスクとして、半導体領域１０３ｂに不純物をイオン注入して、ソース・ドレイン領域１１７を形成する。
【００１０】
以上の工程により、フィン型半導体領域１０３ｂ上にゲート絶縁膜１０４ｂを介して形成されたゲート電極１０５を有するフィン型ＭＩＳＦＥＴ（metal insulator semiconductor field effect transistor ）を得ることができる。
【特許文献１】特開２００６－１９６８２１号公報
【非特許文献１】D. Lenoble 他、Enhanced performance of PMOS MUGFET via integration of conformal plasma-doped source/drain extensions、2006 Symposium on VLSI Technology Digest of Technical Papers、p.212
【発明の開示】
【発明が解決しようとする課題】
【００１１】
しかしながら、前述の特許文献１又は非特許文献１等に開示されている従来の半導体装置の製造方法によると、所望のトランジスタ特性が得られないという問題点がある。
【００１２】
前記に鑑み、本発明は、フィン型半導体領域を有する半導体装置において所望の特性が得られるようにすることを目的をする。
【課題を解決するための手段】
【００１３】
前記の目的を達成するために、本願発明者らは、従来のフィン型ＦＥＴの製造方法によって所望のトランジスタ特性が得られない理由を検討した結果、次のような知見を得るに至った。
【００１４】
図１８（ａ）は、特許文献１におけるフィン型ＦＥＴのエクステンション領域を形成する工程を示した要部断面図であり、図１８（ｂ）は、非特許文献１におけるフィン型ＦＥＴのエクステンション領域を形成する工程を示した要部断面図である。尚、図１８（ａ）及び（ｂ）は、図１６（ａ）におけるＢ－Ｂ線の断面構成（絶縁性サイドウォールスペーサ１０６の形成前）と対応している。また、図１８（ａ）及び（ｂ）において、図１６（ａ）～（ｄ）に示す構造と同一の構成要素には同一の符号を付し、重複する説明を省略する。
【００１５】
図１８（ａ）に示すように、特許文献１に開示された方法においては、フィン型半導体領域１０３ａ～１０３ｄの上面のみならず側面にも不純物を導入するために、イオン注入によってイオン１０８ａ及び１０８ｂをそれぞれ、鉛直方向に対して互いに異なる側に傾

いた注入角度でフィン型半導体領域１０３ａ～１０３ｄに注入することによって、エクステンション領域１０７を形成する。この場合、フィン型半導体領域１０３ａ～１０３ｄの上部には、イオン１０８ａ及びイオン１０８ｂの両方が注入されてなる第１の不純物領域１０７ａが形成される。しかしながら、フィン型半導体領域１０３ａ～１０３ｄの各側部には、イオン１０８ａ又はイオン１０８ｂのいずれか一方のみが注入されてなる第２の不純物領域１０７ｂが形成される。すなわち、イオン１０８ａのドーズ量とイオン１０８ｂのドーズ量とが同じである場合、第１の不純物領域１０７ａの注入ドーズ量は、第２の不純物領域１０７ｂの注入ドーズ量の２倍の大きさになる。

【００１６】

また、図１８（ｂ）に示すように、非特許文献１に開示された方法においては、プラズマドーピング法を用いてフィン型半導体領域１０３ａ～１０３ｄにエクステンション領域１０７を形成する。プラズマドーピング法を用いて不純物注入を行った場合、フィン型半導体領域１０３ａ～１０３ｄの上部には、注入イオン１０９ａと、吸着種（ガス分子やラジカル等の中性種）１０９ｂと、スパッタリングによってフィン型半導体領域１０３ａ～１０３ｄを離脱する不純物１０９ｃとのバランスによって決まる注入ドーズ量を持つ第１の不純物領域１０７ａが形成される。しかしながら、フィン型半導体領域１０３ａ～１０３ｄの各側部の注入ドーズ量については、注入イオン１０９ａやスパッタリングによる離脱不純物１０９ｃの影響は小さく、主として吸着種１０９ｂによって決まる注入ドーズ量を持つ第２の不純物領域１０７ｂが形成される。その結果、第１の不純物領域１０７ａの注入ドーズ量は、第２の不純物領域１０７ｂの注入ドーズ量と比べて例えば２５％程度高くなる。

【００１７】

以上のように、従来のフィン型ＦＥＴのエクステンション領域の形成方法によると、フィン型半導体領域１０３ａ～１０３ｄの上部に形成される第１の不純物領域１０７ａの注入ドーズ量が、フィン型半導体領域１０３ａ～１０３ｄの側部に形成される第２の不純物領域１０７ｂの注入ドーズ量と比べて高くなる。また、第２の不純物領域１０７ｂの接合深さは、第１の不純物領域１０７ａの接合深さと比べて浅くなる。このようなエクステンション構造を有するフィン型ＦＥＴを動作させた場合、エクステンション領域１０７を流れる電流は、第２の不純物領域１０７ｂと比べて注入ドーズ量が高い、つまりシート抵抗が低い第１の不純物領域１０７ａに集中するため、所望のトランジスタ特性が得られないという問題が生じる。

【００１８】

また、従来のフィン型ＦＥＴでは、ソース・ドレイン領域もエクステンション領域と同様のイオン注入法やプラズマドーピング法を用いて形成される。そのため、ソース・ドレイン領域１１７においても、フィン型半導体領域１０３ａ～１０３ｄの上部に形成される第３の不純物領域１１７ａの注入ドーズ量が、フィン型半導体領域１０３ａ～１０３ｄの側部に形成される第４の不純物領域１１７ｂの注入ドーズ量と比べて高くなる。また、第４の不純物領域１１７ｂの接合深さは、第３の不純物領域１１７ａの接合深さと比べて浅くなる。このようなソース・ドレイン構造を有するフィン型ＦＥＴを動作させた場合、ソース・ドレイン領域１１７を流れる電流は、第４の不純物領域１１７ｂと比べて注入ドーズ量が高い、つまりシート抵抗が低い第３の不純物領域１１７ａに集中するため、所望のトランジスタ特性が得られないという問題が生じる。

【００１９】

前述の知見に基づき、本願発明者らは、フィン型半導体領域の側部に、フィン型半導体領域の上部と比べて同等以上の注入ドーズ量を有する不純物領域を備えた半導体装置及びその製造方法を発明するに至った。特に、フィン型ＦＥＴでは、エクステンション領域及びソース・ドレイン領域のゲート幅方向の幅においてフィン型半導体領域の側部に形成される不純物領域の幅が占める割合が７０％以上に達する場合もあるので、フィン型半導体領域の側部に形成される不純物領域の注入ドーズ量を、フィン型半導体領域の上部に形成される不純物領域の注入ドーズ量と比べて同等以上にすることが非常に重要になってきて

いる。

【００２０】

すなわち、本発明に係る第１の半導体装置は、支持基板上に形成され、且つ上面及び側面を有する第１の半導体領域と、前記第１の半導体領域の上部に形成された第１導電型の第１の不純物領域と、前記第１の半導体領域の側部に形成された第１導電型の第２の不純物領域とを備え、前記第２の不純物領域の注入ドーズ量は前記第１の不純物領域の注入ドーズ量と比べて同等以上である。

【００２１】

尚、上面及び側面を有する第１の半導体領域つまりフィン型半導体領域の側部に形成された第２の不純物領域の注入ドーズ量が、フィン型半導体領域の上部に形成された第１の不純物領域の注入ドーズ量の８０％（より好ましくは９０％）程度以上であれば、従来技術と比べてトランジスタ特性を顕著に改善することができる。

【００２２】

また、「フィン型半導体領域の側面の高さ」／「フィン型半導体領域の上面のゲート幅方向の幅」（以下、アスペクト比と称する）が小さければ、第２の不純物領域の注入ドーズ量が第１の不純物領域の注入ドーズ量と比べてある程度小さくても、トランジスタ特性の劣化は少ない。一方、このアスペクト比が大きくなるに従って、第２の不純物領域の注入ドーズ量を第１の不純物領域の注入ドーズ量と比べて同等以上にする必要性が増す。

【００２３】

本発明の第１の半導体装置において、前記第２の不純物領域の接合深さは、前記第１の不純物領域の接合深さと比べて同等以上であってもよい。

【００２４】

本発明の第１の半導体装置において、前記第１の半導体領域はフィン形状を有していてもよい。

【００２５】

本発明の第１の半導体装置において、前記第１の半導体領域は、前記支持基板上に形成された絶縁層上に形成されていてもよい。

【００２６】

本発明の第１の半導体装置において、前記第１の半導体領域の所定の部分における少なくとも側面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とをさらに備え、前記第１の不純物領域及び前記第２の不純物領域は、前記第１の半導体領域における前記所定の部分以外の他の部分に形成されていると、フィン型ＦＥＴを構成することができる。この場合、前記ゲート絶縁膜は、前記第１の半導体領域の前記所定の部分における上面上にも形成されていてもよい。また、前記第１の不純物領域及び前記第２の不純物領域はＰ型のエクステンション領域であってもよい。また、前記ゲート電極の側面上に形成された絶縁性サイドウォールスペーサと、前記第１の半導体領域の上部に形成された第１導電型の第３の不純物領域と、前記第１の半導体領域の側部に形成された第１導電型の第４の不純物領域とをさらに備え、前記第３の不純物領域及び前記第４の不純物領域は、前記第１の半導体領域の前記他の部分における前記絶縁性サイドウォールスペーサの外側に位置する部分に形成されており、前記第４の不純物領域の注入ドーズ量は前記第３の不純物領域の注入ドーズ量と比べて同等以上であってもよい。このとき、前記第３の不純物領域及び前記第４の不純物領域はＰ型のソース・ドレイン領域であってもよい。或いは、前記ゲート電極の側面上に形成された絶縁性サイドウォールスペーサをさらに備え、前記第１の不純物領域及び前記第２の不純物領域が、前記第１の半導体領域の前記他の部分における前記絶縁性サイドウォールスペーサの外側に位置する部分に形成されていてもよい。このとき、前記第１の不純物領域及び前記第２の不純物領域がＰ型のソース・ドレイン領域であってもよい。以上の場合において、前記第１の半導体領域の側面の高さが、前記第１の半導体領域の上面におけるゲート幅方向の幅と比べて大きいと、本発明による効果が顕著に得られる。

【００２７】

本発明に係る第２の半導体装置は、支持基板上に形成され、且つ上面及び側面をそれぞれ有する複数の半導体領域と、前記複数の半導体領域のそれぞれの上部に形成された第１導電型の第１の不純物領域と、前記複数の半導体領域のそれぞれの側部に形成された第１導電型の第２の不純物領域とを備え、前記第２の不純物領域の注入ドーズ量は前記第１の不純物領域の注入ドーズ量と比べて同等以上である。

【００２８】

本発明の第２の半導体装置において、前記複数の半導体領域のそれぞれの上にゲート絶縁膜を介して形成されたゲート電極をさらに備え、前記ゲート電極はゲート幅方向に前記複数の半導体領域を跨いでいると、フィン型ＦＥＴを構成することができる。このとき、前記第１の不純物領域及び前記第２の不純物領域はＰ型のエクステンション領域であってもよいし、又はＰ型のソース・ドレイン領域であってもよい。

【００２９】

本発明の第２の半導体装置において、前記複数の半導体領域のそれぞれにおけるゲート長方向の両端部を接続する第３の半導体領域をさらに備えていてもよい。

【００３０】

本発明に係る半導体装置の製造方法は、前述の本発明の第１又は第２の半導体装置を製造するための方法であって、支持基板上に、上面及び側面を有する第１の半導体領域を形成する工程（ａ）と、前記第１の半導体領域に第１導電型の不純物をプラズマドーピング法によって注入し、それにより、前記第１の半導体領域の上部に第１の不純物領域を形成すると共に、前記第１の半導体領域の側部に第２の不純物領域を形成する工程（ｂ）とを備え、前記工程（ｂ）において、注入ドーズ量が第１のドーズ量となる第１の条件でプラズマドーピング法を実施した後、注入ドーズ量が前記第１のドーズ量よりも小さい第２のドーズ量となる第２の条件でプラズマドーピング法を実施する。

【００３１】

すなわち、本発明の半導体装置の製造方法は、プラズマドーピング法を用いた注入ドーズ量の制御に特徴を有しており、ドーピング後にアニールを実施することによって、注入ドーズ量の制御を通じてシート抵抗を所望の値に制御することが可能となる。

【００３２】

具体的には、プラズマドーピングにおいて、原料ガスをプラズマ中に供給すると、ラジカル、イオン又は原料ガスの構成分子若しくは当該分子が分解してなる分子若しくは原子がプラズマ中に存在することになるが、本発明は、

（１）プラズマ中のイオンは基本的に基板主面に対して垂直に入射すること

（２）プラズマ中のガス分子やラジカル等の中性種は基板主面に対してランダムな方向から入射すること

（３）半導体領域側面においてはスパッタリングによる離脱不純物の影響はほとんどないこと

に着目し、これらのイオン、ガス分子及びラジカル等が有する本来的な性質（１）～（３）に加えて、本願発明者らが新規に発見した、異なる複数の条件を用いたプラズマドーピングに特有の性質

（４）異なる複数の条件を用いたプラズマドーピングを実施した際の半導体領域上面においてドーピングの影響とスパッタリングの影響とが釣り合うことによって決まる注入ドーズ量つまりシート抵抗の水準は、最終段階でのプラズマドーピング条件にのみ依存し、途中の条件には依存しないという性質

をフィン型ＦＥＴ等の３次元デバイスに適用する方法であって、「注入ドーズ量が第１のドーズ量となる第１の条件でプラズマドーピング法を実施した後、注入ドーズ量が前記第１のドーズ量よりも小さい第２のドーズ量となる第２の条件でプラズマドーピング法を実施すること」を主要な特徴とする。これにより、半導体領域上部の注入ドーズ量は基本的に低ドーズ量の第２の条件によって規定される一方、半導体領域側部の注入ドーズ量は基本的に高ドーズ量の第１の条件によって規定される。このため、半導体領域側部に、半導体領域上部と比べて同等以上の注入ドーズ量を有する不純物領域を備えた半導体装置、言

い換えると、半導体領域側部に低シート抵抗の不純物領域を備えた半導体装置を得ることができる。従って、例えばフィン型ＦＥＴにおけるエクステンション領域及びソース・ドレイン領域のゲート幅方向の幅においてフィン型半導体領域側部に形成される不純物領域の幅が占める割合が大きくなってきても、所望のトランジスタ特性を得ることができる。

【００３３】

本発明の半導体装置の製造方法において、前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、前記第１の条件における前記ガスの濃度が前記第２の条件における前記ガスの濃度よりも高いと、第２の条件による注入ドーズ量を第１の条件による注入ドーズ量と比べて、確実に小さくすることができる。

【００３４】

本発明の半導体装置の製造方法において、前記工程（ｂ）の後、前記第２の不純物領域の注入ドーズ量が前記第１の不純物領域の注入ドーズ量と比べて同等以上であると、前述の効果を確実に得ることができる。

【００３５】

本発明の半導体装置の製造方法において、前記工程（ａ）よりも前に、前記支持基板上に絶縁層を形成する工程をさらに備え、前記工程（ａ）において前記絶縁層上に前記第１の半導体領域を形成してもよい。

【００３６】

本発明の半導体装置の製造方法において、前記第１の半導体領域の側面は、前記第１の半導体領域の上面に対して垂直な面であってもよい。

【００３７】

本発明の半導体装置の製造方法において、前記第１の不純物領域において、前記第１の条件でプラズマドーピング法を実施した時点での注入ドーズ量と比べて、前記第２の条件でプラズマドーピング法を実施した時点での注入ドーズ量が減少してもよい。

【００３８】

本発明の半導体装置の製造方法において、前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、前記不純物を含むガスは、ボロン原子と水素原子とからなる分子$B_m H_n$（ｍ、ｎは自然数）を含んでいてもよい。

【００３９】

本発明の半導体装置の製造方法において、前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、前記不純物を含むガスは、ボロン原子を含む分子を希ガスで希釈してなるガスであってもよい。

【００４０】

本発明の半導体装置の製造方法において、前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、前記不純物を含むガスは、前記不純物を含む分子をヘリウムで希釈してなるガスであってもよい。

【００４１】

本発明の半導体装置の製造方法において、前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、前記不純物を含むガスは、$B_2 H_6$ とＨｅとの混合ガスであってもよい。この場合、前記混合ガスにおける$B_2 H_6$ の質量濃度が０．０１％以上で且つ１％以下であると、第１の半導体領域中にボロンを容易に導入することができる。逆に、$B_2 H_6$ ガス濃度が０．０１％未満である場合には十分な量のボロンを導入することが困難になり、$B_2 H_6$ ガス濃度が１％よりも大きい場合には基板表面にボロンを含む堆積物が付着しやすくなる。

【００４２】

本発明の半導体装置の製造方法において、前記工程（ｂ）は、前記不純物を含むガスからなるプラズマを用いて行われ、前記不純物を含むガスは、BF_3、AsH_4 又はPH_3 を含んでいてもよい。

【００４３】

本発明の半導体装置の製造方法において、前記工程（ｂ）の前に、前記第１の半導体領

域と同様の半導体領域が設けられた複数のダミー基板のそれぞれにおける当該半導体領域に前記不純物を様々な条件でプラズマドーピング法によって注入し、当該半導体領域の側部に形成される不純物領域のシート抵抗が所望値になるときの条件を前記第１の条件として決定すると共に当該半導体領域の上部に形成される不純物領域のシート抵抗が所望値になるときの条件を前記第２の条件として決定する工程をさらに備えていてもよい。

【００４４】

また、本発明に係る他の半導体装置の製造方法は、半導体領域に第１導電型の不純物をプラズマドーピング法によって注入し、それにより、前記半導体領域に不純物領域を形成する工程を備えた半導体装置の製造方法において、前記不純物領域を形成する工程は、注入ドーズ量が第１のドーズ量となる第１の条件でプラズマドーピング法を実施する工程（ａ）と、前記工程（ａ）の後に、注入ドーズ量が前記第１のドーズ量よりも小さい第２のドーズ量となる第２の条件でプラズマドーピング法を実施する工程（ｂ）とを有する。

【００４５】

本発明に係る他の半導体装置の製造方法によると、第２のドーズ量を有する不純物領域を形成する場合に、注入ドーズ量が第１のドーズ量となる第１の条件でプラズマドーピング法を実施した後、注入ドーズ量が前記第１のドーズ量よりも小さい第２のドーズ量となる第２の条件でプラズマドーピング法を実施することにより、前記第２のドーズ量となる第２の条件のみを用いてプラズマドーピング法を実施して不純物領域を形成する場合と比べて、プラズマドーピング時間をより短くすることができる。

【発明の効果】

【００４６】

本発明によると、フィン型半導体領域の側部に、フィン型半導体領域の上部と比べて同等以上の注入ドーズ量を有する不純物領域を備えた半導体装置、言い換えると、フィン型半導体領域側部に低シート抵抗の不純物領域を備えた半導体装置を得ることができるので、フィン型ＦＥＴ等の３次元デバイスにおける特性劣化を防止することができる。

【発明を実施するための最良の形態】

【００４７】

（第１の実施形態）

以下、本発明の第１の実施形態に係る半導体装置の構造について図面を参照しながら説明する。

【００４８】

図１（ａ）～（ｄ）は、本発明の第１の実施形態に係る半導体装置、具体的には、フィン型ＦＥＴを有する半導体装置の構造を示す図であり、図１（ａ）は要部平面図であり、図１（ｂ）は図１（ａ）におけるＡ－Ａ線の要部断面図であり、図１（ｃ）は図１（ａ）におけるＢ－Ｂ線の要部断面図であり、図１（ｄ）は図１（ａ）におけるＣ－Ｃ線の要部断面図である。

【００４９】

本実施形態のフィン型ＦＥＴは、図１（ａ）～（ｄ）に示すように、例えばシリコンからなる支持基板１１と、支持基板１１上に形成された例えば酸化シリコンからなる絶縁層１２と、絶縁層１２上に形成されたフィン型半導体領域１３ａ～１３ｄと、フィン型半導体領域１３ａ～１３ｄ上に例えばシリコン酸窒化膜からなるゲート絶縁膜１４ａ～１４ｄを介して形成されたゲート電極１５と、ゲート電極１５の側面上に形成された絶縁性サイドウォールスペーサ１６と、フィン型半導体領域１３ａ～１３ｄにおけるゲート電極１５を挟む両側方領域に形成されたエクステンション領域１７と、フィン型半導体領域１３ａ～１３ｄにおけるゲート電極１５及び絶縁性サイドウォールスペーサ１６を挟む両側方領域に形成されたソース・ドレイン領域２７とを有している。各フィン型半導体領域１３ａ～１３ｄは、ゲート幅方向の幅ａが例えば３０ｎｍ程度であり、ゲート長方向の幅ｂが例えば２００ｎｍ程度であり、高さ（厚さ）ｃが例えば５０ｎｍ程度であり、絶縁層１２上においてゲート幅方向にピッチｄ（例えば６０ｎｍ程度）で並ぶように配置されている。尚、フィン型半導体領域１３ａ～１３ｄの上面と側面とは互いに垂直であってもよいし、

垂直でなくてもよい。ゲート電極１５は、ゲート幅方向にフィン型半導体領域１３ａ～１３ｄを跨ぐように形成されている。エクステンション領域１７は、フィン型半導体領域１３ａ～１３ｄのそれぞれの上部に形成された第１の不純物領域１７ａと、フィン型半導体領域１３ａ～１３ｄのそれぞれの側部に形成された第２の不純物領域１７ｂとから構成されている。また、ソース・ドレイン領域２７は、フィン型半導体領域１３ａ～１３ｄのそれぞれの上部に形成された第３の不純物領域２７ａと、フィン型半導体領域１３ａ～１３ｄのそれぞれの側部に形成された第４の不純物領域２７ｂとから構成されている。尚、ポケット領域の説明及び図示については省略する。

【００５０】

本実施形態の特徴は次の通りである。すなわち、フィン型半導体領域側部に形成された第２の不純物領域１７ｂの注入ドーズ量が、フィン型半導体領域上部に形成された第１の不純物領域１７ａの注入ドーズ量と比べて同等以上に設定されている。これにより、エクステンション領域１７を構成する第２の不純物領域１７ｂのシート抵抗を、第１の不純物領域１７ａのシート抵抗以下に設定することができるので、エクステンション領域１７のゲート幅方向の幅においてフィン型半導体領域側部に形成された第２の不純物領域１７ｂの幅が占める割合が大きくなっても、所望のトランジスタ特性を得ることができる。同様に、フィン型半導体領域側部に形成された第４の不純物領域２７ｂの注入ドーズ量が、フィン型半導体領域上部に形成された第３の不純物領域２７ａの注入ドーズ量と比べて同等以上に設定されている。これにより、ソース・ドレイン領域２７を構成する第４の不純物領域２７ｂのシート抵抗を、第３の不純物領域２７ａのシート抵抗以下に設定することができるので、ソース・ドレイン領域２７のゲート幅方向の幅においてフィン型半導体領域側部に形成された第４の不純物領域２７ｂの幅が占める割合が大きくなっても、所望のトランジスタ特性を得ることができる。

【００５１】

尚、本実施形態において、フィン型半導体領域側部に形成された第２の不純物領域１７ｂの注入ドーズ量が、フィン型半導体領域上部に形成された第１の不純物領域１７ａの注入ドーズ量の８０％（より好ましくは９０％）程度以上であれば、従来技術と比べてトランジスタ特性を顕著に改善することができる。同様に、フィン型半導体領域側部に形成された第４の不純物領域２７ｂの注入ドーズ量が、フィン型半導体領域上部に形成された第３の不純物領域２７ａの注入ドーズ量の８０％（より好ましくは９０％）程度以上であれば、従来技術と比べてトランジスタ特性を顕著に改善することができる。

【００５２】

また、本実施形態において、「フィン型半導体領域の側面の高さ」／「フィン型半導体領域の上面のゲート幅方向の幅」（以下、アスペクト比と称する）が小さければ、第２の不純物領域１７ｂの注入ドーズ量が第１の不純物領域１７ａの注入ドーズ量と比べてある程度小さくても、トランジスタ特性の劣化は少ない。一方、このアスペクト比が大きくなるに従って、第２の不純物領域１７ｂの注入ドーズ量を第１の不純物領域１７ａの注入ドーズ量と比べて同等以上にする必要性が増す。同様に、アスペクト比が小さければ、第４の不純物領域２７ｂの注入ドーズ量が第３の不純物領域２７ａの注入ドーズ量と比べてある程度小さくても、トランジスタ特性の劣化は少ない。一方、このアスペクト比が大きくなるに従って、第４の不純物領域２７ｂの注入ドーズ量を第３の不純物領域２７ａの注入ドーズ量と比べて同等以上にする必要性が増す。

【００５３】

以下、本発明の第１の実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。

【００５４】

図２（ａ）～（ｅ）は、第１の実施形態に係る半導体装置の製造方法を工程順に示す要部断面図である。尚、図２（ａ）～（ｅ）は、図１（ａ）におけるＣ－Ｃ線の断面構成と対応している。また、図２（ａ）～（ｅ）において、図１（ａ）～（ｄ）に示す構造と同一の構成要素には同一の符号を付し、重複する説明を省略する。

【００５５】
まず、図２（ａ）に示すように、例えばシリコンからなる厚さ８００ｎｍの支持基板１１上に例えば酸化シリコンからなる厚さ１５０ｎｍの絶縁層１２が設けられ、且つ絶縁層１２上に例えばシリコンからなる厚さ５０ｎｍの半導体層を備えたＳＯＩ基板を準備する。その後、当該半導体層をパターニングして、活性領域となるｎ型のフィン型半導体領域１３ｂを形成する。ここで、フィン型半導体領域１３ｂは、ゲート幅方向の幅ａが例えば３０ｎｍ程度であり、ゲート長方向の幅ｂが例えば２００ｎｍ程度であり、高さ（厚さ）ｃが例えば５０ｎｍ程度であり、隣接する他のフィン型半導体領域とピッチｄ（例えば６０ｎｍ程度）で並ぶように配置される。
【００５６】
次に、図２（ｂ）に示すように、フィン型半導体領域１３ｂの表面に例えばシリコン酸窒化膜からなる厚さ３ｎｍのゲート絶縁膜１４を形成した後、支持基板１２上の全面に亘って例えば厚さ６０ｎｍのポリシリコン膜１５Ａを形成する。
【００５７】
次に、図２（ｃ）に示すように、ポリシリコン膜１５Ａ及びゲート絶縁膜１４を順次エッチングして、フィン型半導体領域１３ｂ上にゲート絶縁膜１４ｂを介して例えばゲート長方向の幅が６０ｎｍのゲート電極１５を形成する。その後、ゲート電極１５をマスクとして、フィン型半導体領域１３ｂに対して、第１のプラズマドーピング条件（第１の条件）でｐ型不純物をドーピングする。これにより、フィン型半導体領域１３ｂの上部に形成されたｐ型の第１の不純物領域７ａとフィン型半導体領域１３ｂの側部に形成されたｐ型の第２の不純物領域７ｂとからなるｐ型のエクステンション領域７を形成する。このとき、第１の不純物領域７ａは、第２の不純物領域７ｂと比べて注入ドーズ量が大きくなるように形成される。ここで、第１のプラズマドーピング条件は、例えば、原料ガスがＨｅ（ヘリウム）で希釈したB_2H_6（ジボラン）であり、原料ガス中でのB_2H_6濃度が０．５質量％であり、原料ガスの総流量が４２０ｃｍ^3／分（標準状態）であり、チャンバー内圧力が０．９Ｐａであり、ソースパワー（プラズマ生成用高周波電力）が２０００Ｗであり、バイアスパワー（基板載置台に印加する高周波電力）が１３５Ｗであり、基板温度が２０℃である。
【００５８】
前述の第１のプラズマドーピング条件で例えば１２０秒間プラズマドーピングを行った後、放電を切らずに連続して第２のプラズマドーピング条件（第２の条件）でｐ型不純物を例えば６８０秒間フィン型半導体領域１３ｂにドーピングする。これにより、図２（ｄ）に示すように、フィン型半導体領域１３ｂの上部に形成されたｐ型の第１の不純物領域１７ａとフィン型半導体領域１３ｂの側部に形成されたｐ型の第２の不純物領域１７ｂとからなるｐ型のエクステンション領域１７を形成する。すなわち、図２（ｃ）に示す工程で形成されたエクステンション領域７は、図２（ｄ）に示す工程でエクステンション領域１７に改質される。このとき、第２の不純物領域１７ｂは、第１の不純物領域１７ａと比べて注入ドーズ量が同等又はそれ以上に大きくなるように（同等以上に）形成される。ここで、第２のプラズマドーピング条件は、例えば、原料ガスがＨｅで希釈したB_2H_6であり、原料ガス中でのB_2H_6濃度が０．２質量％であり、原料ガスの総流量が３００ｃｍ^3／分（標準状態）であり、チャンバー内圧力が０．９Ｐａであり、ソースパワーが２０００Ｗであり、バイアスパワーが１３５Ｗであり、基板温度が２０℃である。その後、ゲート電極１５をマスクとして、フィン型半導体領域１３ｂに不純物をイオン注入して、ｎ型ポケット領域（図示省略）を形成する。
【００５９】
次に、図２（ｅ）に示すように、支持基板１２上の全面に亘って例えば厚さ６０ｎｍの絶縁膜を形成した後、異方性ドライエッチングを用いて当該絶縁膜をエッチバックすることにより、ゲート電極１５の側面上に絶縁性サイドウォールスペーサ１６を形成する。その後、ゲート電極１５及び絶縁性サイドウォールスペーサ１６をマスクとして、フィン型半導体領域１３ｂに対して、第３のプラズマドーピング条件（第３の条件）でｐ型不純物

を例えば１２０秒間ドーピングした後、放電を切らずに連続して第４のプラズマドーピング条件（第４の条件）でｐ型不純物を例えば６８０秒間ドーピングする。これにより、フィン型半導体領域１３ｂの上部に形成されたｐ型の第３の不純物領域２７ａとフィン型半導体領域１３ｂの側部に形成されたｐ型の第４の不純物領域２７ｂとからなるｐ型のソース・ドレイン領域２７を形成する。ここで、第３のプラズマドーピング条件によるドーピング実施時には、第３の不純物領域２７ａは、第４の不純物領域２７ｂと比べて注入ドーズ量が大きくなるように形成される。しかしながら、第３のプラズマドーピング条件よりも注入ドーズ量の小さい第４のプラズマドーピング条件によるドーピングを実施することにより、第３のプラズマドーピング条件によって形成されたソース・ドレイン領域は、第４のプラズマドーピング条件によってソース・ドレイン領域２７に改質される。このとき、第４の不純物領域２７ｂは、第３の不純物領域２７ａと比べて注入ドーズ量が同等又はそれ以上に大きくなるように（同等以上に）形成される。尚、第３の条件による注入ドーズ量を第４の条件と比べて大きくするために、例えば、原料ガス中でのB_2H_6濃度及び原料ガスの総流量を第４の条件と比べて第３の条件で大きくする。

【００６０】

本実施形態の特徴は次の通りである。すなわち、フィン型ＦＥＴのエクステンション領域１７をプラズマドーピング法を用いて形成するに際して、注入ドーズ量が相対的に大きい第１の条件及び注入ドーズ量が相対的に小さい第２の条件を用いる。これにより、フィン型半導体領域１３ｂの側部に形成された第２の不純物領域１７ｂがフィン型半導体領域１３ｂの上部に形成された第１の不純物領域１７ａと比べて同等以上の注入ドーズ量を有するエクステンション領域１７を備えたフィン型ＭＩＳＦＥＴを得ることができる。従って、第２の不純物領域１７ｂのシート抵抗を第１の不純物領域１７ａのシート抵抗以下に設定することができるので、エクステンション領域１７のゲート幅方向の幅においてフィン型半導体領域側部に形成された第２の不純物領域１７ｂの幅が占める割合が大きくなっても、所望のトランジスタ特性を得ることができる。同様に、フィン型ＦＥＴのソース・ドレイン領域２７をプラズマドーピング法を用いて形成するに際して、注入ドーズ量が相対的に大きい第３の条件及び注入ドーズ量が相対的に小さい第４の条件を用いる。これにより、フィン型半導体領域１３ｂの側部に形成された第４の不純物領域２７ｂがフィン型半導体領域１３ｂの上部に形成された第３の不純物領域２７ａと比べて同等以上の注入ドーズ量を有するソース・ドレイン領域２７を備えたフィン型ＭＩＳＦＥＴを得ることができる。従って、第４の不純物領域２７ｂのシート抵抗を第３の不純物領域２７ａのシート抵抗以下に設定することができるので、ソース・ドレイン領域２７のゲート幅方向の幅においてフィン型半導体領域側部に形成された第４の不純物領域２７ｂの幅が占める割合が大きくなっても、所望のトランジスタ特性を得ることができる。

【００６１】

尚、本実施形態において、ｎ型のフィン型半導体領域１３ｂにｐ型不純物をプラズマドーピングしてｐ型のエクステンション領域１７及びソース・ドレイン領域２７、つまりｐ型のＭＩＳＦＥＴを形成したが、これに代えて、ｐ型のフィン型半導体領域にｎ型不純物をドーピングしてｎ型のエクステンション領域及びソース・ドレイン領域、つまりｎ型のＭＩＳＦＥＴを形成してもよい。

【００６２】

また、本実施形態において、第１の条件（第３の条件）による注入ドーズ量を大きくするために、原料ガス中でのB_2H_6濃度及び原料ガスの総流量を第２の条件（第４の条件）と比べて第１の条件（第３の条件）で大きくしたが、これに代えて、いずれか一方のみを大きくしてもよい。また、第１の条件（第３の条件）による注入ドーズ量を大きくするために、チャンバー内圧力、ソースパワー又はバイアスパワー等の他のパラメータを制御しても良いことは言うまでもない。

【００６３】

また、本実施形態において、第２の不純物領域１７ｂのシート抵抗を低減するためには、第２の不純物領域１７ｂの接合深さを第１の不純物領域１７ａの接合深さと比べて同等

以上の深さに設定することが好ましい。このような構成は、例えば、フィン型半導体領域側部に形成された第２の不純物領域１７ｂの注入ドーズ量がフィン型半導体領域上部に形成された第１の不純物領域１７ａの注入ドーズ量と比べて大きくなるようにプラズマドーピングを実施した後に適切なアニールを行うことによって実現可能である。同様に、第４の不純物領域２７ｂのシート抵抗を低減するためには、第４の不純物領域２７ｂの接合深さを第３の不純物領域２７ａの接合深さと比べて同等以上の深さに設定することが好ましい。このような構成は、例えば、フィン型半導体領域側部に形成された第４の不純物領域２７ｂの注入ドーズ量がフィン型半導体領域上部に形成された第３の不純物領域２７ａの注入ドーズ量と比べて大きくなるようにプラズマドーピングを実施した後に適切なアニールを行うことによって実現可能である。

【００６４】

また、本実施形態において、プラズマドーピングの原料ガスとして、Ｈｅで希釈したB_2H_6を用いたが、原料ガスは、フィン型半導体領域に注入される不純物を含むガスであれば、特に限定されるものではない。例えば、B_2H_6に代えて、ボロン原子を含む他の分子（例えばBF_3）、若しくはボロン原子と水素原子とからなる他の分子を用いてもよいし、又はAsH_4若しくはPH_3等を用いてもよい。また、不純物を含むガスをＨｅ等の希ガスによって希釈してもよいし、希釈しなくてもよい。尚、本実施形態のように、プラズマドーピングの原料ガスとして、Ｈｅで希釈したB_2H_6を用いる場合、原料ガス中のB_2H_6の質量濃度は０．０１％以上で且つ１％以下であることが好ましい。このようにすると、フィン型半導体領域中にボロンを容易に導入することができる。逆に、B_2H_6ガス濃度が０．０１％未満である場合には十分な量のボロンを導入することが困難になり、B_2H_6ガス濃度が１％よりも大きい場合には基板表面にボロンを含む堆積物が付着しやすくなる。

【００６５】

以下、本発明のメカニズムについて、エクステンション領域１７を例として、フィン型半導体領域の上部と側部とに分けて図面を参照しながら説明する。

【００６６】

（本発明のメカニズム）

図３（ａ）は、図２（ｃ）に示す第１のプラズマドーピング条件によるドーピング方法を説明するための要部断面図であり、図３（ｂ）は、図２（ｄ）に示す第２のプラズマドーピング条件によるドーピング方法を説明するための要部断面図である。尚、図３（ａ）及び（ｂ）は、図１（ａ）におけるＢ－Ｂ線の断面構成（絶縁性サイドウォールスペーサ１６の形成前）と対応している。また、図３（ａ）及び（ｂ）において、図１（ａ）～（ｄ）に示す構造と同一の構成要素には同一の符号を付し、重複する説明を省略する。

【００６７】

図４は、フィン型半導体領域の上部に形成される第１の不純物領域のシート抵抗とプラズマドーピング時間との関係を示す図である。

【００６８】

図５は、フィン型半導体領域の側部に形成される第２の不純物領域のシート抵抗とプラズマドーピング時間との関係を示す図である。

【００６９】

図６は、フィン型半導体領域の上部に形成される第１の不純物領域及びフィン型半導体領域の側部に形成される第２の不純物領域のそれぞれのシート抵抗とプラズマドーピング時間との関係を示す図である。

【００７０】

尚、図４～図６（後述する図７～図９についても同じ）に示すシート抵抗は、プラズマドーピング後に１０７５℃の温度で２０秒間に亘ってＲＴＡ（rapid thermal annealing）を実施することにより得られたものであり、このようにドーピング後に十分なアニールを実施すると、注入ドーズ量とシート抵抗とを１対１に対応させることができる。

【００７１】

（フィン型半導体領域の上部における本発明のメカニズム）
まず、図３（ａ）に示すように、フィン型半導体領域１３ａ～１３ｄに対して、第１のプラズマドーピング条件（第１の条件）でｐ型不純物をドーピングする。これにより、フィン型半導体領域１３ａ～１３ｄの上部には、注入イオン１８ａと、吸着種（ガス分子やラジカル等の中性種）１８ｂと、スパッタリングによってフィン型半導体領域１３ａ～１３ｄを離脱する不純物１８ｃとのバランスによって決まる注入ドーズ量を持つ第１の不純物領域７ａが形成される。
【００７２】
図４の破線に示すように、第１の条件のみによるプラズマドーピング時間を長くした場合、プラズマドーピングの初期においては、スパッタリングによってフィン型半導体領域１３ａ～１３ｄから離脱する不純物１８ｃの量と比べて、半導体領域１３ａ～１３ｄに導入される注入イオン１８ａ及び吸着種１８ｂによる不純物導入量の方が多くなるため、第１の不純物領域７ａのシート抵抗は単調に減少する。その後、半導体領域１３ａ～１３ｄへの単位時間当たりの不純物導入量は徐々に減少し、それに伴い第１の不純物領域７ａのシート抵抗の低下の度合いも緩やかになりはじめ、当該低下の度合いは最終的には極めて緩やかになる。これは、注入イオン１８ａ及び吸着種１８ｂによる不純物導入量と、スパッタリングによる不純物離脱量とが釣り合うことによって、単位時間当たりの不純物導入量の増加量が次第に小さくなるためである。従って、第１の条件のみによって不純物を導入した場合、第１の不純物領域７ａの最終的なシート抵抗は、第１の条件において不純物導入量と不純物離脱量とが釣り合うとき（図４の「第１の条件で釣り合う位置」）までに第１の不純物領域７ａに注入されるドーズ量に対応するシート抵抗（図４の「第１の条件で釣り合う位置」のシート抵抗）となる。
【００７３】
次に、図３（ｂ）に示すように、第１の条件によるプラズマドーピングの後に、第１の条件と比べてガス濃度が低い第２のプラズマドーピング条件（第２の条件）に切り替えてｐ型不純物をフィン型半導体領域１３ａ～１３ｄに対してドーピングする。これにより、フィン型半導体領域１３ａ～１３ｄの上部には、注入イオン１９ａと、吸着種（ガス分子やラジカル等の中性種）１９ｂと、スパッタリングによってフィン型半導体領域１３ａ～１３ｄを離脱する不純物１９ｃとのバランスによって決まる注入ドーズ量を持つ第１の不純物領域１７ａが形成される。すなわち、図３（ａ）に示す第１の不純物領域７ａが、図３（ｂ）に示すように、第１の不純物領域１７ａに改質される。このとき、第１の条件と比べて第２の条件の方がガス濃度が低いため、後述するように、第１の不純物領域１７ａの注入ドーズ量は、最初に形成された第１の不純物領域７ａの注入ドーズ量よりも減少する。言い換えると、第１の不純物領域７ａのシート抵抗と比べて、第１の不純物領域１７ａのシート抵抗の方が高くなる。
【００７４】
図４の実線に示すように、プラズマドーピングの途中で第１の条件よりもガス濃度が低い第２の条件に切り替えると、この第２の条件では、第１の条件と比べてスパッタリングにより不純物がフィン型半導体領域から離脱する現象がより顕著になる。従って、第１の条件によるプラズマドーピングによってフィン型半導体領域に導入されていた不純物のうち、第２の条件において不純物導入量と不純物離脱量とが釣り合うときまでに注入されるドーズ量（つまり図４の「第２の条件で釣り合う位置」のシート抵抗に対応するドーズ量）の水準よりも多く導入されていた不純物は、第２の条件によるプラズマドーピングを実施した際に、スパッタリングによりフィン型半導体領域から離脱する。言い換えると、プラズマドーピングの途中で第１の条件から第２の条件に切り替えると、フィン型半導体領域に最終的に導入されるドーズ量は、第２の条件における注入イオン及び吸着種による不純物導入量とスパッタリングによる不純物離脱量との釣り合いによって決まるドーズ量となる結果、注入ドーズ量が減少してシート抵抗が上昇し、そのままシート抵抗が安定する。すなわち、プラズマドーピングにおける不純物導入量と不純物離脱量との釣り合いは、最終段階のドーピング条件（本実施形態では第２の条件）にのみ依存して決まり、それま

での条件（本実施形態では第１の条件）には依存しない。このため、第１の不純物領域のシート抵抗は、第２の条件で最終的に安定するシート抵抗の水準（図４の「第２の条件で釣り合う位置」のシート抵抗）になる。

【００７５】

以上に説明したように、第１の条件のみを用いてプラズマドーピングを実施した場合（図４の破線）と、第１の条件と第２の条件とを用いてプラズマドーピングを実施した場合（図４の実線）との違いは、第１の条件における不純物導入量と不純物離脱量との釣り合いによって決まるシート抵抗と、第２の条件における不純物導入量と不純物離脱量との釣り合いによって決まるシート抵抗との違いに対応する。すなわち、第１の条件のみを用いてプラズマドーピングを実施すると、シート抵抗は、第１の条件における不純物導入量と不純物離脱量との釣り合いによって決まる水準で安定する一方、第１条件から第２の条件に切り替えてプラズマドーピングを実施すると、シート抵抗は、第２の条件における不純物導入量と不純物離脱量との釣り合いによって決まる水準で安定する。この第１の条件と第２の条件との間でのシート抵抗との違いは、両条件の間でドーピング及びスパッタリングのそれぞれの影響が違うことに起因する。

【００７６】

（フィン型半導体領域の側部における本発明のメカニズム）

まず、図３（ａ）に示すように、フィン型半導体領域１３ａ～１３ｄに対して、第１のプラズマドーピング条件（第１の条件）でｐ型不純物をドーピングする。これにより、フィン型半導体領域１３ａ～１３ｄの側部には、主としてに吸着種（ガス分子やラジカル等の中性種）１８ｂによって決まる注入ドーズ量を持つ第２の不純物領域７ｂが形成される。このとき、フィン型半導体領域１３ａ～１３ｄの側面に対して斜めに入射するイオンも存在するため、注入イオン１８ａやスパッタリングによってフィン型半導体領域１３ａ～１３ｄを離脱する不純物１８ｃも存在するが、吸着種１８ｂと比べるとその影響は非常に小さく、吸着種１８ｂによるドーピングが支配的になる。すなわち、フィン型半導体領域１３ａ～１３ｄの上部にドーピングされる注入イオン１８ａ及びフィン型半導体領域１３ａ～１３ｄの上部からスパッタリングによって離脱する不純物１８ｃの数と比べて、フィン型半導体領域１３ａ～１３ｄの側部にドーピングされる注入イオン１８ａ及びフィン型半導体領域１３ａ～１３ｄの側部からスパッタリングによって離脱する不純物１８ｃの数は圧倒的に少ない。

【００７７】

図５の一点鎖線に示すように、第１の条件のみによるプラズマドーピング時間を長くした場合、プラズマドーピングの初期においては、第２の不純物領域７ｂのシート抵抗は単調に減少する。その後、半導体領域１３ａ～１３ｄへの単位時間当たりの不純物導入量は徐々に減少し、それに伴い第２の不純物領域７ｂのシート抵抗の低下の度合いも緩やかになりはじめ、当該低下の度合いは最終的には極めて緩やかになる。これは、注入イオン１８ａ及び吸着種１８ｂによる不純物導入量と、スパッタリングによる不純物離脱量とが釣り合うことによって、単位時間当たりの不純物導入量の増加量が次第に小さくなるためである。但し、フィン型半導体領域１３ａ～１３ｄの側部にドーピングされる注入イオン１８ａのドーズ量は、フィン型半導体領域１３ａ～１３ｄの上部にドーピングされる注入イオン１８ａのドーズ量と比べて少ないため、第２の不純物領域７ｂのシート抵抗は第１の不純物領域７ａのシート抵抗と比べて高い水準で安定する。

【００７８】

次に、図３（ｂ）に示すように、第１の条件によるプラズマドーピングの後に、第１の条件と比べてガス濃度が低い第２のプラズマドーピング条件（第２の条件）に切り替えてｐ型不純物をフィン型半導体領域１３ａ～１３ｄに対してドーピングする。これにより、フィン型半導体領域１３ａ～１３ｄの側部には、第２の不純物領域１７ｂが形成される。このとき、フィン型半導体領域１３ａ～１３ｄの側部においては、スパッタリングによって離脱する不純物１９ｃの量は少ないため、第２の不純物領域１７ｂの注入ドーズ量は第２の不純物領域７ｂの注入ドーズ量から変わらないか又は僅かに減少する。

【００７９】
従って、図５の二点鎖線に示すように、プラズマドーピングの途中で第１の条件よりもガス濃度が低い第２の条件に切り替えたとしても、第２の不純物領域１７ｂのシート抵抗は、第２の条件に切り替える直前のシート抵抗、つまり第１の条件によって決まるシート抵抗に近い値となる。
【００８０】
以上に説明したように、フィン型半導体領域１３ａ～１３ｄの側部においては、スパッタリングによる注入ドーズ量の減少は少ないため、第１の条件のみを用いてプラズマドーピングを実施した場合（図５の一点鎖線）と、第１の条件と第２の条件とを用いてプラズマドーピングを実施した場合（図５の二点鎖線）との間でシート抵抗の差はほとんど無いか、あったとしても非常に小さい。
【００８１】
（フィン型半導体領域の上部及び側部のそれぞれにおける本発明のメカニズムの対比）
以下、図６を参照しながら、第１の条件に引き続いてガス濃度の低い第２の条件を用いてプラズマドーピングをした場合においてフィン型半導体領域の上部及び側部のそれぞれに起こる結果についてまとめて説明する。尚、図６において、実線は図４の実線であり、二点鎖線は図５の二点鎖線である。
【００８２】
図６の実線に示すように、第１の不純物領域（半導体領域上部）ではプラズマドーピング中におけるスパッタリングの影響が第２の不純物領域（半導体領域側部）と比べて大きいため、第１の条件から第２の条件に切り換えた際に、第２の条件により決まるシート抵抗の水準と対応する注入ドーズ量よりも多く導入されていた不純物は、第２の条件でプラズマドーピングを実施した際に、スパッタリングによって半導体領域の外に出て行く。従って、イオン注入及び中性種（ガス分子やラジカル等）の吸着によって導入されるドーズ量と、スパッタリングによって半導体領域から離脱する不純物量とが釣り合う水準は、複数のプラズマドーピング条件を用いたとしても最後に用いたプラズマドーピング条件にのみ依存し、それまでのプラズマドーピング条件には依存しない。このため、第１の不純物領域（半導体領域上部）のシート抵抗の値は、第２の条件においてシート抵抗が最終的に安定したときの水準になる。
【００８３】
一方、図６の二点鎖線に示すように、第２の不純物領域（半導体領域側部）ではプラズマドーピング中におけるスパッタリングの影響が第１の不純物領域（半導体領域上部）と比べて小さいため、第１の条件から第２の条件に切り換えた際にも、第１の条件において導入されたドーズ量が第２の条件でのスパッタリングによって減ることはないか、又はドーズ量が減ったとしても微量である。従って、第２の不純物領域（半導体領域側部）のシート抵抗の値は、第２の条件に切り替える直前のシート抵抗、つまり第１の条件によって決まるシート抵抗に近い値となる。
【００８４】
従って、注入ドーズ量が相対的に多い第１の条件から注入ドーズ量が相対的に少ない第２の条件に切り替えてプラズマドーピングを行うことにより、第１の不純物領域（半導体領域上部）の注入ドーズ量と第２の不純物領域（半導体領域側部）の注入ドーズ量とを極めて高精度に等しくすることが可能となる。さらに、第２の不純物領域（半導体領域側部）の注入ドーズ量を第１の不純物領域（半導体領域上部）の注入ドーズ量よりも多くすることも可能になる。図６には、第１の不純物領域（半導体領域上部）の注入ドーズ量と第２の不純物領域（半導体領域側部）の注入ドーズ量とを等しくできるプロセスウィンドウを示している。
【００８５】
尚、ソース・ドレイン領域２７の形成においても、エクステンション領域１７の形成と同様のメカニズムによって、第３の不純物領域（半導体領域上部）２７ａの注入ドーズ量と第４の不純物領域（半導体領域側部）２７ｂの注入ドーズ量とを等しくすることができ

る。さらに、第４の不純物領域（半導体領域側部）２７ａの注入ドーズ量を第３の不純物領域（半導体領域上部）の注入ドーズ量よりも多くすることも可能になる。

【００８６】

以下、第１の不純物領域（半導体領域上部）のシート抵抗の値が、第２の条件においてシート抵抗が最終的に安定したときの水準になることを、具体的な実施例を用いて説明する。

【００８７】

（第１実施例）

まず、第１実施例について図７を参照しながら説明する。図７の曲線Ａは、図４の説明で第１の条件のみによるプラズマドーピングを行った場合に相当するものであり、プラズマドーピング条件は、例えば、原料ガスがＨｅで希釈したB_2H_6であり、原料ガス中でのB_2H_6濃度が０．０５質量％であり、原料ガスの総流量が４２０ｃｍ^3／分（標準状態）であり、チャンバー内圧力が０．９Ｐａであり、ソースパワー（プラズマ生成用高周波電力）が２０００Ｗであり、バイアスパワー（基板載置台に印加する高周波電力）が１３５Ｗであり、基板温度が２０℃である。また、図７の曲線Ｂは、図４の説明で第２の条件のみによるプラズマドーピングを行った場合に相当するものであり、プラズマドーピング条件は、例えば、原料ガスがＨｅで希釈したB_2H_6であり、原料ガス中でのB_2H_6濃度が０．０２質量％であり、原料ガスの総流量が３００ｃｍ^3／分（標準状態）であり、チャンバー内圧力が０．９Ｐａであり、ソースパワー（プラズマ生成用高周波電力）が２０００Ｗであり、バイアスパワー（基板載置台に印加する高周波電力）が１３５Ｗであり、基板温度が２０℃である。

【００８８】

尚、第１実施例では、第１の条件によって決まる第２の不純物領域（半導体領域側部）のシート抵抗を低くするために、第１の条件のB_2H_6濃度及び総流量をそれぞれ第２の条件と比べて大きい０．０５質量％及び４２０ｃｍ^3／分（標準状態）に設定している。

【００８９】

また、第１実施例では、第１の条件から第２の条件に切り替えるタイミングをプラズマドーピングの開始から１２０秒後に設定している。

【００９０】

図７の曲線Ｃ１は、プラズマドーピングの開始から１２０秒後まで第１の条件を用い、その後、プラズマ生成用の放電を切らずに連続して第２の条件によるプラズマドーピングを実施したときの第１の不純物領域（半導体領域上部）のシート抵抗の変化（つまり第１実施例のシート抵抗の変化）を示している。図７の曲線Ｃ１に示すように、シート抵抗は、プラズマドーピング開始後２００秒程度まで単調に減少した後、その傾きがマイナスからプラスに転じ、プラズマドーピング開始後２００秒程度から８００秒程度までの間ではシート抵抗が明らかに増加していることが分かる。

【００９１】

尚、第１実施例では、シート抵抗が最も小さくなるプラズマドーピング開始後２００秒程度のときのシート抵抗の値が１４７Ω／□であり、プラズマドーピング開始後８００秒程度のときの増加したシート抵抗の値が１７１Ω／□であり、両者の差は２４Ω／□であって、このシート抵抗の増加量は、第２の条件のみによってドーピングを実施したときに最終的に安定するシート抵抗の値（１７０Ω／□）の約１５％に相当する。ここで、第１実施例におけるプラズマドーピング開始後８００秒程度のときのシート抵抗値１７１Ω／□は、第２の条件のみによってドーピングを実施したときに最終的に安定するシート抵抗の値（１７０Ω／□）と極めて近い値になっていることに注意すべきである。これは、以下に説明するような自己整合性を意味するものと考えられる。すなわち、第１の条件から第２の条件に切り替えるタイミングをプラズマドーピングの開始から１２０秒後と比較的遅く設定することにより、シート抵抗を狙いの値（本実施例では１７０Ω／□）よりも小さくなるまで故意に低下させたとしても、最終的なシート抵抗の値は、後のプラズマドーピング条件である第２の条件のみによって決まるシート抵抗の値（本実施例では１７０Ω

／□）になるまで自己整合的に増加することが確認できた。これは、本発明に特有の極めて特殊な現象である。尚、第１実施例では、この現象を明確に示すために、第１の条件から第２の条件に切り替えるタイミングを極端に遅くしたものであって、第１の条件によって決まる第２の不純物領域（半導体領域側部）のシート抵抗（第２の条件に切り替える前の極少値の水準）が所望の値になるタイミングで第１の条件から第２の条件に切り替えることが望ましい。

【００９２】

（第２実施例）

次に、第２実施例について図８を参照しながら説明する。

【００９３】

第１実施例では、第１の条件から第２の条件に切り替えるタイミングをプラズマドーピングを開始してから１２０秒後に設定した。第２実施例では、そのタイミングを変更し、プラズマドーピングを開始してから６０秒後に第１の条件から第２の条件に切り替える。尚、第１の条件及び第２の条件のそれぞれのプラズマドーピング条件は第１実施例と同じであり、図８の曲線Ａ及び曲線Ｂは図７の曲線Ａ及び曲線Ｂと同じである。

【００９４】

図８の曲線Ｃ２は、プラズマドーピングの開始から６０秒後まで第１の条件を用い、その後、プラズマ生成用の放電を切らずに連続して第２の条件によるプラズマドーピングを実施したときの第１の不純物領域（半導体領域上部）のシート抵抗の変化（つまり第２実施例のシート抵抗の変化）を示している。図８の曲線Ｃ２に示すように、第２実施例でも、第１実施例と同様に、シート抵抗の推移が従来のプラズマドーピングの常識を覆すような傾向を示していることに注意すべきである。

【００９５】

すなわち、従来のプラズマドーピングにおいては、シート抵抗は時間に対して単調に減少するものであった。それは、プラズマからのイオンが注入されたり、ラジカルやガス分子等の吸着が進んだり、さらには、吸着したラジカルやガス分子等がその上からイオンによって叩かれて半導体領域中に入ったりするなどしてドーピングされるドーズ量が増加するが、これらの現象によれば、プラズマドーピング時間が増加するに従って注入ドーズ量が増加すると考えられるからである。もちろん、単位時間当たりのドーズ量の増加量がプラズマドーピング条件によって異なったり、ドーピングの影響とスパッタリングの影響とが釣り合うことによって単位時間当たりのドーズ量の増加量が次第に小さくなったりすることはあったとしても、従来のプラズマドーピングにおいては、プラズマドーピング時間が増加するに従って注入ドーズ量は必ず増加することが当然であった。

【００９６】

それに対して、第２実施例では、プラズマドーピング開始後２００秒経過以前においてはシート抵抗が通常のプラズマドーピングと同様に単調減少しているにもかかわらず、プラズマドーピング開始後２００秒程度でシート抵抗の変化の傾きがマイナスからプラスに転じた。そして、驚くべきことに、プラズマドーピング開始後２００秒経過以降においては、シート抵抗は、第２の条件のみによってドーピングを実施したときに最終的に安定するシート抵抗の値（１７０Ω／□）を目指して増加し始めた。その後、プラズマドーピング開始後４００秒程度で、第２の条件のみによってドーピングを実施したときに最終的に安定するシート抵抗の値（１７０Ω／□）に達すると、それ以降はシート抵抗の増加の割合が小さくなった。具体的には、プラズマドーピング開始後２００秒時点でのシート抵抗は１６３Ω／□であり、プラズマドーピング開始後４００秒時点でのシート抵抗は１７０Ω／□であり、プラズマドーピング開始後８００秒時点でのシート抵抗は１７２Ω／□である。これらの結果を参照すると、プラズマドーピング開始後２００秒から４００秒までのシート抵抗の増加は、第２の条件のみによってドーピングを実施したときに最終的に安定するシート抵抗の値（１７０Ω／□）を目指した自然のメカニズムの働きであるように思われる。また、図８に示すように、目標のシート抵抗の値（１７０Ω／□（ばらつき許容範囲を含む））を得る場合、第１の条件を用いてドーピングした後に第２の条件を用い

てドーピングすることにより、第２の条件のみを用いてドーピングを実施する場合（曲線Ｂ）と比べて、プラズマドーピング時間のより一層の短縮を図ることができる。

【００９７】

尚、図８において、シート抵抗が最も小さくなるプラズマドーピング開始後２００秒程度のときのシート抵抗１６３Ω／□から狙いの値（本実施例では１７０Ω／□）までの増加分は狙いの値の約４％に相当する。これは、第１の実施例で示した約１５％の増加量と比べて小さい。このように、第１の条件から第２の条件に切り替えるタイミングを調整することにより、最も小さくなるシート抵抗値からのシート抵抗の増加量を制御できるという効果が得られる。

【００９８】

（第３実施例）

次に、第３実施例について図９を参照しながら説明する。

【００９９】

第２実施例では、第１の条件から第２の条件に切り替えるタイミングをプラズマドーピングを開始してから６０秒後に設定した。第３実施例では、そのタイミングを変更し、プラズマドーピングを開始してから２０秒後に第１の条件から第２の条件に切り替える。尚、第１の条件及び第２の条件のそれぞれのプラズマドーピング条件は第１実施例と同じであり、図９の曲線Ａ及び曲線Ｂは図７の曲線Ａ及び曲線Ｂと同じである。

【０１００】

図９の曲線Ｃ３は、プラズマドーピングの開始から２０秒後まで第１の条件を用い、その後、プラズマ生成用の放電を切らずに連続して第２の条件によるプラズマドーピングを実施したときのシート抵抗の変化（つまり第３実施例のシート抵抗の変化）を示している。図９の曲線Ｃ３に示すように、第１の条件から第２の条件に切り替えるタイミングをプラズマドーピング開始後２０秒に設定した第３実施例でも、プラズマドーピング開始後４００秒から８００秒までの間に安定するシート抵抗の値は、第２の条件のみによってドーピングを実施したときに最終的に安定するシート抵抗の値（１７０Ω／□）と比べて若干高いもののばらつき許容範囲内にあった。

【０１０１】

以上に説明した第１～第３実施例からわかるように、異なる複数の条件を用いたプラズマドーピング時の半導体領域上面においてドーピングの影響とスパッタリングの影響とが釣り合うことによって決まる注入ドーズ量つまりシート抵抗の水準は、最終段階でのプラズマドーピング条件にのみ依存し、途中の条件には依存しない。すなわち、一旦半導体領域中に導入された不純物であっても、スパッタリングが優勢となる条件下では半導体領域から外に出て行く。

【０１０２】

（第１の実施形態の第１変形例）

以下、本発明の第１の実施形態の第１変形例に係る半導体装置の構造について図面を参照しながら説明する。

【０１０３】

図１０は、本変形例に係る半導体装置、具体的には、フィン型ＦＥＴを有する半導体装置の要部平面図である。尚、図１０において、図１（ａ）～（ｄ）に示す第１の実施形態の構造と同一の構成要素には同一の符号を付し、重複する説明を省略する。

【０１０４】

図１０に示すように、本変形例が図１（ａ）～（ｄ）に示す第１の実施形態と異なっている点は、フィン型半導体領域１３ａ～１３ｄのそれぞれにおけるゲート長方向の両端部が他のフィン型半導体領域１３ｅ及び１３ｆによって接続されていることである。

【０１０５】

本変形例によると、第１の実施形態と同様の効果が得られると共に、フィン型半導体領域１３ａ～１３ｆによって１つのフィン型ＦＥＴを構成することができる。

【０１０６】

（第１の実施形態の第２変形例）
以下、本発明の第１の実施形態の第２変形例に係る半導体装置の構造について図面を参照しながら説明する。
【０１０７】
本変形例の半導体装置、具体的には、フィン型ＦＥＴを有する半導体装置の構造を示す平面図は、第１の実施形態の要部平面図である図１（ａ）と同じである。また、図１１（ａ）～（ｃ）は本変形例の半導体装置の断面構造を示す図であり、図１１（ａ）は図１（ａ）におけるＡ－Ａ線の要部断面図であり、図１１（ｂ）は図１（ａ）におけるＢ－Ｂ線の要部断面図であり、図１１（ｃ）は図１（ａ）におけるＣ－Ｃ線の要部断面図である。
【０１０８】
図１１（ａ）～（ｃ）に示すように、本変形例が図１（ａ）～（ｄ）に示す第１の実施形態と異なっている点は次の通りである。すなわち、第１の実施形態においては、フィン型半導体領域１３ａ～１３ｄの上面及び側面の上に例えばシリコン酸窒化膜からなる厚さ３ｎｍのゲート絶縁膜１４ａ～１４ｄが形成されていた。それに対して、本変形例においては、ゲート絶縁膜１４ａ～１４ｄはフィン型半導体領域１３ａ～１３ｄの側面上のみに形成されており、フィン型半導体領域１３ａ～１３ｄの上面上には例えばシリコン酸化膜からなる厚さ２０ｎｍの絶縁膜２４ａ～２４ｄが形成されている。
【０１０９】
すなわち、本変形例においては、フィン型半導体領域１３ａ～１３ｄの側部のみをチャネル領域として使用する。このような構成であっても、アスペクト比（「フィン型半導体領域の側面の高さ」／「フィン型半導体領域の上面のゲート幅方向の幅」）が大きければ第１の実施形態と同様の効果が得られる。
【０１１０】
（第２の実施形態）
以下、本発明の第２の実施形態に係る半導体装置の製造方法、具体的には、前述の第１の実施形態に係る半導体装置の製造方法における第１及び第２のプラズマドーピング条件を決定する方法について図面を参照しながら説明する。
【０１１１】
図１２は、本実施形態のプラズマドーピング条件決定方法を示したフローチャートである。また、図１３（ａ）は本実施形態のプラズマドーピング条件決定方法で用いるダミー基板の概略断面構成を示す図であり、図１３（ｂ）はステップＳ１０２におけるプラズマドーピング時間とシート抵抗との関係を示す図である。また、図１４はステップＳ１０３におけるプラズマドーピング時間とシート抵抗との関係を示す図である。さらに、図１５はステップＳ１０５及びＳ１０６におけるプラズマドーピング時間とシート抵抗との関係を示す図である。
【０１１２】
まず、ステップＳ１０１において、図１３（ａ）に示すように、プラズマドーピング条件設定のためのダミー基板として、同一のダミー基板５１を複数用意し、各ダミー基板５１上に、製造対象のデバイスと同一仕様（又はほぼ同一仕様）のフィン型半導体領域（以下、Ｆｉｎと称する）５２、例えば図１（ａ）～（ｄ）に示す第１の実施形態のフィン型半導体領域１３ａ～１３ｄと同様のＦｉｎ５２を形成する。ここで、各Ｆｉｎ５２は、図１３（ａ）に示すように、基板主面に対して平行な第１の面（シート抵抗測定箇所を点ａとする）と、基板主面に対して垂直な第２の面（シート抵抗測定箇所を点ｂとする）とを有する。
【０１１３】
次に、ステップＳ１０２において、Ｆｉｎ５２が形成された複数のダミー基板５１を用いて、Ｆｉｎ５２に対して様々な条件でｐ型不純物のプラズマドーピング（以下、第１のＰＤと称する）を実施する。その後、注入不純物の活性化のための熱処理を実施した後、Ｆｉｎ５２の点ａ及び点ｂのそれぞれのシート抵抗を測定する。そして、点ｂのシート抵抗が所望値になるときの条件を「第１のＰＤ条件」として決定する。図１３（ｂ）は、ス

テップＳ１０２において点ｂのシート抵抗が所望値になるときの様子を表している。このとき、点ａのシート抵抗は、例えば点ｂのシート抵抗の半分である。

【０１１４】

尚、点ｂのシート抵抗が所望値と異なる場合には、点ｂのシート抵抗が所望値と同じになるまで、Ｆｉｎ５２が形成された未処理のダミー基板５１を用いて、プラズマドーピング条件を変更してステップＳ１０２を再度実施する。また、Ｆｉｎ５２が形成された未処理のダミー基板５１が無くなった場合には、ステップＳ１０１及びステップＳ１０２を繰り返し実施する。

【０１１５】

次に、ステップＳ１０３において、Ｆｉｎ５２が形成された複数の未処理のダミー基板５１を用いて、Ｆｉｎ５２に対して様々な条件でｐ型不純物のプラズマドーピング（以下、第２のＰＤと称する）を実施する。その後、注入不純物の活性化のための熱処理を実施した後、Ｆｉｎ５２の点ａ及び点ｂのそれぞれのシート抵抗を測定する。そして、点ａのシート抵抗が所望値になるときの条件を「第２のＰＤ条件」として決定する。図１４は、ステップＳ１０３において点ａのシート抵抗が所望値になるときの様子を表している。このとき、点ｂのシート抵抗は、点ａのシート抵抗よりも高くなる。

【０１１６】

尚、点ａのシート抵抗が所望値と異なる場合には、点ａのシート抵抗が所望値と同じになるまで、Ｆｉｎ５２が形成された未処理のダミー基板５１を用いて、プラズマドーピング条件を変更してステップＳ１０３を再度実施する。また、Ｆｉｎ５２が形成された未処理のダミー基板５１が無くなった場合には、ステップＳ１０１及びステップＳ１０３を繰り返し実施する。

【０１１７】

次に、ステップＳ１０４において、ＰＤ処理直前までの工程を終えたデバイス製造用基板、例えば図２（ｃ）に示す第１の実施形態の構造を有する基板を形成する。当該基板においては、Ｆｉｎ形成に加えて、ＰＤ処理の前工程（洗浄等）が完了している。

【０１１８】

次に、ステップＳ１０５において、ステップＳ１０２で決定した第１のＰＤ条件（点ｂのシート抵抗が所望値になるときの条件）を用いて前記デバイス製造用基板に対してプラズマドーピングを実施する。

【０１１９】

次に、ステップＳ１０６において、ステップＳ１０３で決定した第２のＰＤ条件（点ａのシート抵抗が所望値になるときの条件）を用いて前記デバイス製造用基板に対してプラズマドーピングを実施する。このとき、ステップＳ１０５と同一チャンバー内で放電を切らずに連続してステップＳ１０６を実施してもよい。図１５はステップＳ１０５及びＳ１０６においてＦｉｎ上部（点ａ）及びＦｉｎ側部（点ｂ）のそれぞれのシート抵抗が所望値になるときの様子を表している。尚、図１５は、Ｆｉｎ上部（点ａ）及びＦｉｎ側部（点ｂ）のそれぞれのシート抵抗を同じ値に設定する場合を例示している。

【０１２０】

最後に、ステップＳ１０７において、ＰＤ処理の後工程、例えば、洗浄、レジスト剥離、及び活性化のための熱処理等を実施して、デバイス製造を完了させる。

【０１２１】

以上に説明したように、本実施形態によると、第１の実施形態の構造を有する半導体装置、つまりフィン型半導体領域を有し且つ所望の特性を発揮することができる半導体装置を確実に製造することができる。

【産業上の利用可能性】

【０１２２】

本発明は、半導体装置及びその製造方法に関し、特に、基板上にフィン形状の半導体領域を有する３次元構造の半導体装置において所望の特性を得る上で有用である。

【図面の簡単な説明】

【０１２３】
【図１】図１（ａ）～（ｄ）は、本発明の第１の実施形態に係る半導体装置の構造を示す図であり、図１（ａ）は要部平面図であり、図１（ｂ）は図１（ａ）におけるＡ－Ａ線の要部断面図であり、図１（ｃ）は図１（ａ）におけるＢ－Ｂ線の要部断面図であり、図１（ｄ）は図１（ａ）におけるＣ－Ｃ線の要部断面図である。
【図２】図２（ａ）～（ｅ）は、本発明の第１の実施形態に係る半導体装置の製造方法を工程順に示す要部断面図である。
【図３】図３（ａ）は、図２（ｃ）に示す第１のプラズマドーピング条件によるドーピング方法を説明するための要部断面図であり、図３（ｂ）は、図２（ｄ）に示す第２のプラズマドーピング条件によるドーピング方法を説明するための要部断面図である。
【図４】図４は、本発明の第１の実施形態に係る半導体装置の製造方法においてフィン型半導体領域の上部に形成される第１の不純物領域のシート抵抗とプラズマドーピング時間との関係を示す図である。
【図５】図５は、本発明の第１の実施形態に係る半導体装置の製造方法においてフィン型半導体領域の側部に形成される第２の不純物領域のシート抵抗とプラズマドーピング時間との関係を示す図である。
【図６】図６は、本発明の第１の実施形態に係る半導体装置の製造方法においてフィン型半導体領域の上部に形成される第１の不純物領域及びフィン型半導体領域の側部に形成される第２の不純物領域のそれぞれのシート抵抗とプラズマドーピング時間との関係を示す図である。
【図７】図７は、本発明の第１の実施形態に係る半導体装置の製造方法の第１実施例においてフィン型半導体領域の上部に形成される第１の不純物領域のシート抵抗とプラズマドーピング時間との関係を示す図である。
【図８】図８は、本発明の第１の実施形態に係る半導体装置の製造方法の第２実施例においてフィン型半導体領域の上部に形成される第１の不純物領域のシート抵抗とプラズマドーピング時間との関係を示す図である。
【図９】図９は、本発明の第１の実施形態に係る半導体装置の製造方法の第３実施例においてフィン型半導体領域の上部に形成される第１の不純物領域のシート抵抗とプラズマドーピング時間との関係を示す図である。
【図１０】図１０は、本発明の第１の実施形態の第１変形例に係る半導体装置の要部平面図である。
【図１１】図１１（ａ）～（ｃ）は、本発明の第１の実施形態の第２変形例に係る半導体装置の断面構造を示す図であり、図１１（ａ）は図１（ａ）におけるＡ－Ａ線の要部断面図であり、図１１（ｂ）は図１（ａ）におけるＢ－Ｂ線の要部断面図であり、図１１（ｃ）は図１（ａ）におけるＣ－Ｃ線の要部断面図である。
【図１２】図１２は、本発明の第２の実施形態に係る半導体装置の製造方法におけるプラズマドーピング条件決定方法を示したフローチャートである。
【図１３】図１３（ａ）は本発明の第２の実施形態に係る半導体装置の製造方法におけるプラズマドーピング条件決定方法で用いるダミー基板の概略断面構成を示す図であり、図１３（ｂ）は図１２のステップＳ１０２におけるプラズマドーピング時間とシート抵抗との関係を示す図である。
【図１４】図１４は図１２のステップＳ１０３におけるプラズマドーピング時間とシート抵抗との関係を示す図である。
【図１５】図１５は図１２のステップＳ１０５及びＳ１０６におけるプラズマドーピング時間とシート抵抗との関係を示す図である。
【図１６】図１６（ａ）～（ｄ）は、従来のフィン型ＦＥＴの構造を示す図であり、図１６（ａ）は要部平面図であり、図１６（ｂ）は図１６（ａ）におけるＡ－Ａ線の要部断面図であり、図１６（ｃ）は図１６（ａ）におけるＢ－Ｂ線の要部断面図であり、図１６（ｄ）は図１６（ａ）におけるＣ－Ｃ線の要部断面図である。

【図１７】図１７（ａ）～（ｄ）は、従来の半導体装置の製造方法を工程順に示す要部断面図である。

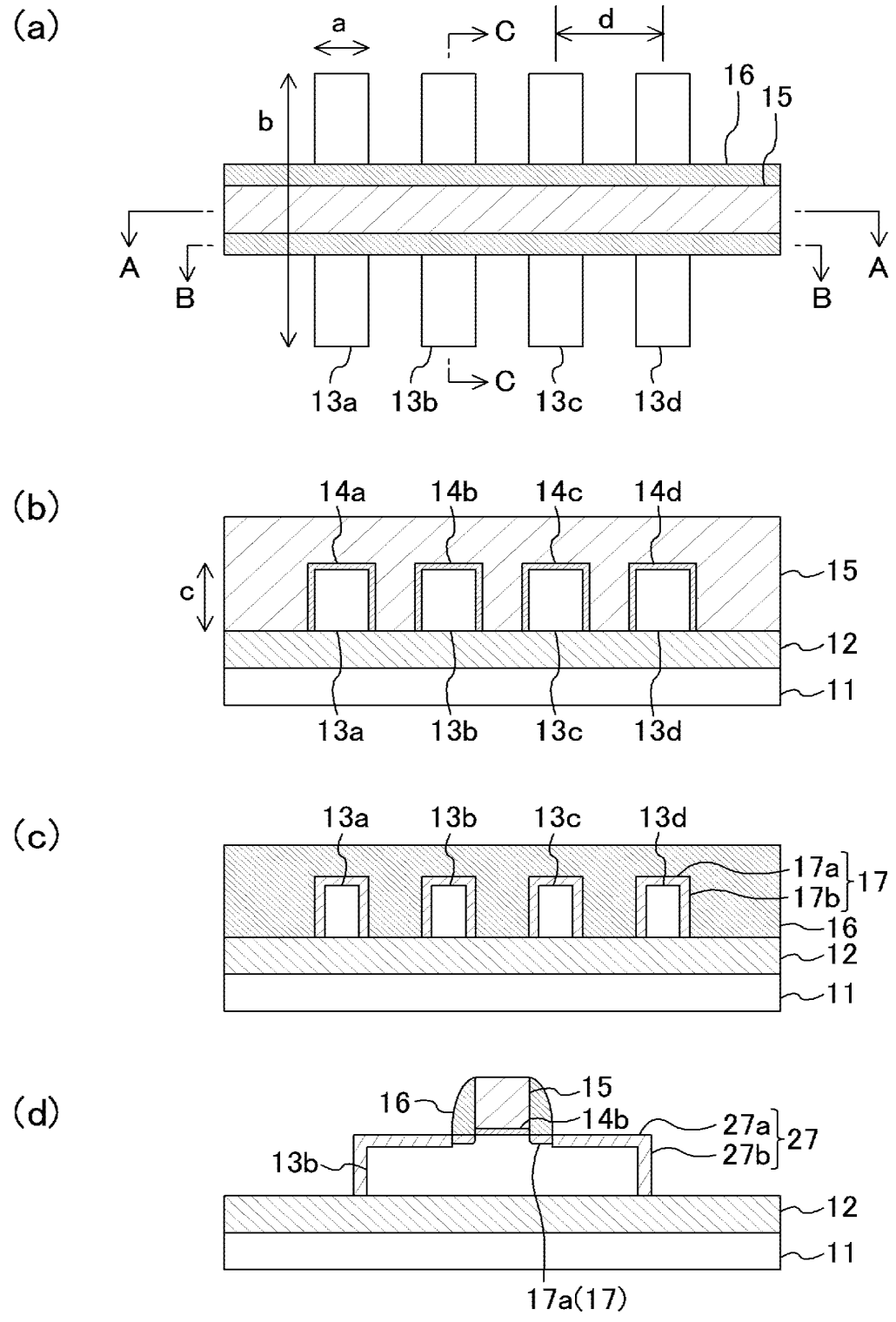
【図１８】図１８（ａ）は、特許文献１におけるフィン型ＦＥＴのソース・ドレイン領域を形成する工程を示した要部断面図であり、図１８（ｂ）は、非特許文献１におけるフィン型ＦＥＴのソース・ドレイン領域を形成する工程を示した要部断面図である。

【符号の説明】

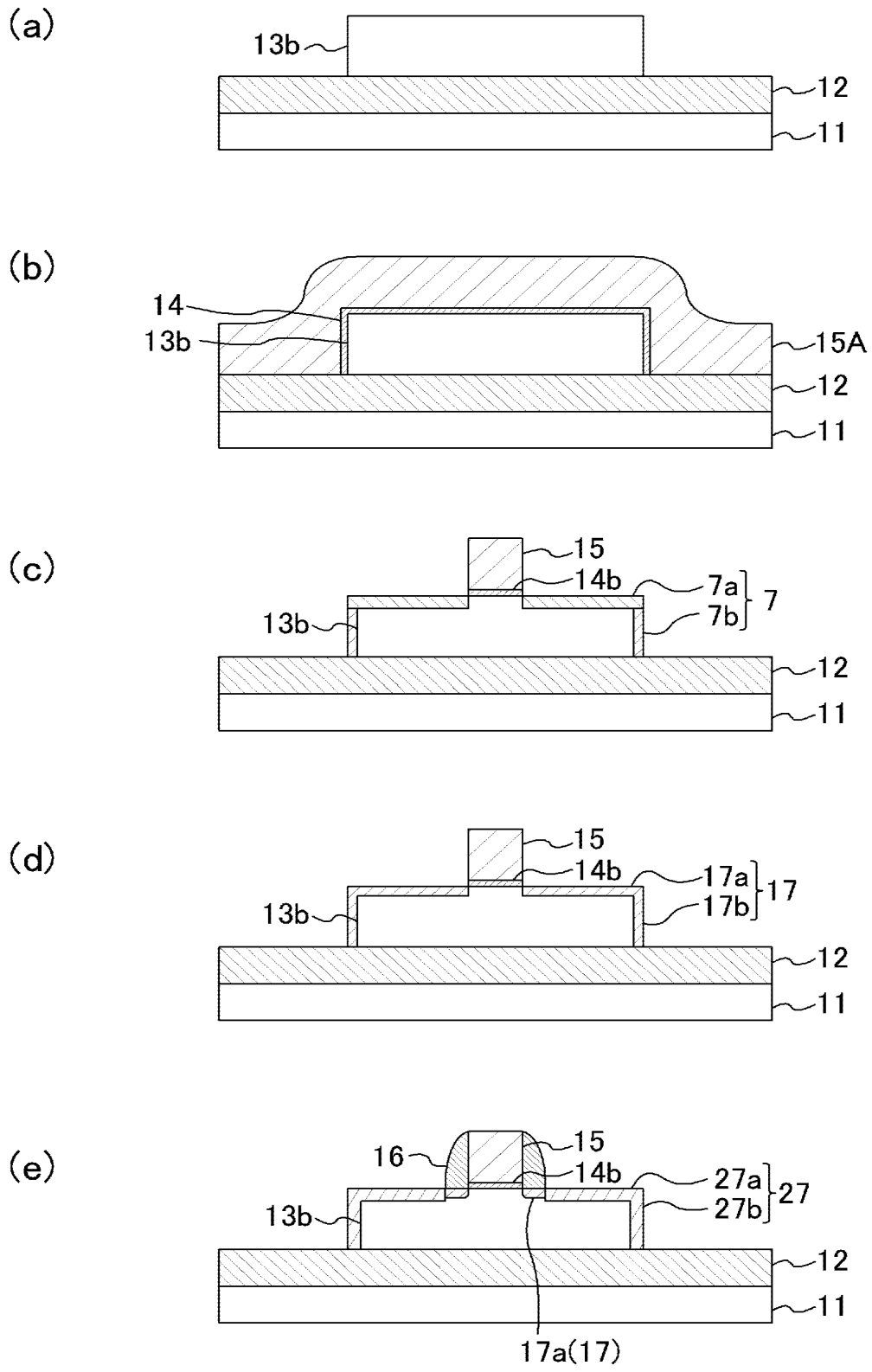
【０１２４】

７　エクステンション領域
７ａ　第１の不純物領域
７ｂ　第２の不純物領域
１１　支持基板
１２　絶縁層
１３ａ～１３ｆ　フィン型半導体領域
１４（１４ａ～１４ｄ）　ゲート絶縁膜
１５　ゲート電極
１５Ａ　ポリシリコン膜
１６　絶縁性サイドウォールスペーサ
１７　エクステンション領域
１７ａ　第１の不純物領域
１７ｂ　第２の不純物領域
１８ａ、１９ａ　注入イオン
１８ｂ、１９ｂ　吸着種
１８ｃ、１９ｃ　離脱不純物
２４ａ～２４ｄ　絶縁膜
２７　ソース・ドレイン領域
２７ａ　第３の不純物領域
２７ｂ　第４の不純物領域
５１　ダミー基板
５２　フィン型半導体領域

【書類名】図面
【図１】

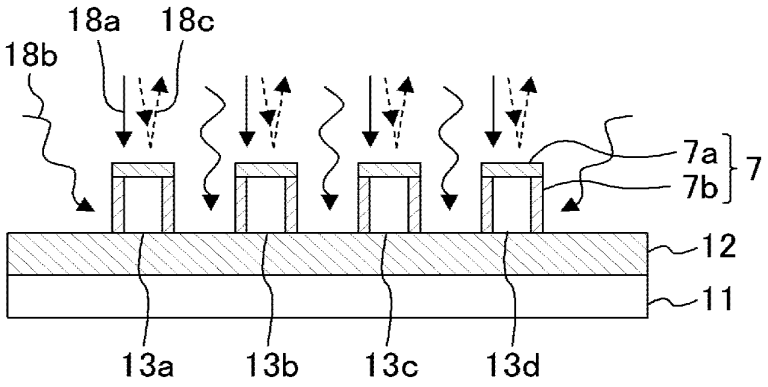

(a)
a
C
d
b
16
15
A
B
A
B
C
13a
13b
13c
13d
(b)
14a
14b
14c
14d
c
15
12
11
13a
13b
13c
13d
(c)
13a
13b
13c
13d
17a
17b
17
16
12
11
(d)
16
15
14b
27a
27
27b
13b
12
11
17a(17)

【図２】

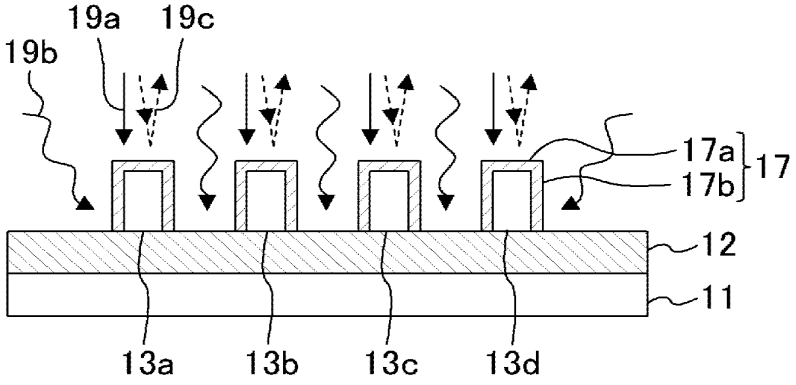

(a)
13b
12
11
(b)
14
13b
15A
12
11
(c)
15
14b
7a
7b
7
13b
12
11
(d)
15
14b
17a
17b
17
13b
12
11
(e)
16
15
14b
27a
27b
27
13b
12
11
17a(17)

【図３】

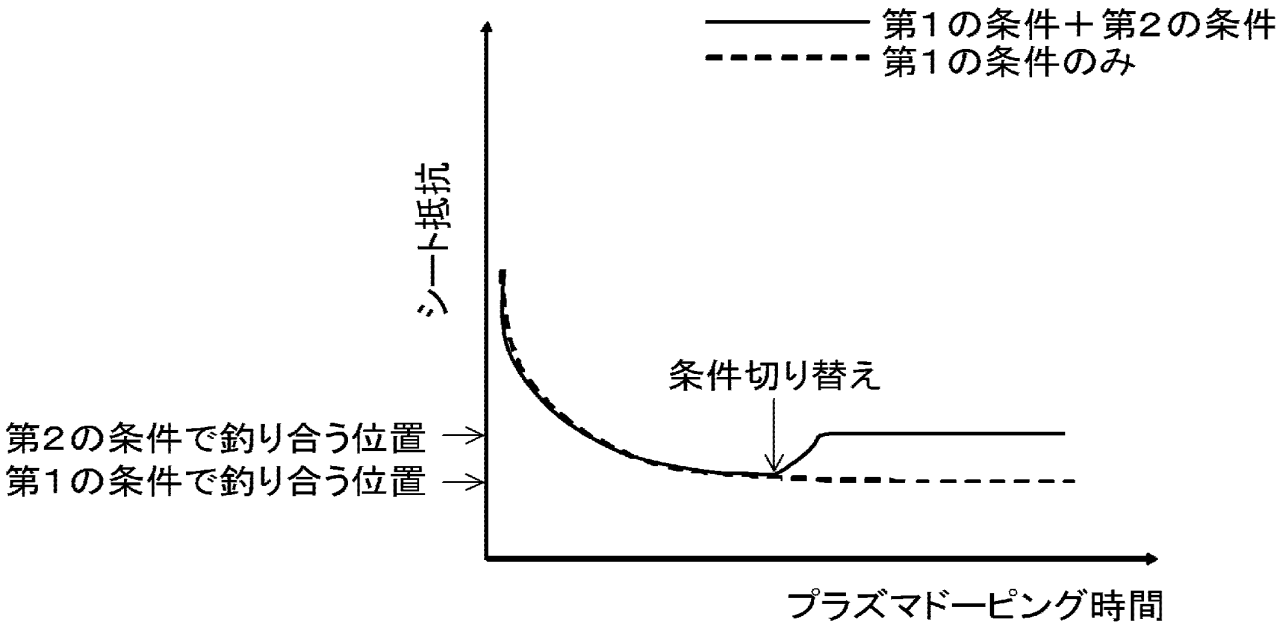
(a)


18a
18c
18b
7a
7b
7
12
11
13a
13b
13c
13d

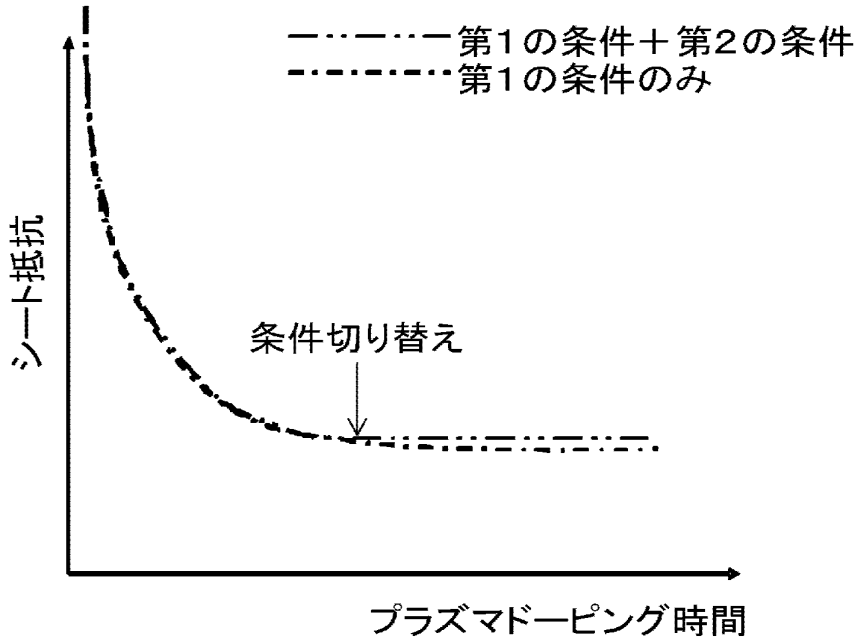
(b)


19a
19c
19b
17a
17b
17
12
11
13a
13b
13c
13d

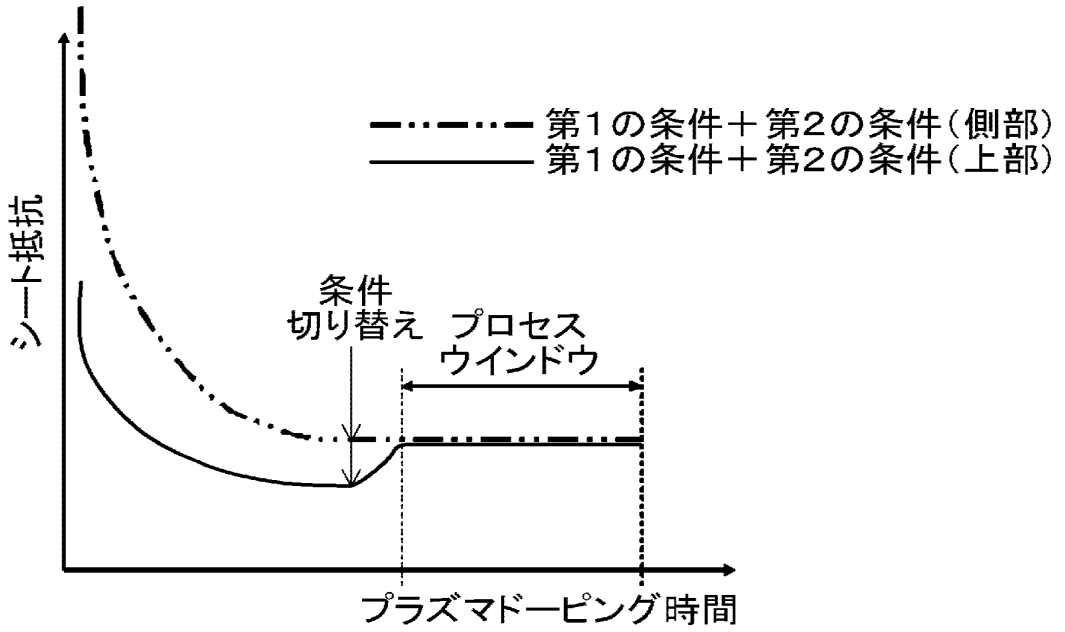
【図４】


第１の条件＋第２の条件
第１の条件のみ
シート抵抗
条件切り替え
第２の条件で釣り合う位置
第１の条件で釣り合う位置
プラズマドーピング時間

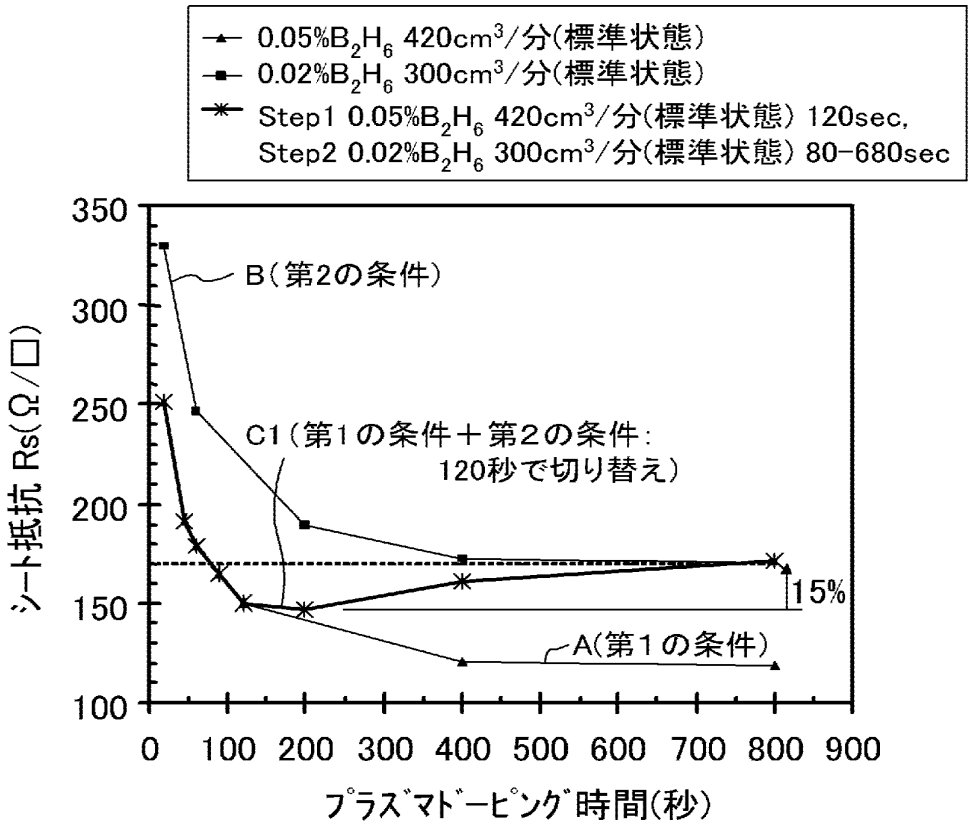
【図５】


第１の条件＋第２の条件
第１の条件のみ
シート抵抗
条件切り替え
プラズマドーピング時間

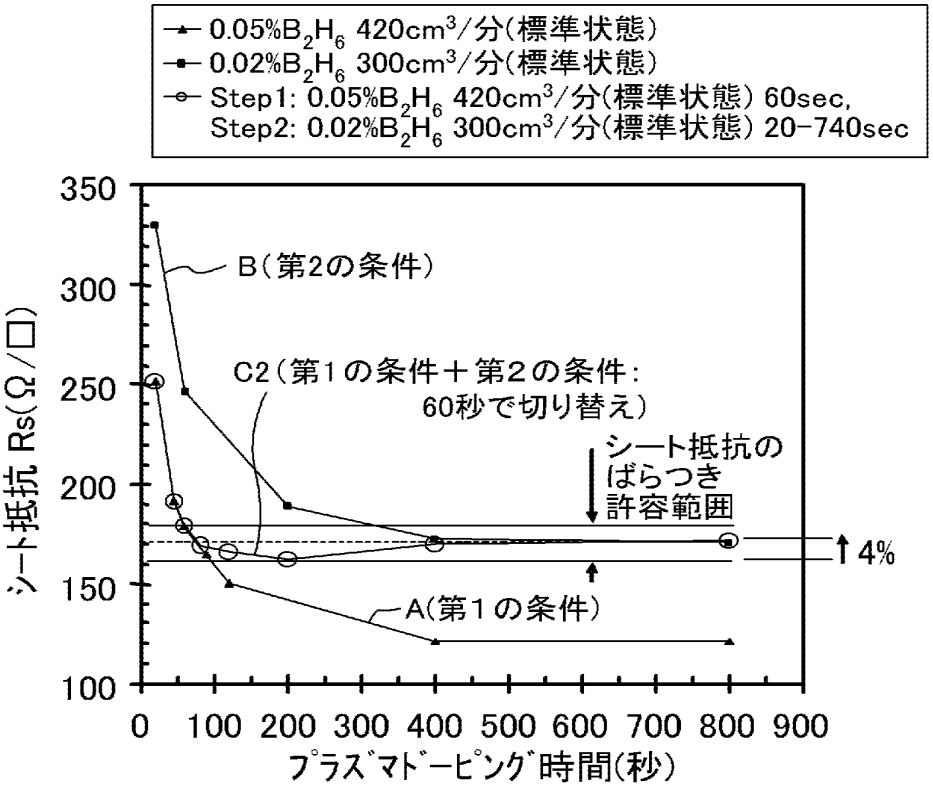
【図６】


第１の条件＋第２の条件（側部）
第１の条件＋第２の条件（上部）
シート抵抗
条件
切り替え
プロセス
ウインドウ
プラズマドーピング時間

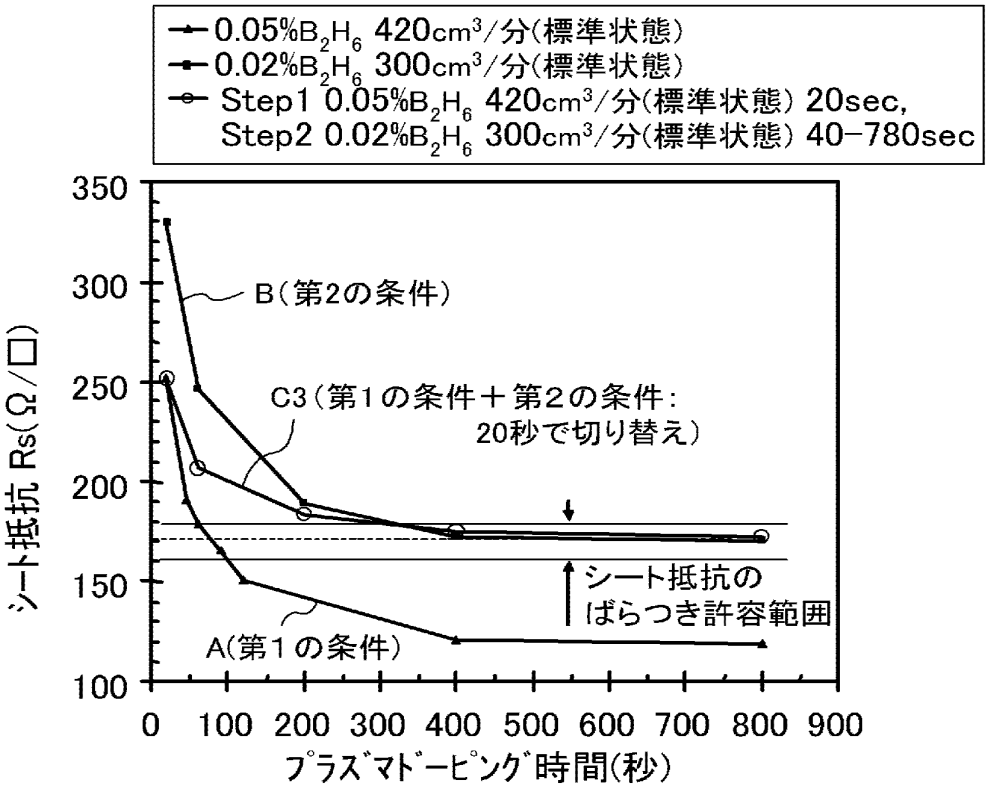
【図７】


0.05%B2H6 420cm3/分(標準状態)
0.02%B2H6 300cm3/分(標準状態)
Step1 0.05%B2H6 420cm3/分(標準状態) 120sec,
Step2 0.02%B2H6 300cm3/分(標準状態) 80-680sec
B(第2の条件)
C1(第1の条件＋第2の条件:
120秒で切り替え)
A(第1の条件)
15%
シート抵抗 Rs(Ω/□)
350
300
250
200
150
100
0
100
200
300
400
500
600
700
800
900
ﾌﾟﾗｽﾞﾏﾄﾞｰﾋﾟﾝｸﾞ時間(秒)

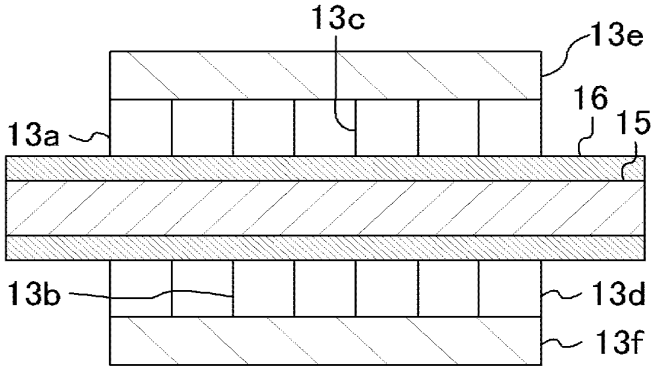
【図８】


0.05%B2H6 420cm3/分(標準状態)
0.02%B2H6 300cm3/分(標準状態)
Step1: 0.05%B2H6 420cm3/分(標準状態) 60sec,
Step2: 0.02%B2H6 300cm3/分(標準状態) 20-740sec
シート抵抗 Rs(Ω/□)
350
300
250
200
150
100
0 100 200 300 400 500 600 700 800 900
プラズマドーピング時間(秒)
B(第2の条件)
C2(第1の条件＋第2の条件:
60秒で切り替え)
シート抵抗の
ばらつき
許容範囲
4%
A(第1の条件)

【図９】

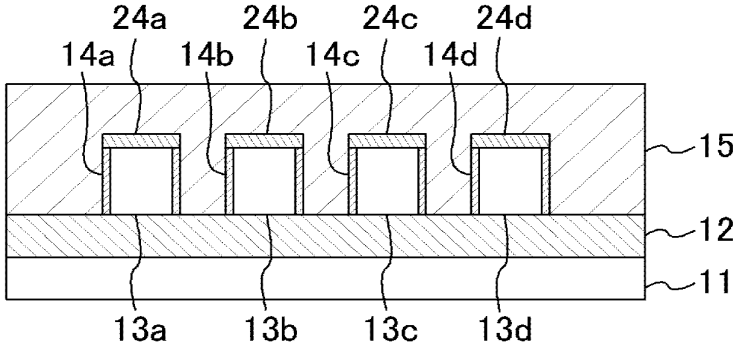

0.05%B2H6 420cm3/分(標準状態)
0.02%B2H6 300cm3/分(標準状態)
Step1 0.05%B2H6 420cm3/分(標準状態) 20sec,
Step2 0.02%B2H6 300cm3/分(標準状態) 40-780sec
シート抵抗 Rs(Ω/□)
350
300
250
200
150
100
0 100 200 300 400 500 600 700 800 900
プラズマドーピング時間(秒)
B(第2の条件)
C3(第1の条件＋第2の条件:
20秒で切り替え)
シート抵抗の
ばらつき許容範囲
A(第1の条件)

【図１０】

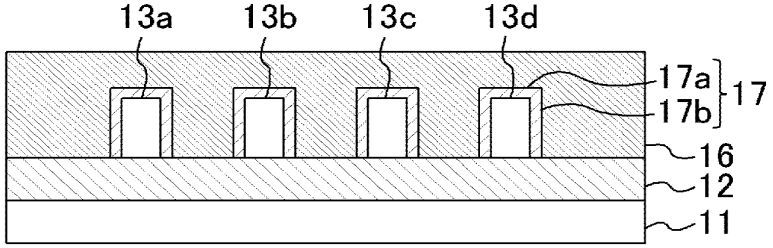

13c
13e
16
15
13a
13b
13d
13f

【図１１】

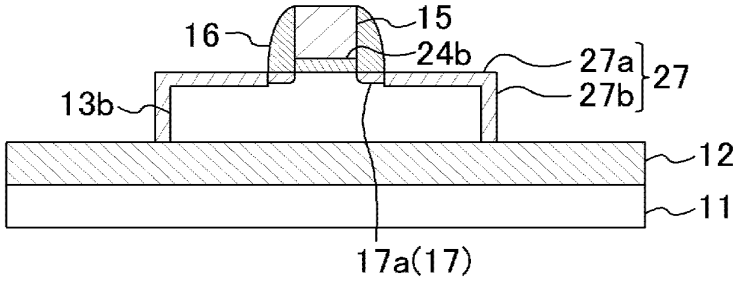
(a)


24a
24b
24c
24d
14a
14b
14c
14d
15
12
11
13a
13b
13c
13d

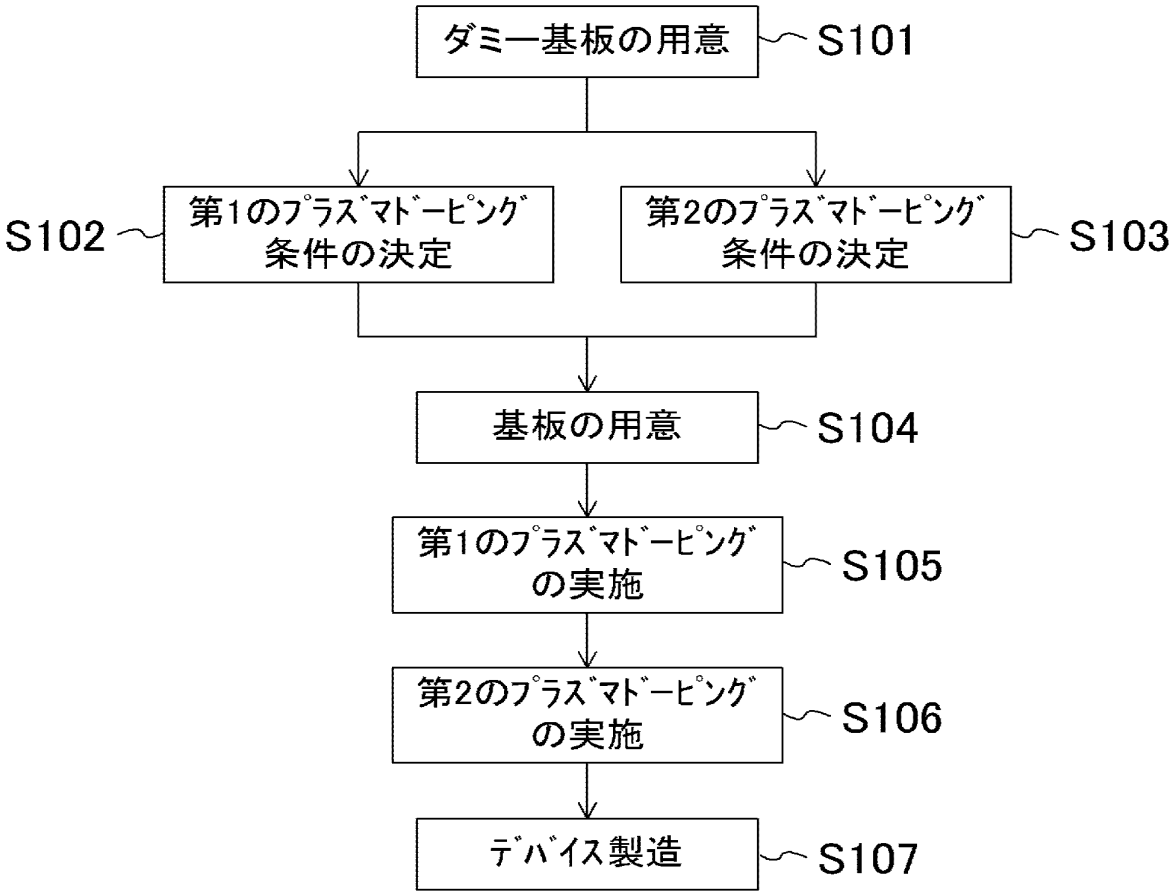
(b)


13a
13b
13c
13d
17a
17b
17
16
12
11

(c)

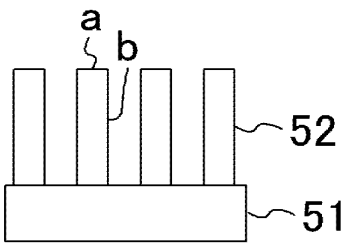

16
15
24b
27a
27b
27
13b
12
11
17a(17)

【図１２】

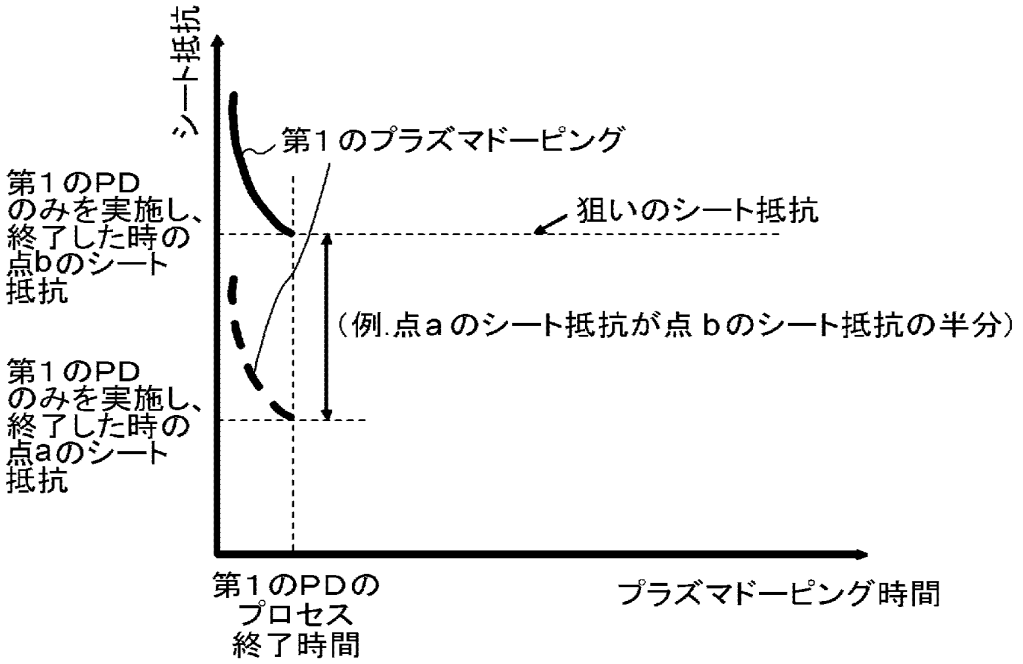

ダミー基板の用意
S101
第1のプラズマドーピング
条件の決定
S102
第2のプラズマドーピング
条件の決定
S103
基板の用意
S104
第1のプラズマドーピング
の実施
S105
第2のプラズマドーピング
の実施
S106
デバイス製造
S107

【図１３】

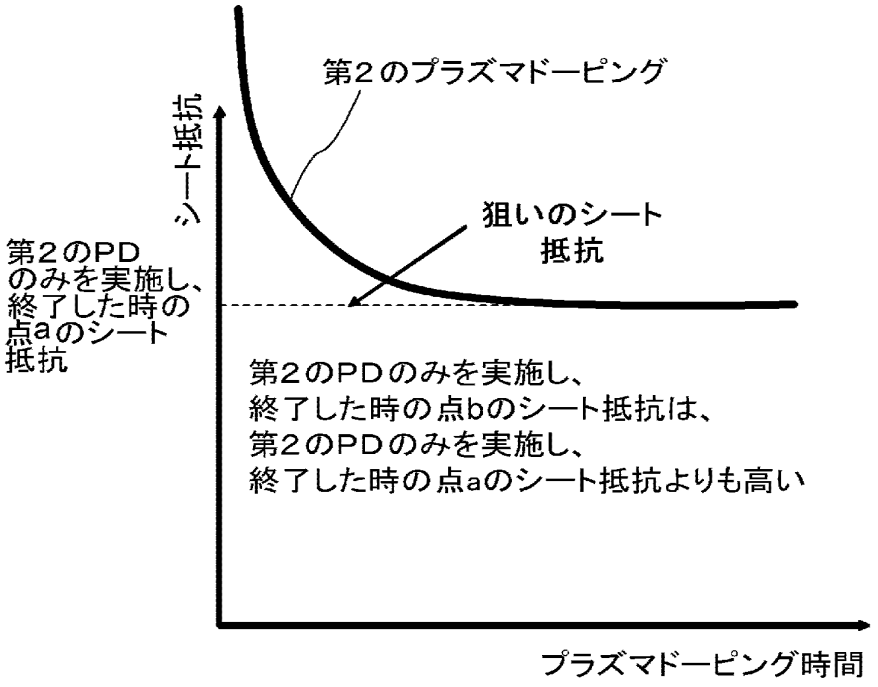
(a)


a
b
52
51

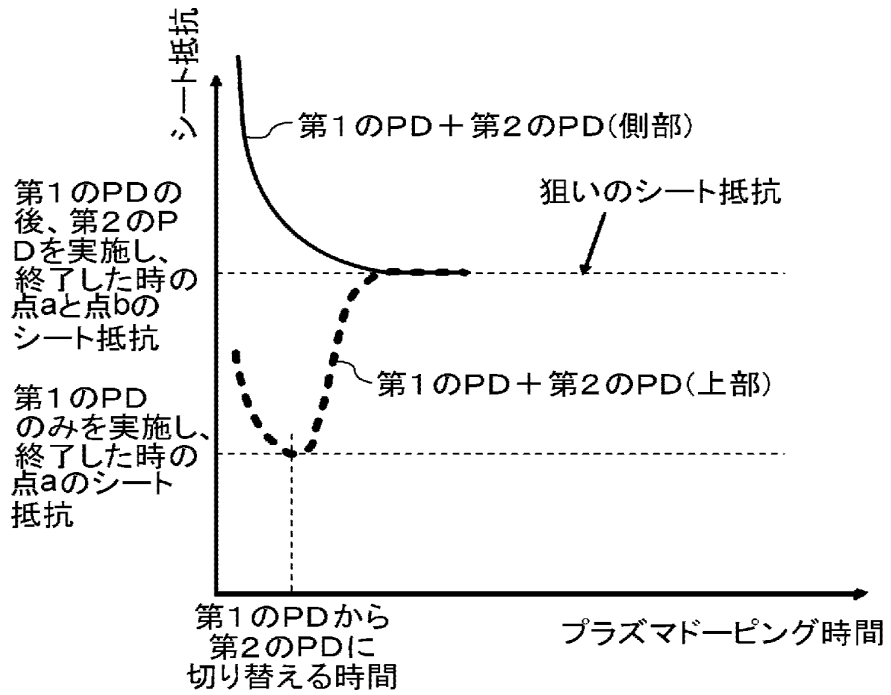
(b)


シート抵抗
第１のプラズマドーピング
第１のPD
のみを実施し、
終了した時の
点bのシート
抵抗
狙いのシート抵抗
（例.点ａのシート抵抗が点ｂのシート抵抗の半分）
第１のPD
のみを実施し、
終了した時の
点aのシート
抵抗
第１のPDの
プロセス
終了時間
プラズマドーピング時間

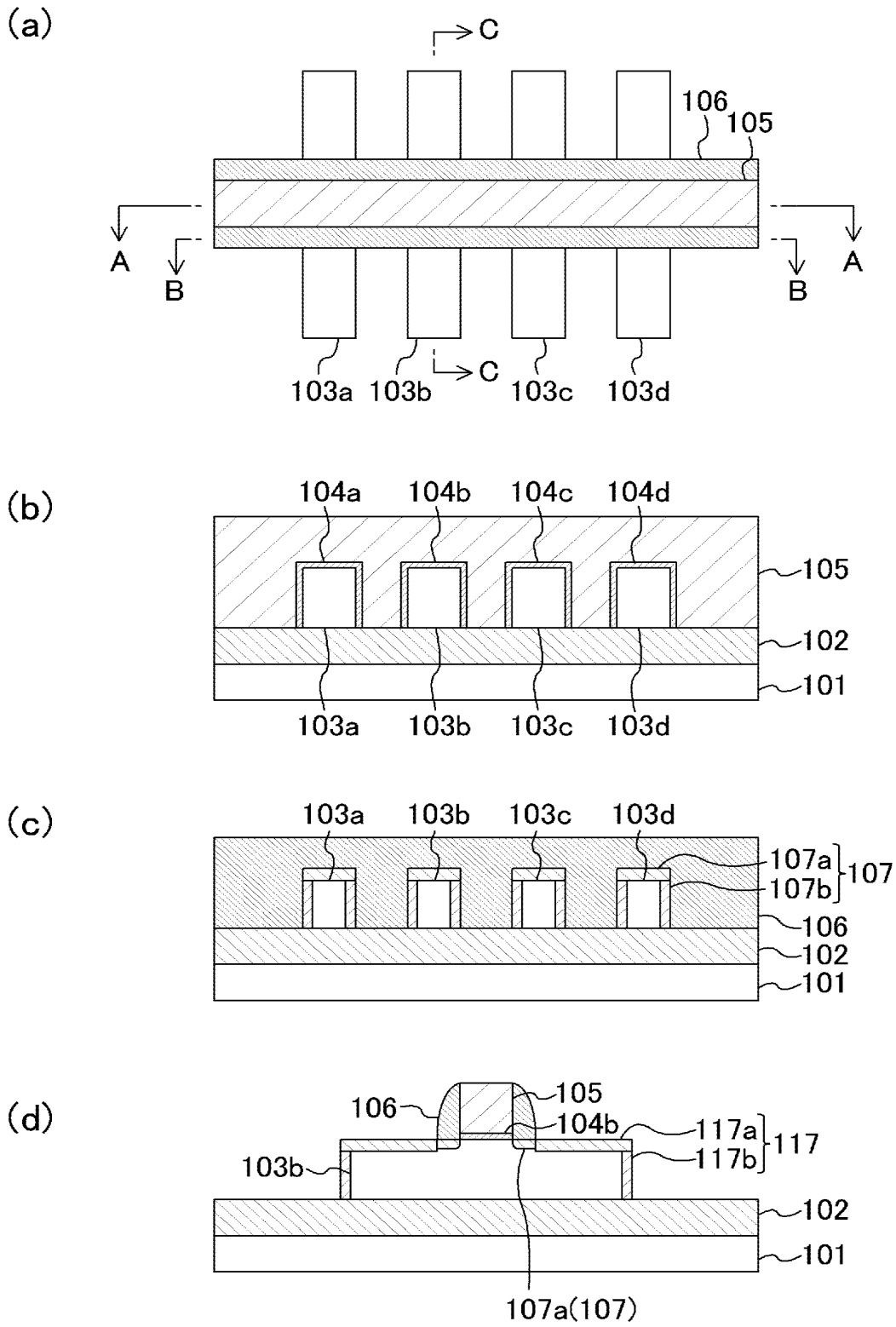
【図１４】


第２のプラズマドーピング
シート抵抗
狙いのシート
抵抗
第２のPD
のみを実施し、
終了した時の
点aのシート
抵抗
第２のＰＤのみを実施し、
終了した時の点bのシート抵抗は、
第２のＰＤのみを実施し、
終了した時の点aのシート抵抗よりも高い
プラズマドーピング時間

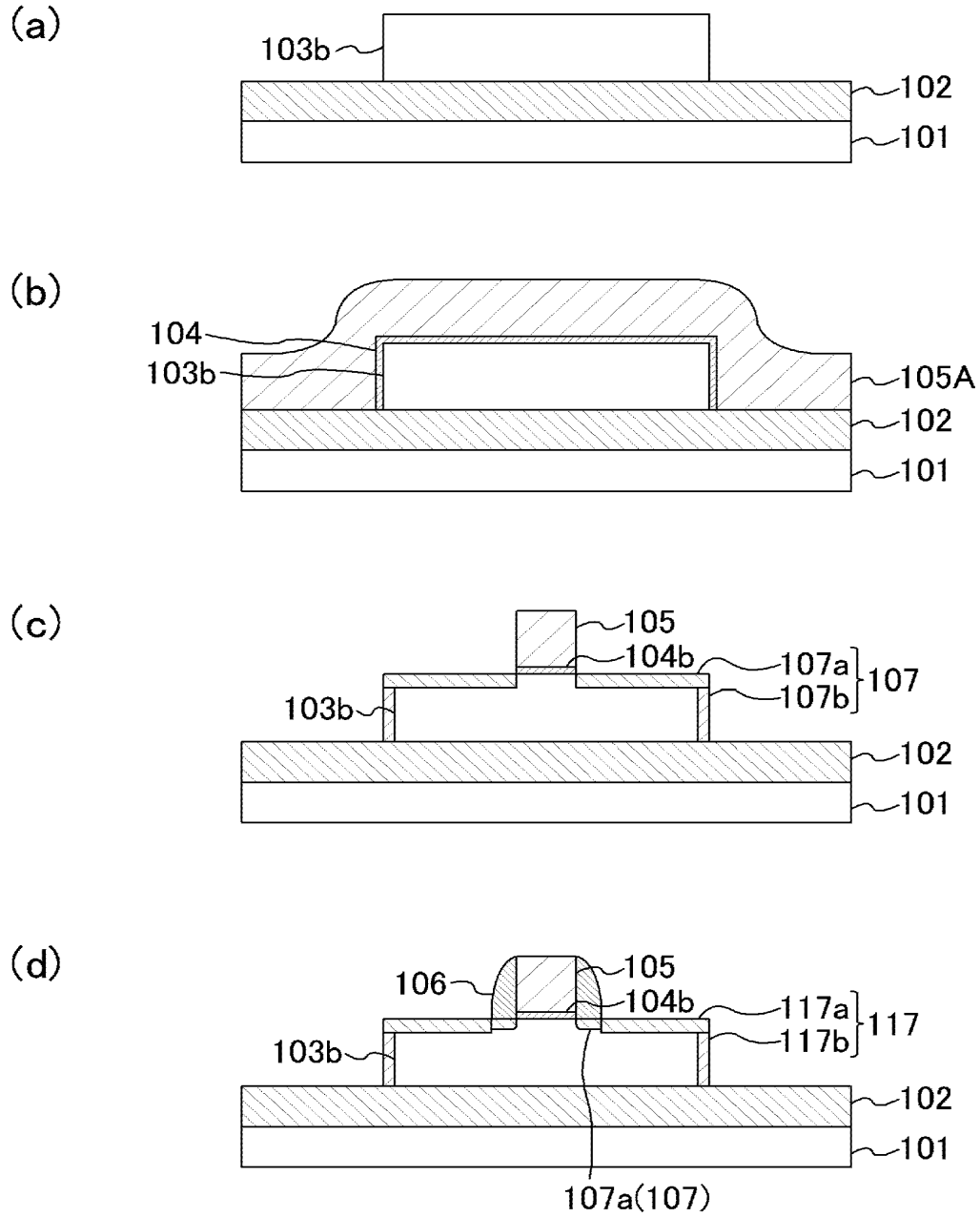
【図１５】


シート抵抗
第１のPD＋第２のPD(側部)
狙いのシート抵抗
第１のPDの
後、第２のP
Dを実施し、
終了した時の
点aと点bの
シート抵抗
第１のPD＋第２のPD(上部)
第１のPD
のみを実施し、
終了した時の
点aのシート
抵抗
第１のPDから
第２のPDに
切り替える時間
プラズマドーピング時間

【図１６】

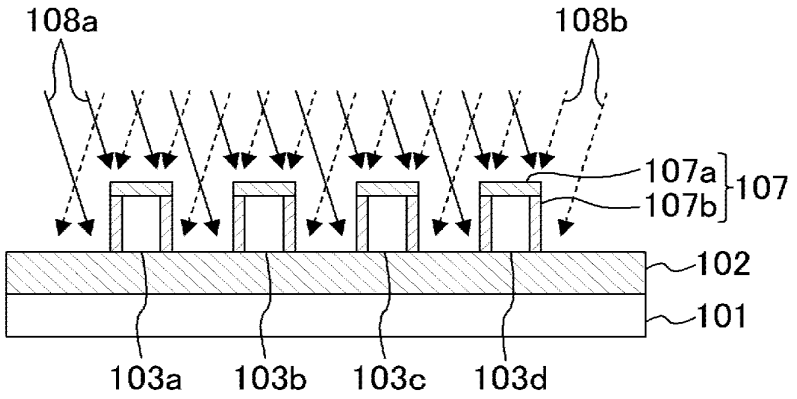

(a)
C
106
105
A
B
A
B
C
103a
103b
103c
103d
(b)
104a
104b
104c
104d
105
102
101
103a
103b
103c
103d
(c)
103a
103b
103c
103d
107a
107b
107
106
102
101
(d)
106
105
104b
117a
117
103b
117b
102
101
107a(107)

【図１７】

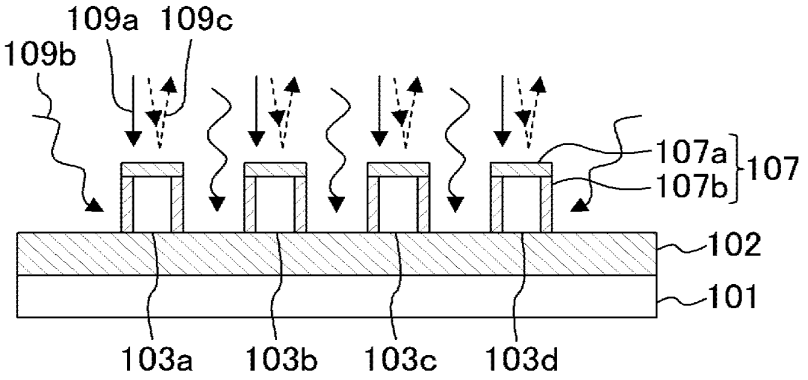

(a)
103b
102
101
(b)
104
103b
105A
102
101
(c)
105
104b
107a
107
107b
103b
102
101
(d)
106
105
104b
117a
117
117b
103b
102
101
107a(107)

【図１８】

(a)


108a
108b
107a
107b
107
102
101
103a
103b
103c
103d

(b)


109a
109c
109b
107a
107b
107
102
101
103a
103b
103c
103d

【書類名】要約書
【要約】
【課題】フィン型半導体領域を有する半導体装置において所望の特性が得られるようにする。
【解決手段】支持基板１１上に上面及び側面を有するフィン型半導体領域１３ａ～１３ｄが形成されている。フィン型半導体領域１３ａ～１３ｄのそれぞれの上部には第１の不純物領域１７ａが形成されている。フィン型半導体領域１３ａ～１３ｄのそれぞれの側部には第２の不純物領域１７ｂが形成されている。第２の不純物領域１７ｂの注入ドーズ量は第１の不純物領域１７ａの注入ドーズ量と比べて同等以上である。
【選択図】図１

出願人履歴

０００００５８２１

19900828

新規登録

５０６１７８４４９

大阪府門真市大字門真１００６番地

松下電器産業株式会社

Docket No.: 079195-0378 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Yuichiro SASAKI, et al.	:	Confirmation Number: 1386
Application No.: 12/025,504	:	Group Art Unit: 2812
Filed: February 04, 2008	:	Examiner: Not Yet Assigned

For: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

INFORMATION DISCLOSURE STATEMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 37 C.F.R. 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the references listed on the attached form PTO-1449. It is respectfully requested that the references be expressly considered during the prosecution of this application, and that the references be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

This Information Disclosure Statement is being filed within three months of the U.S. filing date OR before the mailing date of a first Office Action on the merits. No certification or fee is required.

Each reference was cited in an International Search Report and its relevance discussed therein. A copy of the International Search Report is attached for the Examiner's information.

Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:jwp
Facsimile: 202.756.8087
Date: July 1, 2008

Please recognize our Customer No. 53080 as our correspondence address.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Substitute for form 1449/PTO)

ATTY. DOCKET NO.	SERIAL NO.
079195-0378	**12/025,504**

APPLICANT
Yuichiro SASAKI, et al.

FILING DATE	GROUP
February 04, 2008	**2812**

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US	**6,031,249**	**02-29-2000**	**Yamazaki et al.**	**Corresponds to JP 10-79517**
		US	**2007/0007524 A1**	**01-11-2007**	**You et al.**	**Corresponds to JP 2007-13145**
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Codes-Number 4-Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
		JP 10-79517	**03-24-1998**	**SEMICONDUCTOR ENERGY LAB**	**Corresponds to US 6,031,249**	**Japanese w/English Abstract**	
		JP 2007-13145	**01-18-2007**	**SAMSUNG ELECTRONICS CO LTD**	**Corresponds to US 2007/0007524 A1**	**Japanese w/English Abstract**	
		JP 2006-164997	**06-22-2006**	**TOYOTA MOTOR CORP**		**Japanese w/English Abstract**	

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	
		International Search Report issued in International Patent Application No. PCT/JP2008/050253, dated April 01, 2008.	

EXAMINER	DATE CONSIDERED

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.
1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

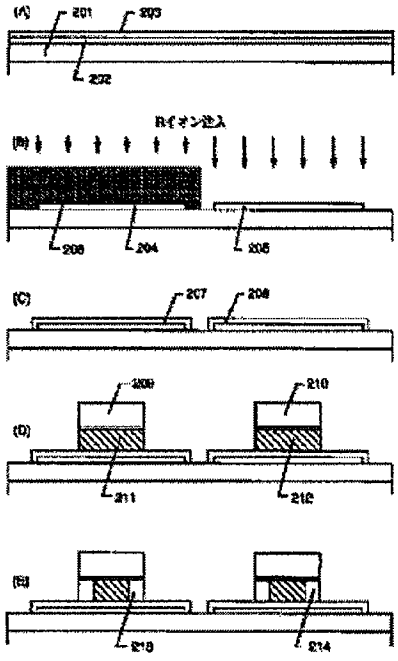
SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Publication number: JP10079517
Publication date: 1998-03-24
Inventor: YAMAZAKI SHUNPEI; OTANI HISASHI; FUKUNAGA KENJI
Applicant: SEMICONDUCTOR ENERGY LAB
Classification:
- international: ***H01L27/092; H01L21/336; H01L21/8238; H01L29/786;*** **H01L27/085; H01L21/02; H01L21/70; H01L29/66;** (IPC1-7): H01L29/786; H01L21/336; H01L21/8238; H01L27/092
- European:
Application number: JP19970196499 19970707
Priority number(s): JP19970196499 19970707; JP19960201294 19960711

Report a data error here

Abstract of **JP10079517**

PROBLEM TO BE SOLVED: To enable the threshold voltage of a semiconductor device to be controlled in threshold voltage in the order of a few tenths of a volt by a method, wherein impurities are added to only an active layer provided to the semiconductor device, a concentration distribution of impurity is set discontinuous at an interface between the active layer and a gate-insulating film, and the control of a threshold voltage is carried out, taking advantage of residual impurities in the active layer adjacent to its interface with the gate insulating film. SOLUTION: A crystalline silicon film 203 is formed on a substrate 201 possessed of an insulating surface through the intermediary of a base film 202 to serve as an active layer. The crystalline silicon film 203 is subjected to a thermal oxidation treatment so as to obtain a gate-insulating film, and an island-shaped semiconductor layer 204 which forms the active layer of an N-channel TFT and an island-shaped semiconductor layer 205 which forms the active layer of a P-channel TFT are formed by patterning. After the island-shaped semiconductor layer 204 has been covered with a resist mask 206, B-ions as impurity ions are added to only the island-shaped semiconductor layer 205. The concentration distribution of impurity is set discontinuous at an interface between the island-shaped semiconductor layer 205 and the gate-insulating film, and a threshold voltage is controlled, taking advantage of the residual B-ions located adjacent to the interface.



Data supplied from the ***esp@cenet*** database - Worldwide

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（A）　(11)特許出願公開番号

特開平10－79517

(43)公開日　平成10年(1998)３月24日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ		技術表示箇所
Ｈ０１Ｌ	29/786		Ｈ０１Ｌ	29/78	６１８Ｆ
	21/8238			27/08	３２１Ｄ
	27/092			29/78	６１３Ａ
	21/336				６１６Ａ
					６１７Ｓ

審査請求　未請求　請求項の数19　ＦＤ　(全 23 頁)　最終頁に続く

(21)出願番号　特願平9－196499

(22)出願日　平成９年(1997)７月７日

(31)優先権主張番号　特願平8－201294

(32)優先日　平８(1996)７月11日

(33)優先権主張国　日本（ＪＰ）

(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者　山崎　舜平
神奈川県厚木市長谷398番地　株式会社半導体エネルギー研究所内

(72)発明者　大谷　久
神奈川県厚木市長谷398番地　株式会社半導体エネルギー研究所内

(72)発明者　福永　健司
神奈川県厚木市長谷398番地　株式会社半導体エネルギー研究所内

(54)【発明の名称】　半導体装置およびその作製方法

(57)【要約】
【目的】ＣＭＯＳ構造を有する半導体装置において、精密なしきい値電圧の制御を行うための技術を提供する。
【構成】　ＣＭＯＳ回路を作製するにあたって、ゲイト絶縁膜を形成する前の段階で、Ｐチャネル型半導体装置の活性層に対してＰ型を付与する不純物元素を添加する。その後、活性層に対して熱酸化処理を施すことで、不純物元素を再分布させ、活性層の主表面における不純物元素の濃度を微量なものとする。その微量な不純物元素によって、精密なしきい値電圧の制御が可能となる。

【特許請求の範囲】

【請求項１】絶縁表面を有する基板上に配置された結晶性珪素膜でなる活性層と、
前記活性層に対して熱酸化処理を施して得られたゲイト絶縁膜と、
前記ゲイト絶縁膜上に配置されたゲイト電極と、
を少なくとも有する、Ｎチャネル型半導体装置およびＰチャネル型半導体装置とを相補的に組み合わせたＣＭＯＳ構造を有する半導体装置において、
前記Ｐチャネル型半導体装置の活性層のみにおいてＰ型を付与する不純物元素が意図的に添加されており、
前記不純物元素の濃度分布は、前記活性層と前記ゲイト絶縁膜との界面において不連続であり、かつ、前記活性層側の界面近傍において前記界面に向かって連続的に減少する傾向にあり、
前記活性層側の界面近傍に残存する前記不純物元素がしきい値電圧の制御に利用されることを特徴とする半導体装置。

【請求項２】絶縁表面を有する基板上に配置された結晶性珪素膜でなる活性層と、
前記活性層に対して熱酸化処理を施して得られたゲイト絶縁膜と、
前記ゲイト絶縁膜上に配置されたゲイト電極と、
を少なくとも有する、Ｎチャネル型半導体装置およびＰチャネル型半導体装置とを相補的に組み合わせたＣＭＯＳ構造を有する半導体装置において、
前記Ｎチャネル型半導体装置およびＰチャネル型半導体装置の活性層にはＰ型を付与する不純物元素が意図的に添加されており、
前記不純物元素の濃度分布は、前記活性層と前記ゲイト絶縁膜との界面において不連続であり、かつ、前記活性層側の界面近傍において前記界面に向かって連続的に減少し、
前記活性層側の界面近傍に残存する前記不純物元素がしきい値電圧の制御に利用されることを特徴とする半導体装置。

【請求項３】請求項２において、前記Ｎチャネル型半導体装置の活性層には、少なくともエッジ部分を含む領域に対して前記不純物元素が添加され、
前記Ｐチャネル型半導体装置の活性層には、少なくともチャネル形成領域内においてはエッジ部分を含まない領域に前記不純物元素が添加されることを特徴とする半導体装置。

【請求項４】請求項１または請求項２において、前記ゲイト絶縁膜中における前記不純物元素の濃度は 1×10^{17} ～ $1\times10^{20}/cm^3$であることを特徴とする半導体装置。

【請求項５】請求項１または請求項２において、前記結晶性珪素膜には結晶化を助長する金属元素が $5\times10^{18}/cm^3$以下の濃度で含有され、
前記熱酸化処理はハロゲン元素を含む雰囲気において行われ、
前記ゲイト絶縁膜中には 1×10^{16}～ $1\times10^{20}/cm^3$の濃度でハロゲン元素が含まれることを特徴とする半導体装置。

【請求項６】請求項５において、前記金属元素とはＮｉ、Ｃｏ、Ｐｔ、Ｃｕ、Ｆｅから選ばれた一種または複数種の元素であり、
前記熱酸化処理は700 ～1100℃の温度範囲で行われ、
前記ハロゲン元素とはＣｌまたはＦであることを特徴とする半導体装置。

【請求項７】請求項５において、前記金属元素とはＮｉであり、前記熱酸化処理はＣｌおよび／またはＦをその組成に含む、ＨＣｌガス、NF_3 ガス、ClF_3 ガスを少なくとも含む雰囲気において行われることを特徴とする半導体装置。

【請求項８】請求項１または請求項２または請求項５において、前記結晶性珪素膜のエネルギーバンドギャップは1.3 ～1.9eV であることを特徴とする半導体装置。

【請求項９】請求項８において、エネルギーバンドギャップは、光学吸収スペクトルを測定することにより前記結晶性珪素膜の実効透過率の光波長依存性を求め、
前記実効透過率が減少し始める吸収端における光波長の値をＥ＝ｈｃ／λで表される式を用いてエネルギー値に変換して算出される値で定義されることを特徴とする半導体装置。

【請求項１０】請求項１または請求項２において、前記Ｎチャネル型半導体装置およびＰチャネル型半導体装置のサブスレッシュホールド値は85mV/dec以下であることを特徴とする半導体装置。

【請求項１１】請求項１または請求項２において、前記Ｎチャネル型半導体装置のしきい値電圧は-0.2～0.5Vであり、
前記Ｐチャネル型半導体装置のしきい値電圧は-0.5～0.2Vであり、
前記Ｎチャネル型半導体装置およびＰチャネル型半導体装置のウィンドウ幅は１Ｖ以下であることを特徴とする半導体装置。

【請求項１２】絶縁性を有する基板上に結晶性珪素膜でなる第１および第２の活性層を形成する工程と、
前記第１の活性層に対してのみＰ型を付与する不純物元素を含有せしめる工程と、
前記第１および第２の活性層に対して熱酸化処理を施すことにより前記第１の活性層表面に形成される熱酸化膜の内部に前記不純物元素を取り込む工程と、
を少なくとも有する半導体装置の作製方法であって、
前記不純物元素の濃度分布は、前記活性層と前記ゲイト絶縁膜との界面において不連続であり、かつ、前記活性層側の界面近傍において前記界面に向かって連続的に減少し、
前記活性層側の界面近傍に残存する前記不純物元素が

INTEL - 1004
Page 167 of 492

用することによりしきい値電圧の制御を行うことを特徴とする半導体装置の作製方法。

【請求項１３】請求項１２において、前記第１の活性層はＰチャネル型半導体装置の活性層であり、
前記第２の活性層はＮチャネル型半導体装置の活性層であり、
前記Ｐチャネル型半導体装置およびＮチャネル型半導体装置を相補的に組み合わせてＣＭＯＳ構造とすることを特徴とする半導体装置の作製方法。

【請求項１４】絶縁表面を有する基板上にＰ型を付与する不純物元素を含有せしめた結晶性珪素膜でなる第１の活性層および不純物元素が含有されない第２の活性層を形成する工程と、
前記第１および第２の活性層に対して熱酸化処理を施してゲイト絶縁膜を形成する工程と、
を少なくとも有する、Ｎチャネル型半導体装置およびＰチャネル型半導体装置とを相補的に組み合わせたＣＭＯＳ型の半導体装置の作製方法であって、
前記第１の活性層は前記Ｐチャネル型半導体装置を、前記第２の半導体装置は前記Ｎチャネル型半導体装置を構成し、
前記熱酸化処理により前記第１の活性層内部に含有される前記不純物元素を前記ゲイト絶縁膜内部に取り込み、
前記ゲイト絶縁膜と接する側の活性層表面における前記不純物元素の濃度を低減せしめ、
前記ゲイト絶縁膜と接する側の活性層表面に残存する前記不純物元素を利用してしきい値電圧の制御を行うことを特徴とする半導体装置の作製方法。

【請求項１５】絶縁表面を有する基板上にＰ型を付与する不純物元素を含有せしめた結晶性珪素膜でなる第１の活性層および第２の活性層を形成する工程と、
前記第１および第２の活性層に対して熱酸化処理を施してゲイト絶縁膜を形成する工程と、
を少なくとも有する、Ｎチャネル型半導体装置およびＰチャネル型半導体装置とを相補的に組み合わせたＣＭＯＳ型の半導体装置の作製方法であって、
前記第１の活性層は前記Ｐチャネル型半導体装置を、前記第２の半導体装置は前記Ｎチャネル型半導体装置を構成し、
前記熱酸化処理により前記第１の活性層内部に含有される前記不純物元素を前記ゲイト絶縁膜内部に取り込み、
前記ゲイト絶縁膜と接する側の活性層表面における前記不純物元素の濃度を低減せしめ、
前記ゲイト絶縁膜と接する側の活性層表面に残存する前記不純物元素を利用してしきい値電圧の制御を行うことを特徴とする半導体装置の作製方法。

【請求項１６】請求項１５において、前記Ｎチャネル型半導体装置の活性層には、少なくともエッジ部分を含む領域に対して前記不純物元素が添加され、
前記Ｐチャネル型半導体装置の活性層には、少なくともチャネル形成領域内においてはエッジ部分を含まない領域に前記不純物元素が添加されることを特徴とする半導体装置の作製方法。

【請求項１７】請求項１４または請求項１５において、前記結晶性珪素膜は結晶化を助長する金属元素を利用して形成され、
前記熱酸化処理はハロゲン元素を含む雰囲気において700 ～1100℃の温度で行われることを特徴とする半導体装置の作製方法。

【請求項１８】請求項１７において、前記金属元素とはＮｉ、Ｃｏ、Ｐｔ、Ｃｕ、Ｆｅから選ばれた一種または複数種の元素であり、
前記熱酸化処理は700 ～1100℃温度範囲で行われ、
前記ハロゲン元素とはＣｌまたはＦであることを特徴とする半導体装置の作製方法。

【請求項１９】請求項１７において、前記金属元素とはＮｉであり、前記加熱処理はＣｌおよび／またはＦをその組成に含む、ＨＣｌガス、NF_3 ガス、ClF_3 ガスを少なくとも含む雰囲気において行われることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【０００１】

【発明が属する技術分野】本明細書で開示する発明は、ガラス基板、石英基板、シリコンウェハー等の絶縁性を有する基板上に形成された結晶性を有する半導体（単結晶および非単結晶を含む）を用いた半導体装置およびその作製方法に関する。特に、Ｎチャネル型半導体装置とＰチャネル型半導体装置とを相補的に組み合わせたＣＭＯＳ回路を構成する例に関する。

【０００２】

【従来の技術】近年、安価なガラス基板上に薄膜トランジスタ（ＴＦＴ）を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型の表示装置の需要が高まったことにある。アクティブマトリクス型の表示装置は、マトリクス状に配置された各画素のそれぞれにＴＦＴ（画素ＴＦＴ）を配置し、各画素ＴＦＴのスイッチング機能によりデータ信号を制御するものである。

【０００３】これらマトリクス状に配置された画素ＴＦＴは、同一基板上に形成された周辺駆動回路によってゲイト信号およびデータ信号の送信を制御される。この様な制御回路を構成するに際して、Ｎチャネル型ＴＦＴとＰチャネル型ＴＦＴとを相補的に組み合わせたＣＭＯＳ回路を構成する技術が一般的に普及している。

【０００４】また、この様な周辺駆動回路を構成するための回路ＴＦＴは、高速動作性が要求されるので活性層には主に結晶性珪素膜が用いられる。結晶性珪素膜は非晶質珪素膜よりもキャリアの移動が速いため、高い電気特性を有する薄膜トランジスタを形成することが可能である。

INTEL - 1004
Page 168 of 492

【０００５】ここでトップゲイト型ＴＦＴでＣＭＯＳ回路を構成した場合の断面図の一例を図１（Ａ）に示す。１０１はガラスまたは石英基板であり、その表面には下地膜１０２が成膜されている。また、１０３はＮチャネル型ＴＦＴの活性層となる結晶性珪素膜であり、１０４はＰチャネル型ＴＦＴの活性層となる結晶性珪素膜である。

【０００６】これら活性層はゲイト絶縁膜１０５で覆われ、ゲイト電極１０６、１０７が形成されている。そして、取り出し配線とゲイト電極とを電気的に絶縁する層間絶縁膜１０８でもってゲイト電極１０６、１０７は覆われる。

【０００７】また、層間絶縁膜１０８にはコンタクトホールを介して活性層１０３、１０４と電気的に接続するソース電極１０９、１１０およびドレイン電極１１１が配置されている。この場合、ＣＭＯＳ回路であるのでドレイン電極１１１はＮチャネル型ＴＦＴとＰチャネル型ＴＦＴとで共通である。最後に、ソースおよびドレイン電極１０９～１１１は保護膜１１２で覆われて、図１（Ａ）の様なＣＭＯＳ回路が構成される。

【０００８】図１（Ａ）に示す構造は、ＣＭＯＳ回路の最も単純な構成であり、信号の極性を反転させる回路として機能するインバータ回路である。そして、この様なＣＭＯＳ回路を組み合わせることでＮＡＮＤ回路やＮＯＲ回路等のさらに複雑な論理回路を構成することができ、様々な電気回路を設計することが可能となる。

【０００９】ところが、特開平4-206971号公報や特開平4-286339号公報に記載されている様に、従来より結晶性珪素膜を用いて作製されたＣＭＯＳ回路は、Ｎチャネル型ＴＦＴの電気特性がデプレッション方向にシフトし、Ｐチャネル型ＴＦＴはエンハンスメント方向にシフトすることが問題となっていた。

【００１０】その場合のＴＦＴの電気特性（Id-Vg 特性）を図１（Ｂ）に示す。図１（Ｂ）において、横軸（Ｖｇ）はゲイト電圧であり、縦軸（Ｉｄ）はドレイン電流である。１０３で示される曲線はＮチャネル型ＴＦＴのId-Vg 特性を示し、１０４で示される曲線はＰチャネル型ＴＦＴのId-Vg 特性を示している。

【００１１】Ｎチャネル型ＴＦＴのId-Vg 特性１０３がデプレッション方向にシフトし、Ｐチャネル型ＴＦＴのId-Vg 特性１０４がエンハンスメント方向にシフトするとは、どちらも図１（Ｂ）に示す様にゲイト電圧Ｖｇに対してマイナス側に偏っていることを意味している。

【００１２】従って、ＮチャネルおよびＰチャネル型のId-Vg 特性１１３、１１４はゲイト電圧が０Ｖの時を基準にして、左右非対称となっており、Ｎチャネル型およびＰチャネル型ＴＦＴのしきい値電圧の絶対値は大きく異なるものとなる。

【００１３】しかしながら、特開平4-206971号公報にも記載してある様に、ＮチャネルＴＦＴとＰチャネル型ＴＦＴのしきい値電圧（駆動電圧）の相違により出力電圧に偏りが生じると、ＣＭＯＳ回路の動作速度の低下や誤動作を招く原因となる。

【００１４】上記問題点を解決するために、これらの公報ではＴＦＴのチャネル形成領域に対して一導電性を付与する不純物元素を添加し、しきい値電圧の制御を行う方法が開示されている。

【００１５】

【発明が解決しようとする課題】しかしながら、これらの技術（以下、チャネルドープと呼ぶ）はその添加量が微量になると制御が難しいという問題があった。本出願人の実験的な経験では、$1\times10^{18}/cm^3$程度まではしきい値の変化が見られないが、それを超えると微量の濃度変化で急激にしきい値の変化が確認された。

【００１６】例えば、制御すべきしきい値電圧のシフト量が１Ｖ以下である様な場合、コンマ数Ｖのしきい値電圧をシフトさせるには非常に微量の添加量を要求される。そのため、しきい値電圧を精度良く制御するためには添加する不純物元素濃度の微妙な制御が必要不可欠であった。しかし、不純物元素の微妙な添加は技術上極めて困難なことであった。例えば、本出願人の実験的な経験では、 $1\times10^{18}/cm^3$程度まではしきい値の変化が見られないが、それを超えると微量の濃度変化で急激にしきい値の変化が確認された。

【００１７】本明細書で開示する発明は、上記問題点を鑑みてなされたものであり、不純物元素の添加濃度を微妙に制御して、しきい値電圧の微妙な制御を行う技術を提供することを課題とする。

【００１８】

【課題を解決するための手段】本明細書で開示する発明の構成は、絶縁表面を有する基板上に配置された結晶性珪素膜でなる活性層と、前記活性層に対して熱酸化処理を施して得られたゲイト絶縁膜と、前記ゲイト絶縁膜上に配置されたゲイト電極と、を少なくとも有する、Ｎチャネル型半導体装置およびＰチャネル型半導体装置とを相補的に組み合わせたＣＭＯＳ構造を有する半導体装置において、前記Ｐチャネル型半導体装置の活性層のみにおいてＰ型を付与する不純物元素が意図的に添加されており、前記不純物元素の濃度分布は、前記活性層と前記ゲイト絶縁膜との界面において不連続であり、かつ、前記活性層側の界面近傍において前記界面に向かって連続的に減少する傾向にあり、前記活性層側の界面近傍に残存する前記不純物元素がしきい値電圧の制御に利用されることを特徴とする。

【００１９】また、他の発明の構成は、絶縁表面を有する基板上に配置された結晶性珪素膜でなる活性層と、前記活性層に対して熱酸化処理を施して得られたゲイト絶縁膜と、前記ゲイト絶縁膜上に配置されたゲイト電極と、を少なくとも有する、Ｎチャネル型半導体装置およびＰチャネル型半導体装置とを相補的に組み合わせ

INTEL - 1004
Page 169 of 492

ＭＯＳ構造を有する半導体装置において、前記Ｎチャネル型半導体装置およびＰチャネル型半導体装置の活性層にはＰ型を付与する不純物元素が意図的に添加されており、前記不純物元素の濃度分布は、前記活性層と前記ゲイト絶縁膜との界面において不連続であり、かつ、前記活性層側の界面近傍において前記界面に向かって連続的に減少し、前記活性層側の界面近傍に残存する前記不純物元素がしきい値電圧の制御に利用されることを特徴とする。

【００２０】なお、具体的には、前記Ｎチャネル型半導体装置の活性層には、少なくともエッジ部分を含む領域に対して前記不純物元素が添加され、前記Ｐチャネル型半導体装置の活性層には、少なくともチャネル形成領域内においてはエッジ部分を含まない領域に前記不純物元素が添加されることを特徴とする。

【００２１】また、前記ゲイト絶縁膜中における前記不純物元素の濃度は 1×10^{17}～ $1\times10^{20}/cm^3$であることを特徴とする。本発明においては、活性層中に含有されるＰ型を付与する不純物元素（代表的にはＢ（ボロン））を熱酸化膜（ゲイト絶縁膜）に取り込むことで活性層表面（反転層が形成される面）におけるＢイオン濃度を低減する。即ち、その熱酸化膜をゲイト絶縁膜として利用する場合、その内部には取り込まれたＢイオンが存在し、その濃度は 1×10^{17}～ $1\times10^{20}/cm^3$である。

【００２２】また、結晶性珪素膜を非晶質珪素膜を結晶化して得る場合は、結晶化を助長する触媒元素（金属元素）を利用すると、得られた結晶性珪素膜にはその金属元素が $5\times10^{18}/cm^3$以下の濃度で含有される。なお、この値は熱酸化処理をハロゲン元素を有する雰囲気において行った場合の例である。この様な場合、ゲイト絶縁膜中にも金属元素やハロゲン元素が含まれる。特に、ハロゲン元素は 1×10^{16}～$1\times10^{20}/cm^3$の濃度でゲイト絶縁膜中に含まれる。

【００２３】また、前記金属元素とはＮｉ（ニッケル）、Ｃｏ（コバルト）、Ｐｔ（白金）、Ｃｕ（銅）、Ｆｅ（鉄）から選ばれた一種または複数種の元素であり、代表的にはＮｉが用いられる。また、前記熱酸化処理は700 ～1100℃の比較的高い温度範囲で行われ、前記ハロゲン元素とはしてはＣｌ（塩素）またはＦ（フッ素）が一般的である。熱酸化処理の際、処理雰囲気にハロゲン元素を導入する場合には、ハロゲン元素をその組成に含む、ＨＣｌガス、NF_3 ガス、ClF_3 ガスを少なくとも含む雰囲気において用いれば良い。

【００２４】本発明において、前記結晶性珪素膜のエネルギーバンドギャップは1.3 ～1.9eV であることを特徴とする。また、前記エネルギーバンドギャップは、光学吸収スペクトルを測定することにより前記結晶性珪素膜の実効透過率の光波長依存性を求め、前記実効透過率が減少し始める吸収端における光波長の値を$E=hc/\lambda$で表される式を用いてエネルギー値に変換して算出される値で定義されることを特徴とする。

【００２５】本発明において、前記Ｎチャネル型半導体装置およびＰチャネル型半導体装置のサブスレッシュホールド値は85mV/dec以下であることを特徴とする。また、前記Ｎチャネル型半導体装置のしきい値電圧は-0.2～0.5Vであり、前記Ｐチャネル型半導体装置のしきい値電圧は-0.5～0.2Vであり、前記Ｎチャネル型半導体装置およびＰチャネル型半導体装置のウィンドウ幅は１Ｖ以下であることを特徴とする。

【００２６】また、他の発明の構成は、絶縁性を有する基板上に結晶性珪素膜でなる第１および第２の活性層を形成する工程と、前記第１の活性層に対してのみＰ型を付与する不純物元素を含有せしめる工程と、前記第１および第２の活性層に対して熱酸化処理を施すことにより前記第１の活性層表面に形成される熱酸化膜の内部に前記不純物元素を取り込む工程と、を少なくとも有する半導体装置の作製方法であって、前記不純物元素の濃度分布は、前記活性層と前記ゲイト絶縁膜との界面において不連続であり、かつ、前記活性層側の界面近傍において前記界面に向かって連続的に減少し、前記活性層側の界面近傍に残存する前記不純物元素を利用することによりしきい値電圧の制御を行うことを特徴とする。

【００２７】また、前記第１の活性層はＰチャネル型半導体装置の活性層であり、前記第２の活性層はＮチャネル型半導体装置の活性層であり、前記Ｐチャネル型半導体装置およびＮチャネル型半導体装置を相補的に組み合わせてＣＭＯＳ構造とすることを特徴とする。

【００２８】また、他の発明の構成は、絶縁表面を有する基板上にＰ型を付与する不純物元素を含有せしめた結晶性珪素膜でなる第１の活性層および不純物元素が含有されない第２の活性層を形成する工程と、前記第１および第２の活性層に対して熱酸化処理を施してゲイト絶縁膜を形成する工程と、を少なくとも有する、Ｎチャネル型半導体装置およびＰチャネル型半導体装置とを相補的に組み合わせたＣＭＯＳ型の半導体装置の作製方法であって、前記第１の活性層は前記Ｐチャネル型半導体装置を、前記第２の半導体装置は前記Ｎチャネル型半導体装置を構成し、前記熱酸化処理により前記第１の活性層内部に含有される前記不純物元素を前記ゲイト絶縁膜内部に取り込み、前記ゲイト絶縁膜と接する側の活性層表面における前記不純物元素の濃度を低減せしめ、前記ゲイト絶縁膜と接する側の活性層表面に残存する前記不純物元素を利用してしきい値電圧の制御を行うことを特徴とする。

【００２９】また、他の発明の構成は、絶縁表面を有する基板上にＰ型を付与する不純物元素を含有せしめた結晶性珪素膜でなる第１の活性層および第２の活性層を形成する工程と、前記第１および第２の活性層に対して熱酸化処理を施してゲイト絶縁膜を形成する工程と、を少なくとも有する、Ｎチャネル型半導体装置およびＰ

INTEL - 1004
Page 170 of 492

ネル型半導体装置とを相補的に組み合わせたＣＭＯＳ型の半導体装置の作製方法であって、前記第１の活性層は前記Ｐチャネル型半導体装置を、前記第２の半導体装置は前記Ｎチャネル型半導体装置を構成し、前記熱酸化処理により前記第１の活性層内部に含有される前記不純物元素を前記ゲイト絶縁膜内部に取り込み、前記ゲイト絶縁膜と接する側の活性層表面における前記不純物元素の濃度を低減せしめ、前記ゲイト絶縁膜と接する側の活性層表面に残存する前記不純物元素を利用してしきい値電圧の制御を行うことを特徴とする。

【００３０】また、前記Ｎチャネル型半導体装置の活性層には、少なくともエッジ部分を含む領域に対して前記不純物元素が添加され、前記Ｐチャネル型半導体装置の活性層には、少なくともチャネル形成領域内においてはエッジ部分を含まない領域に前記不純物元素が添加されることを特徴とする。

【００３１】また、前記結晶性珪素膜は結晶化を助長する金属元素を利用して形成され、前記熱酸化処理はハロゲン元素を含む雰囲気において700 ～1100℃の温度で行われることを特徴とする。

【００３２】また、前記金属元素とはＮｉ、Ｃｏ、Ｐｔ、Ｃｕ、Ｆｅから選ばれた一種または複数種の元素であり、前記熱酸化処理は700 ～1100℃温度範囲で行われ、前記ハロゲン元素とはＣｌまたはＦであることを特徴とする。

【００３３】また、前記金属元素とはＮｉであり、前記加熱処理はＣｌおよび／またはＦをその組成に含む、ＨＣｌガス、NF_3 ガス、ClF_3 ガスを少なくとも含む雰囲気において行われることを特徴とする。

【００３４】本発明は上記の様な構成の作製方法を用いて、Ｎチャネル型半導体装置およびＰチャネル型半導体装置を相補的に組み合わせたＣＭＯＳ構造とする半導体装置を作製することを目的としている。なお、上記構成では、第１の活性層がＰチャネル型半導体装置となり、第２の活性層がＮチャネル型半導体装置となる。

【００３５】以上の様な構成でなる発明を実施することで、従来のチャネルドープ技術をより精密に行うことができる。これは、Ｐチャネル型半導体装置に対してＢイオンを添加する構成において達せられ、チャネル形成領域において、Si/SiO_2 界面近傍（活性層側）のＢイオン濃度が低減する物理減少を利用した技術である。

【００３６】

【実施例】

〔実施例１〕本発明を用いてＮチャネル型ＴＦＴとＰチャネル型ＴＦＴとを相補的に組み合わせたＣＭＯＳ回路を作製する一例を示す。本実施例で作製するＣＭＯＳ回路は図１（Ａ）に示した様な最も単純な構成でなるインバータ回路である。また、Ｐチャネル型ＴＦＴのみにＢ（ボロン）イオンを添加してしきい値電圧の制御を行う例とする。説明には図２～３を用いる。

【００３７】図２（Ａ）において、２０１は基板である。基板２０１としては、ガラス基板、石英基板、シリコン基板（ウェハー）等を用いることができる。基板は後の熱酸化工程における耐熱性を考慮して決定する。本実施例では、基板２０１として石英基板を用い、その表面には下地膜２０２として酸化珪素膜を成膜する。

【００３８】次に、後にＴＦＴの活性層となる結晶性珪素膜を形成する。結晶性珪素膜を得るための手段としては様々な方法があるが、本実施例では減圧熱ＣＶＤ法、若しくはプラズマＣＶＤ法により100 ～3000Å、好ましくは100 ～1000Å、代表的には200 ～500 Åの厚さに成膜した非晶質珪素膜を、エキシマレーザーによるアニール処理により結晶化して結晶性珪素膜を得ることにする。エキシマレーザーとしてはＫｒＦ、ＸｅＣｌ等の励起ガスを利用した紫外光を用いれば良い。

【００３９】また、加熱処理または加熱処理とレーザーアニール処理を併用した手段により前記非晶質珪素膜の結晶化を行うこともできる。例えば、600 ℃程度の温度による加熱処理を施すことで非晶質珪素膜を固相成長させ、その後レーザーアニールにより結晶性を改善する方法は効果的である。

【００４０】以上の技術を利用して結晶性珪素膜２０３を得たら、パターニングを施して後にＮチャネル型ＴＦＴの活性層を構成する島状半導体層２０４、後にＰチャネル型ＴＦＴの活性層を構成する島状半導体層２０５を形成する。

【００４１】次に、島状半導体層２０４、２０５をパターニングするためのレジストマスク（図示せず）を専用の剥離液で除去した後、再度、Ｎチャネル型ＴＦＴの活性層となる島状半導体層２０４を覆ってレジストマスク２０６を形成する。そして、この状態で島状半導体層２０５のみに対してＰ型を付与する不純物元素であるＢイオンの添加を行う（チャネルドープ工程）。

【００４２】本実施例ではＢイオンの添加は、質量分離したＢイオンを 1×10^{16}～ 1×10^{19}／cm^3 の濃度でイオン注入法により注入して行う。この方法では、Ｂイオンのみを選択的に添加することが可能であるので、添加量（添加濃度）を制御しやすいといった利点がある。また、質量分離しないでイオン注入を行う手段として、イオン注入法以外にプラズマドーピング法がある。これら手段による場合には、Ｂイオンが他の原子や分子とともにクラスター（塊）状に添加されるので、後に拡散工程を設ける必要がある。

【００４３】また、Ｂイオンの添加量（添加濃度）は、Ｖthをどれだけ変化させるかで異なるため実験的に最適値を求めなければならない。また、本発明の構成では、実際のチャネル形成領域のSi/SiO_2 界面近傍におけるＢイオン濃度は後の熱酸化工程の後に決定される。従って、それを踏まえて添加濃度を調節する必要がある。

【００４４】

INTEL - 1004
Page 171 of 492

イオンの添加を行う例を示すが、非晶質珪素膜を成膜する際に、成膜ガスにBイオンを含む組成のガス（ジボランなど）を持ちいることでBイオンを添加する手段をとることもできる。ただし、その場合にはNチャネル型ＴＦＴのしきい値電圧も正方向にシフトするので注意しなければならない。

【００４５】Bイオンの添加工程が終了したら、ここで島状半導体層２０４、２０５に対して熱酸化処理を施す。熱酸化方法としては、ドライO_2酸化、ウェットO_2酸化、パイロジェニック酸化等の公知の酸化技術を用いれば良い。また、雰囲気ガスとしてNF_3ガスを用いた酸化方法は500 ～700 ℃程度の比較的低温でも熱酸化膜を形成することができるので、ガラス基板にも対応できる。

【００４６】本実施例におけるこの熱酸化工程は、熱酸化膜中にBイオンを取り込むことによるSi/SiO_2界面のBイオン濃度の低減（または制御）を目的としている。ここで図４に示すのは、シリコンおよびボロンの拡散係数（Diffudion Coeffcient）と温度（Temperature ）の関係を示すグラフである。

【００４７】図４からも明らかな様に、シリコン中においてボロンとシリコンの拡散係数の差は大きくなく（金属元素と比較して、という意味）、ボロンは拡散しにくい物質であることが判る。例えば、上記熱酸化工程が950 ℃で行われたとすると、ボロンの拡散係数は約 $4\times10^{-14}cm^2/S$と非常に小さい。この事は、後に珪素膜とその熱酸化膜との界面においてBイオンの再分布が生じる際、はっきりとした濃度勾配が現れることを意味している。

【００４８】ここで、上述の熱酸化工程によりSi/SiO_2界面近傍のBイオンの濃度がどの様な分布を示すかを図５に示す。なお、図５には比較のためPイオンの場合についても記載しておく。

【００４９】図５に示す様に、Si中に存在する添加イオン（B、P）は酸化膜が形成されると再分布する。これは、Si中およびSiO_2中において添加イオンの溶解度と拡散速度が異なるために起こる現象である。添加イオンのSi中における溶解度を$[C]_{Si}$とし、SiO_2中における溶解度を$[C]_{SiO2}$とする時、平衡偏析係数mは次式で定義される。

$m=[C]_{Si}/[C]_{SiO2}$

【００５０】この時、Si/SiO_2界面近傍の添加イオンの偏析はmの値に支配される。通常、Si中における添加イオンの拡散係数が十分大きいとして、m＜１の場合、Si中の添加イオンはSiO_2中に取り込まれる（図５（Ａ））。また、m＞１の場合、SiO_2が添加イオンを排斥し、その結果としてSi/SiO_2界面近傍の添加イオン濃度が増大する（図５（Ｂ））。

【００５１】文献値によると、Bイオンのmの値は0.3程度であり、Pイオンのmの値は10程度である。従って、本実施例における熱酸化工程後のBイオンの濃度分布は図５（Ａ）の様になり、熱酸化膜２０７、２０８中にBイオンが取り込まれ、島状半導体層２０５のSi/SiO_2界面近傍におけるBイオン濃度は極めて微量な状態となる。

【００５２】即ち、後に島状半導体層２０５がＴＦＴの活性層として機能する際に、チャネル形成領域の活性層主表面（実際に反転層が形成される領域側）近傍におけるBイオン濃度が極めて少なくすることができるので、この濃度を調節することでしきい値電圧の微妙な制御を実現することができる。従って、活性層２０５の内部において、Bイオンの濃度はゲイト絶縁膜２０８との界面に近づくにつれて減少していく特徴がある。

【００５３】なお、Pイオンを添加イオンとして用いた場合、逆に図５（Ｂ）に示す様にSi/SiO_2界面近傍におけるPイオン濃度が増大してしまうので、微妙なしきい値電圧の制御を行うことはできない。

【００５４】また、この熱酸化工程は活性層の主表面における添加イオン（Bイオン）の濃度を均一にするといった効果を有している。この効果は以下に記載する様な利点を有する。

【００５５】例えば、図８（Ａ）に示す様に、イオン注入法やプラズマドーピング法により添加されたBイオンの濃度プロファイル８０１は、活性層中の深さ方向において不均一な分布状態となっている。特に、プラズマドーピング法は浅い添加領域を形成するには有効だがその分均一性を確保するのが困難である。なお、図８（Ａ）、（Ｂ）は任意の深さについて注目した面内方向の濃度分布を示している。

【００５６】即ち、活性層の主表面近傍においては面内方向に（勿論、深さ方向にも）濃度的な濃淡が生じており、この濃淡はチャネル形成領域のバンド状態に反映し、延いては半導体装置間におけるしきい値電圧のバラツキに影響する。

【００５７】しかし、本実施例の様に熱酸化工程を施した後では、Bイオンが再分布する際に多少の拡散を伴うので全体的に濃度の濃淡の差が低減される。即ち、図８（Ｂ）に示す様に、濃度の高い領域のBイオンは優先的に熱酸化膜中へと取り込まれて十分に低減される。また、濃度の低い領域のBイオンは拡散により濃度が高まり、ある程度以上の濃度となると熱酸化膜へと取り込まれる。

【００５８】従って、活性層の主表面に残存するBイオンの濃度プロファイル８０２は、全体的にはほぼ均一な濃度分布状態なる。以上の様に、熱酸化によるBイオンの吸い出し効果は濃度分布の均一性を向上させる上でも効果的にあり、しきい値電圧の微妙な制御に大きく寄与する効果の一つと言える。

【００５９】また、本実施例では、この熱酸化工程で形成された500 Åの熱酸化膜をゲート絶縁膜２０８として

INTEL- 1004
Page 172 of 492

る。熱酸化膜をゲイト絶縁膜として用いた場合、Si/SiO_2界面近傍のおける界面準位等を少なくすることができるので、極めて優れた電気特性を有するＴＦＴとすることができる。また、その膜厚は熱酸化工程の温度、時間、雰囲気を変えることで調節することが可能である。

【００６０】また、さらに本実施例の場合、この熱酸化工程を950 ℃という比較的高い温度で行っているので、島状半導体層２０４、２０５の結晶性を大幅に向上させる効果も期待できる。

【００６１】熱酸化工程を終えて図２（Ｃ）に示す状態が得られたら、後にゲイト電極を構成することになる図示しないアルミニウム膜を成膜する。このアルミニウム膜はヒロックやウィスカーの発生を抑制するためにスカンジウムを0.2 ｗｔ重量％含有させる。アルミニウム膜の成膜方法はスパッタ法や電子ビーム蒸着法を用いて行う。

【００６２】ヒロックやウィスカーというのは、アルミニウムの異常成長に起因する刺状あるいは針状の突起物のことである。ヒロックやウィスカーの存在は、隣合う配線間や上限間に離間した配線間においてショートやクロスクトークが発生する原因となる。

【００６３】アルミニウム膜以外の材料としてはタンタル、モリブデン等の陽極酸化可能な金属を利用することができる。また、アルミニウム膜の代わりに導電性を付与した珪素膜を用いることも可能である。

【００６４】アルミニウム膜を成膜したら、電解溶液中においてアルミニウム膜を陽極とした陽極酸化を行い、アルミニウム膜表面に薄く緻密な陽極酸化膜を形成する。この陽極酸化膜はパターニングの際、レジストマスクとアルミニウム膜との密着性を高める役割を果たす。

【００６５】次にレジストマスク２０９、２１０を形成する。そしてこのレジストマスク２０９、２１０を利用して図示しないアルミニウム膜をパターニングし、ゲイト電極の原型となるアルミニウム膜のパターン２１１、２１２を形成する。このようにして図２（Ｄ）に示す状態を得る。

【００６６】次に、特開平7-169974号公報記載の条件に従ってアルミニウム膜のパターン２１１、２１２の側面に多孔質の陽極酸化膜２１３、２１４を形成する。本実施例ではこの多孔質の陽極酸化膜２１２、２１４の膜厚を0.7 μｍとする。こうして図２（Ｅ）に示す状態を得る。

【００６７】さらに、レジストマスク２０９、２１０は除去した後、特開平7-169974号公報記載の条件に従って、緻密で強固な陽極酸化膜２１５、２１６の形成を行う。ただし、本実施例ではこの膜厚が700 Åとなる様に到達電圧を調節する。また、この工程によりゲイト電極２１、２２が画定する。構造としては図３（Ａ）の様な状態となっている。

【００６８】次に、図３（Ａ）に示す状態においてＮ型を付与する不純物としてＰイオンを全面に添加する。このＰイオン添加は、0.2 ～５×１０^{15}／ｃｍ^2、好ましくは１～２×１０^{15}／ｃｍ^{2}という高いドーズ量で行う。ドーピング方法としてはプラズマドーピング法やイオンドーピング法を用いる。

【００６９】この図３（Ａ）に示す工程の結果、高濃度にＰイオンが注入された領域２１７～２２０が形成される。これらの領域は後にソース／ドレイン領域として機能する。（図３（Ａ））

【００７０】次に、酢酸、硝酸、リン酸を混合した混酸溶液を用いて多孔質状の陽極酸化膜２１３、２１４を除去した後、右側のＰチャネル型ＴＦＴを構成する素子を覆うようにしてレジストマスク２２１を形成する。そして、その状態で再びＰイオンの注入を行う。このＰイオンの注入は、ドーズ量を0.1 ～５×１０^{14}／ｃｍ^2、好ましくは0.3 ～１×１０^{14}／ｃｍ^{2}という低い値とする。（図３（Ｂ））

【００７１】即ち、図３（Ｂ）で示す工程で行われるＰイオンの注入はそのドーズ量を図３（Ａ）に示す工程において行われたドーズ量に比較して低いものとする。すると、この工程の結果、２２３、２２５の領域がライトドープされた低濃度不純物領域となる。また、２２２と２２６の領域は、より高濃度にＰイオンが注入された高濃度不純物領域となる。

【００７２】この工程において、２２２の領域がＮチャネル型ＴＦＴのソース領域となる。そして２２３と２２５が低濃度不純物領域、２２６がドレイン領域となる。また、３２４で示される領域は実質的に真性なチャネル形成領域となる。なお、２２５で示される領域が一般にＬＤＤ（ライトドープドレイン）領域と称される領域である。

【００７３】また、特に図示しないが陽極酸化膜２１５でイオン注入を遮られた領域がチャネル形成領域２２４と低濃度不純物領域２２３、２２５との間に存在する。この領域はオフセット領域と呼ばれ、陽極酸化膜２１５の膜厚分の距離を有する。

【００７４】オフセットゲイト領域はイオン注入されず実質的に真性であるが、ゲイト電圧が印加されないためチャネルを形成せず、電界強度を緩和し、劣化を抑制する抵抗成分として機能する。ただし、その距離（オフセット幅）が短い場合、実効的なオフセット領域として機能しない。本実施例ではその幅が700 Åであるのでオフセット領域としては機能しない。

【００７５】次に、レジストマスク２２１を除去して、図３（Ｃ）に示すように左側のＮチャネル型ＴＦＴを覆うレジストマスク２２７を形成する。そして、図３（Ｃ）に示す状態においてＰ型を付与する不純物としてＢ（ボロン）イオンの注入を行う。ここでは、Ｂイオンのドーズ量を0.2 ～１０×１０^{15}／ｃｍ^2、好ましくは１～２×１０^{15}／ｃｍ^{2}程度とする。この[illegible]

INTEL- 1004
Page 173 of 492

３（Ａ）に示す工程におけるドーズ量と同程度とすることができる。

【００７６】この工程により高濃度不純物領域２１９、２２０がＮ型からＰ型へと反転してＰチャネル型ＴＦＴのソース領域２２８、ドレイン領域２２９が形成される。また、ゲイト電極２２の直下にはチャネル形成領域２３０が形成される。このチャネル形成領域２３０はチャネルドープ工程によりＢイオンが添加されているが、Si/SiO_2 界面近傍のＢイオン濃度は界面に近づくにつれて減少している。

【００７７】次に、図３（Ｃ）に示す工程の終了後、レジストマスク２２７を取り除き、添加された不純物元素（ＰおよびＢイオン）の活性化と島状半導体層が受けた損傷の回復を行うためにエキシマレーザー光の照射を行う。照射エネルギーは200 ～250mJ/cm² とする。

【００７８】エキシマレーザー光の照射が終了したら、図３（Ｄ）に示すように層間絶縁膜２３１を4000Åの厚さに成膜する。層間絶縁膜２３１は酸化珪素膜、酸化窒化珪素膜、窒化珪素膜のいずれでも良く、多層構造としても良い。これら珪化膜の成膜方法は、プラズマＣＶＤ法や熱ＣＶＤ法を用いればよい。また、透過性を有する有機性樹脂膜（例えばポリイミド）を用いることもできる。

【００７９】次にコンタクトホールの形成を行い、Ｎチャネル型ＴＦＴのソース電極２３２、Ｐチャネル型ＴＦＴのソース電極２３３を形成する。また、ドレイン電極２３４はＮチャネル型ＴＦＴとＰチャネル型ＴＦＴとで共有する様な構成とすることでＣＭＯＳ構造が実現される。（図３（Ｄ））

【００８０】なお、本実施例では石英基板上にＴＦＴを形成してＣＭＯＳ回路を構成する例を示したが、シリコンウェハー上に形成したＭＯＳＦＥＴに対しても容易に応用することができる。即ち、ＩＣ技術も本発明の応用分野である。

【００８１】ここで、本実施例に従って作製した図３（Ｄ）に示されるＴＦＴの電気特性（Id-Vg 特性）は図６に示す様なものとなる。図６において、６０１、６０２で示される曲線（実線）は、それぞれＮチャネル型ＴＦＴおよびＰチャネル型ＴＦＴのId-Vg 特性を示している。また、６０３で示される曲線（破線）は、本発明の構成を用いない場合のＰチャネル型ＴＦＴのId-Vg 特性である。なお、横軸はＴＦＴのゲイト電圧（Ｖｇ）、縦軸はドレイン電流（Ｉｄ）である。

【００８２】本実施例において、作製したＮチャネル型ＴＦＴのId-Vg 特性６０１から計算により求めたしきい値電圧Ｖth,nは0.1 ～0.5Vの範囲に納まるものであった。また、Ｐチャネル型ＴＦＴのId-Vg 特性６０２から計算により求めたしきい値電圧Ｖth,pは-0.5～-0.1V の範囲に納まるものであった。

【００８３】また、従来例のId-Vg 特性６０３と比較すると、明らかに本発明を利用したId-Vg 特性６０２は正方向（矢印方向）側にシフトしていることが判る。なお、破線で示されるId-Vg 特性６０３より求めたしきい値電圧は-1.5～-1.0V 程度の範囲に納まるものであった。従って、このシフト量はコンマ数Ｖ程度の微小なものであり、従来のチャネルドープ技術では制御できない程、精密な制御であることが判る。

【００８４】この事は、本発明により極めて精密にチャネルドープを行うことができることを顕著に示している。また、この発明は本実施例の様にチャネルドープをしなくても十分にしきい値電圧が小さい様なＴＦＴにおいて、特に効果を発揮するものである。

【００８５】さらに、本発明の構成にある様に、Ｐチャネル型ＴＦＴに対してのみＢイオンを添加することには大きな意義がある。その事について、以下に説明をする。

【００８６】通常、Ｎチャネル型ＴＦＴのしきい値電圧（Ｖth,n）とＰチャネル型ＴＦＴのしきい値電圧（Ｖth,p）との開き（差）をウィンドウと呼んでいる。また、特開平4-206971号公報にも記載がある様に、ウィンドウがゲイト電圧０Ｖを基準にして左右対称でない場合、即ちＶth,n、Ｖth,pの絶対値に偏りがある場合にはＣＭＯＳ回路の動作速度の低下や誤動作を招くことが知られている。

【００８７】活性層として結晶性珪素膜を用いる場合ゲイト電圧に対して負方向にシフトすることが多い。従って、一般的にはＮチャネル型ＴＦＴにＰ型を付与する不純物元素を添加してしきい値制御を行うのであるが、この方法ではウィンドウ幅が大きくなり、ゲイト電極に印加しなければならない電圧幅が増大してしまう。

【００８８】即ち、ゲイト電圧の駆動電圧が高くなり、消費電力の増大を招く。また、高速動作するＣＭＯＳ回路を高い駆動電圧で動作させるには、耐劣化性に優れた高い信頼性を実現する必要があるため、さらに高性能なＴＦＴを作製しなければならない。

【００８９】ところが、本実施例に示す様にＰチャネル型ＴＦＴのみのしきい値制御を行えばウィンドウ幅を狭くすることができるので、消費電力を低減することが可能である。特に、本実施例の作製プロセスに従えば、ウィンドウ幅を 0.2～1V以内の範囲に納めることができるので、消費電力に低減のみならず、高い信頼性を有するＣＭＯＳ回路を作製することができる。

【００９０】以上の様に、本実施例では、チャネルドープによりＰチャネル型ＴＦＴのしきい値電圧のみを制御しているので、ウィンドウ幅が狭く、かつ、Id-Vg 特性バランスが良い。特に、チャネルドープ後に添加イオンの再分布を行い、チャネル形成領域のSi/SiO_2 界面近傍の添加イオン濃度を低減している事が本発明の最も大きな特徴である。

【００９１】これにより微妙なしきい値電圧の制御が可

INTEL - 1004
Page 174 of 492

能となり、本実施例で説明した様な、しきい値電圧が小さく、極めて微妙な精度でチャネルドープを行うことを要求される場合において、非常に有効な手段として活用することができる。

【００９２】〔実施例２〕実施例１においては、チャネルドープ工程を島状半導体層の形成直後に行う例を示したが、チャネルドープ工程を別の工程間に行っても構わない。例えば、結晶化前の非晶質珪素膜に添加しても良いし、島状半導体層とする前（パターニング前）の結晶性珪素膜中に添加しても問題ない。特に、非晶質珪素膜中に添加する場合、質量分離をしないイオン注入法（添加イオンがクラスター状に打ち込まれる）を用いた場合でも、結晶化の際に膜中に均一に拡散させることができるため、問題なく実施することができる。

【００９３】また、例えば、パターニング前の結晶性珪素膜またはパターニング後の結晶性珪素膜中にイオン添加を行い、その後熱拡散またはレーザーアニールによって添加イオンを拡散させた後に、熱酸化工程を行う方法でも良い。

【００９４】以上の様に、本発明におけるチャネルドープ工程の位置は他の工程との兼ね合いで適宜変えることが可能である。基本的には、熱酸化工程で最終的な添加イオン濃度の微調整を行うので、それまでに島状半導体層中に必要量の添加イオンが含有されていれば良い。

【００９５】〔実施例３〕実施例１において、図５（Ａ）、（Ｂ）で示した図は、拡散速度が小さい物質についての再分布の傾向を示している。Ｐ、Ｂイオンの拡散速度はほぼ同程度であり、図４で説明した様に十分小さい。しかし、添加イオンの拡散速度が十分大きくなると、再分布に際しての挙動が変化してくる。

【００９６】例えば、Ｂイオンの拡散速度が大きくなると、図５（Ａ）とは異なる分布状態を示す様になる。実際に、水素が含まれる雰囲気において熱酸化工程を行うとＢイオンの拡散速度が大きくなることが報告されている。

【００９７】その場合には、Si/SiO_2 界面におけるＢイオンの濃度分布は図７で示される様な傾向を示す。即ち、図７に示す様にSi/SiO_2 界面におけるＢイオンの濃度は、図５（Ａ）に示した場合よりも少なくなる。また、SiO_2中のＢイオン濃度も明らかに減少する。

【００９８】従って、この事を利用すれば活性層の主表面におけるＢイオンの濃度をより効果的に低減することが可能となり、より精密なしきい値電圧の制御が可能となる。また、水素を含む雰囲気では、水素イオンが活性層を構成する結晶性珪素膜のダングリングボンド（未結合手）や欠陥を補償するので結晶性が向上するといった効果も付加することができる。

【００９９】〔実施例４〕本実施例では、ゲイト電極として導電性を有する結晶性珪素膜を用いた場合の例を図９に示す。なお、ここでは石英基板上にＣＭＯＳ回路を作製する例を示すが、ガラス基板上、シリコン基板（ウェハーを含む）上に形成するのであっても構わない。シリコン基板上には、従来のＭＯＳＦＥＴを用いたＩＣ回路を作製することもできるし、いわゆるSOI 構造としても良い。

【０１００】図９において、９０１は石英基板であり、９０２は下地膜となる酸化珪素膜である。また、９０３、９０４はＬＤＤ領域を有した活性層であり、９０３はＮチャネル型ＴＦＴに、９０４はＰチャネル型ＴＦＴになる。活性層９０３、９０４の形成は以下の様にして行われる。

【０１０１】まず、酸化珪素膜９０２上に結晶性珪素膜を得る。形成方法は実施例１に従っても良いし、減圧熱ＣＶＤ法で成膜ガスとしてSiH_4、Si_2H_6 、SiH_2Cl_2 等のシラン系ガスを用いて結晶性珪素膜を直接成膜しても良い。本実施例では、ノンドープの結晶性珪素膜を用いる。次に、結晶性珪素膜を得たら、島状にパターニングして活性層の原型とし、チャネルドープを行う。チャネルドープは実施例１と同様にＰチャネル型ＴＦＴにのみＢイオンを添加する。

【０１０２】次に、熱酸化工程を行って、ゲイト絶縁膜９０５、９０６の形成、並びにSi/SiO_2 界面近傍におけるＢイオン濃度の低減を行う。なお、熱酸化膜の膜質、膜厚およびしきい値制御のためのＢイオン濃度等を考慮して最適な条件による加熱処理を行う。勿論、形成された熱酸化膜を除去して、例えば、$TEOS/O_2$ 系ガスやSiH_4/N_2O系ガスを用いたプラズマＣＶＤ法により酸化珪素膜を成膜してゲイト絶縁膜とすることも可能である。

【０１０３】次に、後のゲイト電極９０７、９０８を形成し、それをマスクとして不純物イオンの注入を行う。この不純物注入工程は活性層９０３、９０４内にソース／ドレイン領域、低濃度不純物領域（ＬＤＤ領域）、チャネル形成領域を形成するための工程である。

【０１０４】なお、低濃度不純物領域は耐劣化性を高めるための目的で配置されるので、劣化の問題の小さいＰチャネル型ＴＦＴには設ける必要がない場合もある。同一基板上にＣＭＯＳ回路を形成するには不純物注入を選択的に行うので工程がやや複雑となってしまうので配置しない方が工程は簡略化する。本実施例では、Ｎチャネル型およびＰチャネル型の両方にＬＤＤ領域を配置する構成とする。

【０１０５】まず、１回目の不純物注入（Ｐイオンおよびイオン）を行い、１回の不純物注入が終了したら、窒化珪素膜を成膜し、異方性エッチングを利用してサイドウォール９０９、９１０を形成する。そして、２回目の不純物注入（ＰイオンおよびＢイオン）を行い、Ｎチャネル型ＴＦＴおよびＰチャネル型ＴＦＴのソース／ドレイン領域を形成する。なお、サイドウォール９０９、９１０の直下は低濃度不純物領域（ＬＤＤ領域）となる。また、ゲイト電極９０７、９０８の

INTEL - 1004
Page 175 of 492

形成領域となる。

【0106】活性層903、904が完成したら、全面にスパッタ法でTi（チタン）膜またはCo（コバルト）膜等を成膜し、ソース／ドレイン領域とゲイト電極907、908上に露出した珪素膜と反応させる。反応させるには加熱処理により行えば良いが、処理雰囲気を制御しやすいことと、スループットの高いことからRTA法によるのが望ましい。この技術はサリサイド技術として知られている。

【0107】こうして、ソース／ドレイン領域およびゲイト電極907、908の一部はサリサイド化（本実施例では、チタンシリサイドやコバルトシリサイドとなる）されて低抵抗な領域となる。後は、層間絶縁膜911を成膜し、コンタクトホールを形成して、配線912～914を形成して図9に示す様な構造のCMOS回路を形成することができる。

【0108】〔実施例5〕本発明は様々な半導体集積回路に対して応用することが可能である。本実施例では、その一例としてSRAM（Static Rondom Access Memory）に応用する場合の例を示す。説明は図10を用いて行う。

【0109】SRAMはフリップフロップ等の双安定回路を記憶素子に用いたメモリであって、双安定回路のON－OFFあるいはOFF－ONの2安定状態に対応して2進情報値（0または1）を記憶するものである。電源の供給がある限り記憶が保持される点で有利である。また、記憶回路はNMOS回路やCMOS回路で構成される。図10（A）に示すSRAMの回路は受動負荷素子に高抵抗を用いた回路である。

【0110】1001で示されるのはワード線であり、1002はビット線である。1003は高抵抗で構成される負荷素子であり、1004で示されるような2組のドライバトランジスタと1005で示されるような2組のアクセストランジスタとでSRAMが構成される。以上のような構成でなるSRAMの特徴は、高速動作が可能で、信頼性が高くシステムへの組む込みが容易なことなどである。

【0111】〔実施例6〕本実施例は、本発明に加えて特開平7-176753号公報に記載の技術を実施するものであり、例えば、PチャネルTFTのみならずNチャネルTFTに対してもBイオンの添加を施す場合の例を説明する。

【0112】具体的には、PチャネルTFTに対してチャネルドープを施す際に、NチャネルTFTの活性層の一部に対して、逆導電型を付与するBイオンの添加を行う。これは、例えば、活性層のエッジ部分といった電流パスとなり易い箇所にエネルギー的に障壁の高い流域を形成してリーク電流の発生（ショートチャネルリーク）を防ぐものである。なお、特開平7-176753号公報には、様々な不純物で上記効果を達成する旨が記載されているが、本実施例はその構成の一部（活性層とは逆導電型を付与する不純物を利用する例）を利用する。

【0113】実施例1では、図2に示す様にチャネルドープ工程の際にNチャネルTFTに対してレジストマスク206を設けることで、選択的にPチャネルTFTの活性層205に対するチャネルドープを行った。しかし本実施例の特徴は、レジストマスク206の一部に開口を形成しておき、選択的にNチャネルTFTの活性層204の一部に対してもBイオンの添加を行うことにある。

【0114】NチャネルTFTの活性層204において、どの領域にBイオンを添加するかは任意に設定することができる。本実施例では、その応用例をいくつか挙げて説明する。

【0115】図11（A）において、1101はNチャネル型TFTの活性層であり、1102はPチャネル型TFTの活性層である。また、1103は結晶性珪素膜でなるゲイト電極であり、1104は導電性材料でなる配線（ソースまたはドレイン電極）である。従って、図11（A）はCMOS回路を上面から見た図を示している。

【0116】活性層1101、1102において斜線で示した領域は、チャネルドープ時にBイオンを添加した領域である。本実施例ではBイオンを添加しない領域を実質的に真性なI層とし、チャネルドープ行程でBイオンを添加した領域をP⁻⁻層として取り扱うことにする。ただし、チャネルドープの目的は全体的にN⁻⁻層として振る舞う活性層に対して、P型を付与するBイオンを添加することでI層の性質に近づけることを主体としている。従って、本実施例におけるI層とは実質的に弱いN層（N⁻⁻層）であり、P⁻⁻層とは実質的に真性なI層である。

【0117】図11（A）ではNチャネル型TFTの活性層1101のエッジ部分のみにBイオンを添加して、この部分を逆の導電型を有するP⁻⁻層としている。活性層のエッジ部分はプラズマダメージなどで損傷を受けやすいので、電流パスを形成しやすく、ここにP⁻⁻層を設けることでエネルギー障壁を高くしてリーク電流を防止するのである。

【0118】また、このCMOS回路のNチャネル型TFTをA－A'で切った断面図が図11（B）である。図から明らかな様に、活性層のエッジ部分1105、1106にはBイオンが添加されてP⁻⁻層が形成され、ゲイト電極の直下（1106で示される領域）はI層のままとなっている。一方、PチャネルTFTをB－B'で切った断面図が図11（C）である。この場合、図から明らかな様に、ゲイト電極の下（1107で示される領域）にもBイオンが添加され、斜線で示される様なP⁻⁻層が形成される。

【0119】また、CMOS回路をC－C'で横方向に

INTEL - 1004
Page 176 of 492

切った断面図が図11（D）である。この場合においても、Nチャネル型TFTとPチャネル型TFTとで活性層の構成が異なってくる。Nチャネル型TFTの場合、ソース領域1108、ドレイン領域1109には高濃度にPイオンが添加されて強いN型層（N^{++}層）となり、チャネル形成領域1110はI層のまま残る。

【0120】Pチャネル型TFTの場合、ソース領域1111、ドレイン領域1112には高濃度にBイオンが添加されて強いP型層（P^{++}層）となり、チャネル形成領域1113は微量にBイオンが添加されたP^{--}層となっている。

【0121】なお、図11（E）、（F）、（G）、（H）に示すのはNチャネル型TFTの活性層にBイオンを添加する場合の他の例である。（E）、（F）はエッジ部分に局所的にP^{--}層を設けた例であり、（G）はチャネル形成領域に狭いP^{--}層を設けることでソース／ドレイン間のリーク電流の低減を狙った例である。また、（H）はチャネルドープ工程で活性層のエッジ部分の損傷が悪化しない様に、エッジ部分をP^{--}層で囲んだ例である。

【0122】以上の様に、チャネルドープと同時にNチャネル型TFTに対してもBイオンに添加を行い、リーク電流を効果的に抑制する技術を併用することが可能である。なお、Nチャネル型TFTに対するイオン添加は、所望の領域のみレジストマスクに開口を設けて置けば良いだけであるので、本実施例で示した例に限らず、幅広く応用することができる。

【0123】ところで、チャネルドープ時にPチャネル型TFTに対してBイオンを添加する際、活性層のエッジ部分のみにイオン添加を行わない構成とすると、その領域が結果的に逆導電型を有する領域として残存し、リーク電流を効果的に抑制する機能を顕す。その例を図12を用いて説明する。なお、CMOS回路の構造は図11と同様であるので、同じ符号を併用する。

【0124】図12（A）において、1101で示されるNチャネル型TFTにはエッジ部分にBイオンが添加されてP^{--}層が形成される。詳細は既に説明したので、ここでは図12（A）に示す領域にBイオンを添加する例のみとする。前述の図11（A）と異なるのは、Pチャネル型TFTの活性層1201の構成である。

【0125】図12（A）のNチャネル型TFTをA－A'で切った断面図（図12（B））は特に変わりないが、Pチャネル型TFTをB－B'で切った断面、図12（C）では、エッジ部1202がI層となっている。勿論、エッジ部分以外の領域1203はチャネルドープされているのでP^{--}層となっている。

【0126】前述の様に、I層は実質的にはN^{--}層であり、P^{--}層は実質的にI層と見なせる性質を有している。従って、Bイオンを添加しないI層（実質的にN^{--}層）はPチャネル型TFTに対して逆導電型領域として振る舞う。即ち、P型領域とN型領域とが構成されるので、その間ではエネルギー障壁が高く、キャリアの移動が効果的に抑制される。

【0127】図12（D）においては、PチャネルTFTのソース領域1204、ドレイン領域1205は強いP型を示すP^{++}層となり、チャネル形成領域1206はP^{--}層となっている。即ち、図12（C）に示す様に、最終的にはチャネル形成領域の少なくともエッジ部分に対しては、実質的に逆導電型（N型）を付与するI層が形成される構成とすることで、リーク電流の低減効果が得られる。その様な構成とする例としては、図12（E）、（F）で示される領域にI層を残存させておけば良い。

【0128】〔実施例7〕実施例1で作製したCMOS回路を、同一基板上に画素領域と周辺駆動回路とを集積化したアクティブ型表示装置に対して応用することが可能である。アクティブ型表示装置としては、一般的にアクティブマトリクス型液晶表示装置が知られている。その構成を図13に示す。

【0129】図13に示す構成は、同一基板上に画素領域と周辺駆動回路を形成し、さらにメモリ回路やCPU回路といったコントロール回路を備えたSOG（システム・オン・グラス）タイプの表示装置である。

【0130】図13において、1301は画素領域であり、通常百数十万個のTFTがマトリクス状に配置されて、液晶へ印加する電圧の制御を行っている。また、1302は垂直走査用駆動回路、1303は水平走査用駆動回路である。これらの駆動回路は、シフトレジスタ回路、バッファ回路、サンプリング回路等で構成されており、ゲイト信号やビデオ信号の制御を行う。また、1304はコントロール回路であり、CPU回路やメモリ回路等で構成される。

【0131】CMOS構造を有する半導体装置は、図13において水平・垂直走査用駆動回路1302、1303、コントロール回路1304等に利用される。また、これら駆動回路等は高い信頼性を要求されるが、実施例1で作製したCMOS構造を有する半導体装置は駆動電圧が小さくて済むので、耐圧に余裕のある設計を行うことができる。

【0132】また、本発明を応用することの可能な電気光学装置としては、図13で示した様なアクティブマトリクス型液晶表示装置のみならず、その他のアクティブ型フラットパネルディスプレイも含まれ、例えばEL表示装置やCL表示装置に利用することもできる。また、直視型ディスプレイのみでなく、プロジェクションタイプの表示装置にも応用できる。

【0133】アクティブ型表示装置において、周辺駆動回路は表示画面の応答を速めてチラツキやフリッカ等を抑制するためにも、高速動作を要求される。特にシフトレジスタ回路やカウンタ回路のクロック動作を行うシフトレジスタ回路やカウンタ回路の

INTEL- 1004
Page 177 of 492

最も高速動作を要求される回路である。

【0134】図14（A）に示すのは、ゲイトドライバー部を構成するシフトレジスタ回路である。このシフトレジスタ回路は画素領域に配列されるゲイト線を順次（または一本毎）に選択していくための機能を有している。従って、シフトレジスタ回路の動作速度が遅いとゲイト線の選択に時間がかかり、最終的には表示画面の1フィールド（または1フレーム）が終了するまでの時間が長くなる。即ち、画面がちらついて見えるのである。

【0135】このシフトレジスタ回路は基本的に図14（B）に示す様なクロックドインバータ回路と、図14（C）に示す様なインバータ回路とで構成される。図14（B）、（C）はどちらもCMOS回路で構成されているので、ここに本発明を用いて作製したCMOS回路を利用するのである。

【0136】実施例1で示した様に、本発明を利用して作製したCMOS回路の特徴は、Nチャネル型TFTとPチャネル型TFTとでしきい値電圧の絶対値がほぼ同じ値であり、ウィンドウがVg＝0Vに対して殆ど左右対称である。そのため、出力電圧の偏りのないバランスの良い特性を有している。また、ウィンドウ幅が狭い（Vth,nとVth,pの絶対値がそれぞれ小さい）ので、駆動するための消費電力が低いといった利点を有している。

【0137】以上の様に、本発明を利用して特性バランスの良いCMOS回路を作製し、それを周辺駆動回路として利用することは非常に有効である。通常、高速動作する駆動回路は耐圧が低く、劣化が激しいことがある。しかし、実施例1に従って作製したTFTは、消費電力、即ち駆動電圧を低く抑えることができるので、劣化の恐れの少ない高い信頼性を有する駆動回路を構成することができる。

【0138】〔実施例8〕本実施例は、絶縁表面を有する基板上に配置された結晶性珪素膜でなる活性層と、前記活性層に対して熱酸化処理を施して得られたゲイト絶縁膜と、前記ゲイト絶縁膜上に配置されたゲイト電極と、を少なくとも有する、Nチャネル型半導体装置およびPチャネル型半導体装置とを相補的に組み合わせたCMOS構造を有する半導体装置において、前記Pチャネル型半導体装置の活性層のみにおいてP型を付与する不純物元素が意図的に添加されており、前記不純物元素の濃度分布は、前記活性層と前記ゲイト絶縁膜との界面において不連続であり、かつ、前記活性層側の界面近傍において前記界面に向かって連続的に減少する傾向にあり、前記活性層側の界面近傍に残存する前記不純物元素がしきい値電圧の制御に利用されることを特徴とする半導体装置に関するものである。

【0139】本発明を用いてNチャネル型TFTとPチャネル型TFTとを相補的に組み合わせたCMOS回路を作製する他の一例を示す。本実施例で作製するCMOS回路は図1（A）に示した様な最も単純な構成でなるインバータ回路である。また、PチャネルTFTのみにB（ボロン）イオンを添加してしきい値電圧の制御を行う例とする。説明には図15を用いる。

【0140】図15（A）において、1501は基板である。基板1501としては、ガラス基板、石英基板、シリコン基板（ウェハー）等を用いることができる。ただし、後の熱酸化工程の温度が高い場合、具体的には650℃を超える様な場合には、ガラス基板の様な軟化点の低いものではなく、耐熱性に優れた石英基板などを用いることが好ましい。本実施例では、基板1501として石英基板を用い、その表面には下地膜1502として酸化珪素膜を成膜する。

【0141】次に、後にTFTの活性層となる結晶性珪素膜を形成する。本実施例では、非晶質珪素膜を結晶化して結晶性珪素膜を得る。まず、図示しない非晶質珪素膜を減圧熱CVD法、若しくはプラズマCVD法により1000Åの厚さに成膜する。後の熱酸化工程において膜減りが起こるので、その辺りを計算に入れて所望の膜厚よりも厚めに形成しておくと良い。

【0142】非晶質珪素膜を成膜したら、加熱処理またはレーザーアニール処理もしくは両者を併用した手段により前記非晶質珪素膜の結晶化を行う。本実施例では、本発明者らによる特開平6-232059号公報や特開平7-321339号公報記載の技術を用いて結晶化を行う。これらの技術は金属元素（例えばニッケル、銅など）を保持した状態で500～700℃、代表的には600～650℃の温度範囲で、1～24hr、代表的には4～12hr程度の加熱処理を行うことで結晶性に優れた珪素膜を得るものである。

【0143】上記手段により図示しない非晶質珪素膜は結晶化され、結晶性珪素膜1503が得られる。この様にして得られた結晶性珪素膜1503は、上記公報に記載の技術を用いない場合に比べて優れた結晶性を有する。また、本発明者らの知見によると、加熱処理により結晶化させた後にレーザーアニール処理を行うことで、さらに結晶性を向上させることが可能である。こうして、図15（A）に示す状態が得られる。

【0144】次に、結晶性珪素膜1503をパターニングして後にNチャネル型TFTの活性層を構成する島状半導体層1504、後にPチャネル型TFTの活性層を構成する島状半導体層1505を形成する。

【0145】次に、島状半導体層1504、1505をパターニングするためのレジストマスク（図示せず）を専用の剥離液で除去した後、再度、Nチャネル型TFTの活性層となる島状半導体層1504を覆ってレジストマスク1506を形成する。そして、この状態で島状半導体層1505のみに対してP型を付与する不純物元素であるBイオンの添加を行う（チャネルドープ工程）。

【0146】本実施例ではBイオンの添加は、質量分離したBイオンを1×10^{16}～1×10^{19} (cm^{-3})の濃度で

INTEL - 1004
Page 178 of 492

ン注入法により注入して行う。この方法では、Bイオンが原子状に添加されるので、島状半導体層内の均一に分布させることができる。また、質量分離しないでイオン注入を行う場合には、Bイオンが他の原子や分子とともにクラスター（塊）状に添加されるので、後に拡散工程を設けて均一に分布させる必要がある。

【0147】また、Bイオンの添加量（添加濃度）は、Vthをどれだけ変化させるかで異なるため実験的に最適値を求めなければならない。また、本発明の構成では、実際のチャネル形成領域のSi/SiO_2 界面近傍のBイオン濃度は後の熱酸化工程の後に決定される。従って、それを踏まえて添加濃度を調節する必要がある。

【0148】なお、本実施例ではイオン注入法によりBイオンの添加を行う例を示すが、非晶質珪素膜を成膜する際に、成膜ガスにBイオンを含む組成のガス（ジボランなど）を持ちいることでBイオンを添加する手段をとることもできる。ただし、その場合にはNチャネル型TFTのしきい値電圧も正方向にシフトするので注意しなければならない。

【0149】Bイオンの添加が終了したら、レジストマスク1506を除去して熱酸化工程を行う。本実施例では、この熱酸化工程として、酸素（O_2）に対して塩化水素（HCl）を1～10%、好ましくは3%含有させた酸化性雰囲気において、800 ～1100℃、具体的には950 ℃の温度で30min の加熱処理を行っている。（図15（C））

【0150】本実施例におけるこの熱酸化工程は主に3つの目的を有しており、第1は結晶化の際に利用した触媒元素（本実施例ではニッケル）のゲッタリング除去、第2は熱酸化膜中にBイオンを取り込むことによるSi/SiO_2 界面のBイオン濃度の低減（または制御）、第3はゲイト絶縁膜1507、1508の形成、である。特に、本発明の必須項目は第2の目的であるSi/SiO_2 界面のBイオン濃度の低減である。

【0151】図4からも明らかな様に、ニッケルに比べてボロンは拡散しにくい。例えば、上記熱酸化工程の処理温度である950 ℃の場合、ニッケルの拡散係数は約 $4\times10^{-8}cm^2/S$ であり、ボロンの拡散係数（約 $4\times10^{-14}cm^2/S$）の約10000 倍である。

【0152】従って、島状半導体層1504、1505中のニッケルは速やかに移動してCl イオンと結合し、ニッケル塩化物となる。このニッケル塩化物は揮発性の高い物質であるので気相中へと脱離し、膜中のニッケルがゲッタリング除去される。

【0153】また、上述の熱酸化工程によるSi/SiO_2 界面近傍のBイオン及びPイオンの濃度は、実施例1と同様に図5に示す。

【0154】また、本実施例では、この熱酸化工程で形成された500 Åの熱酸化膜をゲイト絶縁膜として利用する。熱酸化膜をゲイト絶縁膜として用いた場合、Si/SiO_2 界面近傍のおける界面準位等を少なくすることができるので、極めて優れた電気特性を有するTFTとすることができる。また、その膜厚は熱酸化工程の温度、時間、雰囲気を変えることで調節することが可能である。

【0155】また、さらに本実施例の場合、この熱酸化工程を950 ℃という比較的高い温度で行っているので、島状半導体層1504、1505の結晶性が大幅に向上する。これは、Clイオンによりニッケルがゲッタリングされた際に、ニッケルが脱離した後に残されたSiの未結合手が隣接するSi同士で再結合してSi-Si 結合を形成するからである。従って、結晶粒内の欠陥や粒界における欠陥が大幅に低減されて結晶性が向上するのである。

【0156】熱酸化工程を終えて図15（C）に示す状態が得られたら、実施例1の図2（D）以降と同様に図3（D）に示した様な半導体装置を形成する。

【0157】〔実施例8におけるTFTの説明〕本実施例8に従って作製した図3（D）に示されるTFTの電気特性（Id-Vg特性）は図16に示す様なものとなる。図16において、1601で示される曲線（実線）はNチャネル型TFTのId-Vg 特性、1602で示される曲線（実線）はPチャネル型TFTのId-Vg 特性を示している。また、1603で示される曲線（破線）は、本発明の構成を用いない場合のPチャネル型TFTのId-Vg 特性である。なお、横軸はTFTのゲイト電圧（Vg）、縦軸はドレイン電流（Id）である。また、Id-Vg 特性の測定はドレイン電圧Vd＝1Vの時として調べた。

【0158】本実施例では、NチャネルTFTのId-Vg 特性1601から計算により求めたしきい値電圧Vth,nは0.1 ～0.5V、少なくとも-0.2～0.5Vの範囲に納まるものであった。また、PチャネルTFTのId-Vg 特性1602から計算により求めたしきい値電圧Vth,pは-0.05 ～-0.1V 、少なくとも-0.5～0.2Vの範囲に納まるものであった。

【0159】また、従来例のId-Vg 特性1603と比較すると、明らかに本発明を利用したId-Vg 特性1602は正方向（矢印方向）側にシフトしていることが判る。なお、破線で示されるId-Vg 特性1603より求めたしきい値電圧は-1.5～-1.0V 程度の範囲に納まるものであった。従って、このシフト量はコンマ数V程度の微小なものであり、従来のチャネルドープ技術では制御できない程、精密な制御であることが判る。

【0160】この事は、本発明により極めて精密にチャネルドープを行うことができることを顕著に示している。また、この発明は本実施例の様にチャネルドープをしなくても十分にしきい値電圧が小さい様なTFTにおいて、特に効果を発揮するものである。

【0161】本実施例を用いて作製される半導体装置は、高速動作性に極めて優れる点が最大の特徴であるので、CMOS回路を構成して周辺駆動回路

INTEL - 1004
Page 179 of 492

レジスタ回路の様な高速動作性が要求される箇所に配置するのが最も好ましいと言える。

【０１６２】また、本出願人は図３（Ｄ）に示した様なＣＭＯＳ回路を直列に奇数組接続して形成した閉回路（リングオシレータ）を作製し、その周波数特性を調べたところ、図１８に示す様な優れた周波数特性を実現することが判明した。なお、測定は９、１９、５１組（段）のＣＭＯＳ回路を接続したリングオシレータで行い、電源電圧と発振周波数の関係を求めた。

【０１６３】図１８によると、例えば電源電圧１０（Ｖ）、９段のリングオシレータは123MHzの発振周波数を実現しており、極めて動作速度が速いことが判る。この様な結果は、前述の様にＳ値が極めて小さいことが大きな要因の一つとなっている。従って、図１８に示した様な高速動作を可能とする回路を構成する場合、Ｓ値は85mV/dec以下、好ましくは75mV/dec以下であることが必要である。

【０１６４】なお、本実施例では石英基板上に形成した結晶性珪素膜を用いて薄膜トランジスタを形成しているのであるが、この事も高い周波数特性を実現することに寄与している。この事についての説明を以下に行う。

【０１６５】シリコンウェハー上に形成したＭＯＳＦＥＴでは、一般的に動作周波数ｆは時定数τに反比例し、ｆ＝１／τの関係にあることが知られている。τは、容量Ｃと抵抗Ｒとの積で表せるので、ｆ＝１／ＣＲとも書き換えられる。なお、容量Ｃとしてはゲイト容量、空乏層容量、配線間容量、配線－基板間容量等が存在し、抵抗Ｒとしてはソース／ドレイン間抵抗、配線抵抗等が存在する。従って、動作周波数はこれら全ての容量および抵抗によって決定される。

【０１６６】従来より動作周波数を大きくするために配線抵抗の低減が活発に研究されたが、配線の微細化に伴いそれも困難な状況となってくると、配線－基板間容量の低減が注目を浴びた。これを可能としたのが SOI技術であるが、それでも容量の低減が精一杯である。

【０１６７】しかし、近年活発化してきた薄膜トランジスタ技術はガラス基板や石英基板上に形成するという大きな特徴のため、配線－基板間容量が存在しないという利点を有している。本実施例に従って作製したＴＦＴは、性能的には（電気特性的には） SOI構造のＴＦＴと比べても何ら遜色のないレベルに達しているので、周波数特性としては SOI構造のＴＦＴを超えるものが期待できる。

【０１６８】また、動作周波数ｆはチャネル長Ｌの２乗に反比例することが知られている。例えば、ＩＣにおいては200MHzの高速動作を実現するために、チャネル長を0.35μｍ以下とする必要があった。しかし、 SOI構造のＴＦＴではそれ以上のチャネル長あっても200MHzを達成できる。況して、本実施例のＴＦＴは配線－基板間容量に公だは SOI構造のＴＦＴよりも優れているので、チャネル長Ｌによりマージンを持たせることができる上、場合によっては200MHz以上の高速動作を実現することも可能と予想される。

【０１６９】以上の様に、本実施例では、チャネルドープによりＰチャネル型ＴＦＴのしきい値電圧のみを制御しているので、ウィンドウ幅が狭く、かつ、Id-Vg 特性バランスが良い。特に、チャネルドープ後に添加イオンの再分布を行い、チャネル形成領域のSi/SiO_2 界面近傍の添加イオン濃度を低減している事が本発明の最も大きな特徴である。

【０１７０】これにより微妙なしきい値電圧の制御が可能となり、本実施例で説明した様な、しきい値電圧が小さく、極めて微妙な精度でチャネルドープを行うことを要求される場合において、非常に有効な手段として活用することができる。

【０１７１】〔活性層のＥｇの説明〕ところで、本出願人は本実施例に従って形成した結晶性珪素膜の室温（10～30℃）におけるエネルギーバンドギャップ（Ｅｇ）の測定を行った。このＥｇの値は、結晶性珪素膜の光学吸収スペクトルを測定して珪素膜の実効透過率の光学波長依存性を求め、実効透過率が減少し始める吸収端における光波長の値を、Ｅ＝ｈｃ／λで表される式を用いてエネルギー値に変換して算出される値で定義することとした。

【０１７２】ここで、本実施例に示す結晶性珪素膜の光学吸収スペクトルを測定した際の実験データを図１９に示す。図１９において、横軸は通常の可視光領域の光波長であり、縦軸は膜内を透過する前後における光強度の比をとった実効透過率（膜面における反射光成分を排除して計算した透過率）である。なお、珪素膜の膜厚は400 Åと600 Åの２種類を測定した。

【０１７３】珪素膜内を光が透過する時、珪素膜のＥｇよりも大きいエネルギーを持つ波長領域の光は透過できずに吸収され、Ｅｇよりも小さいエネルギーしか持たない波長領域の光は珪素膜を透過する事実から、光学吸収スペクトルの吸収端の波長を持つ光のエネルギーがＥｇに相当すると考えられる。

【０１７４】図１９において、透過率が下がり始めるのは光波長が約800nm 以下の領域であり、この800nm という波長からＥｇを求めると約1.5eV であった。この計算はアインシュタインの光子エネルギーの式、Ｅｇ＝ｈｃ／λ（ｈ：プランク定数、ｃ：光速、λ：光波長）から求めた。

【０１７５】この様にして得られたＥｇはＴＦＴの電気特性と大きく関係している。例えば、本実施例で作製するＴＦＴはエンハンスメント型のＴＦＴであるので、ノーマリオフ特性（非選択時においてＴＦＴがオフ状態となる特性）でなくてはならない。そのためには、Ｅｇが1.3eV 以上であることが重要となる。その理由は図17を用いて以下に説明する。

INTEL - 1004
Page 180 of 492

【0176】ここで、図17に示すのは、ソース／ドレイン領域となる導電性領域1701、1702とチャネル形成領域1703のバンド状態を模式的に表した図である。なお、Pチャネル型TFTのチャネル形成領域には微妙にBイオンが添加されているためNチャネル型TFTよりも僅かにΔEが小さいが、添加濃度が微妙であるためここではその差を無視して考える。

【0177】図17に示す様に、導電性領域1701（または1702）はチャネル形成領域1703との間にエネルギーバンド差（ΔE）を形成する。この時、ΔEが十分に大きくないと、非選択時においてもTFTがオン状態（ノーマリオン）となり、いわゆるデプレッション型TFTとなってしまう。

【0178】例えば SOI構造においてはEg＝約1.1eVであり、その場合、ΔEは0.5V程度と小さく、TFTはノーマリオンとなってしまっていた。そのため、チャネルドープを行ってΔEの値を意図的に大きくすることでノーマリオフを実現するしかなかった。

【0179】しかし、図17においてEgの値が大きくなれば必然的にΔEの値も大きくなることは自明である。本出願人の知見によると、Egが1.3eV 以上であればΔEの値は、ノーマリオフを実現するに足る大きさになる。従って、本実施例のTFTをエンハンスメント型TFTとするにあたって、Egが1.3eV であることは重要なのである。

【0180】なお、Eg＝1.3eV の場合、先程の光子エネルギーの式から光波長を求めると約950nm である。従って、前述の光波長800nm に±150nm の範囲を持たせた領域、即ちEgが1.3 ～1.9eV 、好ましくは1.4 ～1.7eV において、本実施例で示した様な高性能なTFTを得ることができると考えられる。

【0181】〔実施例9〕実施例8ではHClガスを用いて触媒元素（ニッケル）のゲッタリングを行ったが、例えばNF_3、ClF_3 ガス等のフッ素系ガスを用いることもできる。この場合、ゲッタリング処理の際に未結合手がフッ素で終端されるが、Si－F結合はSi－H結合よりも結合力が強いので好ましい。

【0182】また、NF_3 ガスは実施例1のHClガスよりも低温（600 ～800 ℃程度）で分解するので、加熱処理の温度を低くすることができる。本実施例では酸素に対してHClを0.1 ～10wt％、代表的には3wt％、NF_3 ガスを0.1 ～3wt ％、代表的には0.3wt%混合させた雰囲気中において、700 ℃30～60min の加熱処理を行う。

【0183】以上の様に、ニッケルを除去した後にSiの未結合手をSi同士で再結合させ、再結合しきれなかった未結合手をフッ素で終端することで欠陥密度がさらに低減する。また、加熱処理の温度を200 ～300 ℃も下げることができるので製造過程におけるスループットを向上させることができる。

【0184】また、酸素に対して水素を3wt％、ClF_3 ガスを0.3wt%混合させた雰囲気中において、500 ～600 ℃の温度範囲で30～60min のウェット酸化処理を行うことでも同様の効果を得ることが可能である。この場合はさらに、Cl元素とF元素とでニッケルのゲッタリングが行われるといった利点がある。

【0185】〔実施例10〕本明細書で開示する発明は、TFT（Thin Film Transistor、薄膜トランジスタ）に代表される半導体装置を利用した電気光学装置に応用することが可能である。電気光学装置としては、液晶表示装置、EL（エレクトロルミネッセンス）表示装置、EC（エレクトロクロミックス）表示装置などが挙げられる。

【0186】また、応用商品としてはTVカメラ、パーソナルコンピュータ、カーナビゲーション、TVプロジェクション、ビデオカメラ等が挙げられる。それら応用用途の簡単な説明を図20を用いて行う。

【0187】図20（A）はTVカメラであり、本体2001、カメラ部2002、表示装置2003、操作スイッチ2004で構成される。表示装置2003はビューファインダーとして利用される。

【0188】図20（B）はパーソナルコンピュータであり、本体2101、カバー部2102、キーボード2103、表示装置2104で構成される。表示装置2104はモニターとして利用され、対角十数インチもサイズが要求される。

【0189】図20（C）はカーナビゲーションであり、本体2201、表示装置2202、操作スイッチ2203、アンテナ2204で構成される。表示装置2202はモニターとして利用されるが、地図の表示が主な目的なので解像度の許容範囲は比較的広いと言える。

【0190】図20（D）はTVプロジェクションであり、本体2301、光源2302、表示装置2303、ミラー2304、2305、スクリーン2306で構成される。表示装置2303に映し出された画像がスクリーン2306に投影されるので、表示装置2303は高い解像度が要求される。

【0191】図20（E）はビデオカメラであり、本体2401、表示装置2402、接眼部2403、操作スイッチ2404、テープホルダー2405で構成される。表示装置2402に映し出された撮影画像は接眼部2403を通してリアルタイムに見ることができるので、使用者は画像を見ながらの撮影が可能となる。

【0192】以上の様に、本発明の応用範囲は極めて広く、様々な半導体回路を有する製造品に適用することが可能である。

【0193】

【発明の効果】本明細書に開示する発明を実施することで、従来のチャネルドープ技術をより精密に行うことができる。具体的には、従来数V オーダーでしか制御

INTEL - 1004
Page 181 of 492

たしきい値電圧をコンマ数Ｖオーダーで制御することが可能となる。

【０１９４】特に、極めて優れた特性を有するＴＦＴ（例えば、しきい値電圧の絶対値自体が極めて小さく制御が困難）に対しては、本発明は非常に有効であり、ゲイト電圧の駆動電圧、延いては消費電力にまで影響を及ぼすウィンドウ幅を少なくとも１Ｖ以下、具体的には0.4 ～1.0Vの範囲に納めることが可能となる。

【図面の簡単な説明】

【図１】　薄膜トランジスタの構造および特性を示す図。

【図２】　薄膜トランジスタの作製工程を示す図。

【図３】　薄膜トランジスタの作製工程を示す図。

【図４】　温度の拡散係数の関係を示す図。

【図５】　Si/SiO_2 界面におけるドーパントの分布状態を示す図。

【図６】　薄膜トランジスタの特性を示す図。

【図７】　Si/SiO_2 界面におけるドーパントの分布状態を示す図。

【図８】　Si/SiO_2 界面におけるドーパントの分布状態を示す図。

【図９】　シリコンゲイトＴＦＴの構造を示す図。

【図１０】　ＳＲＡＭの回路構成を示す図。

【図１１】　ＣＭＯＳにおける活性層の構成を示す図。

【図１２】　ＣＭＯＳにおける活性層の構成を示す図。

【図１３】　アクティブマトリクス型表示装置の構成を示す図。

【図１４】　シフトレジスタ回路の構成を示す図。

【図１５】　薄膜トランジスタの作製工程を示す図。

【図１６】　薄膜トランジスタの特性を示す図。

【図１７】　Ｅｇを説明するためのバンド図

【図１８】　ＣＭＯＳ回路の周波数特性を示す図

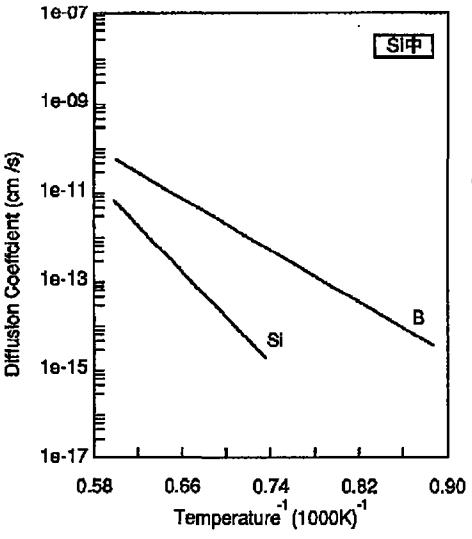
【図１９】　透過光の光波長依存性を示す図

【図２０】　半導体装置の応用例を示す図。

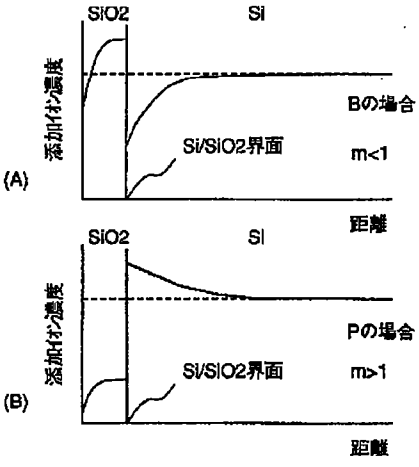
【符号の説明】

１０１	ガラス（または石英）基板
１０２	酸化珪素膜
１０３	Ｎチャネル型ＴＦＴの活性層
１０４	Ｐチャネル型ＴＦＴの活性層
１０５	ゲイト絶縁膜
１０６、１０７	ゲイト電極
１０８	層間絶縁膜
１０９、１１０	ソース電極
１１１	ドレイン電極
１１２	保護膜

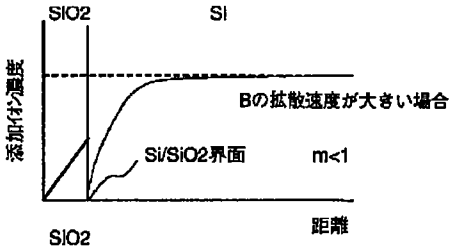
【図４】



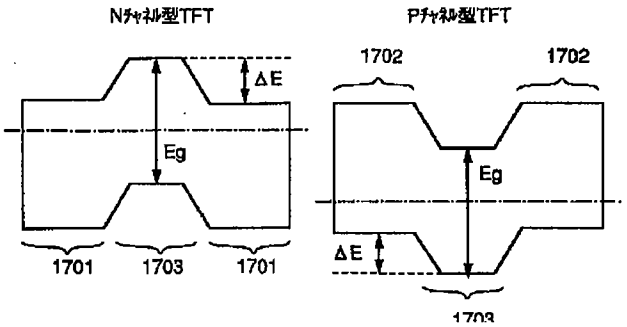
【図５】



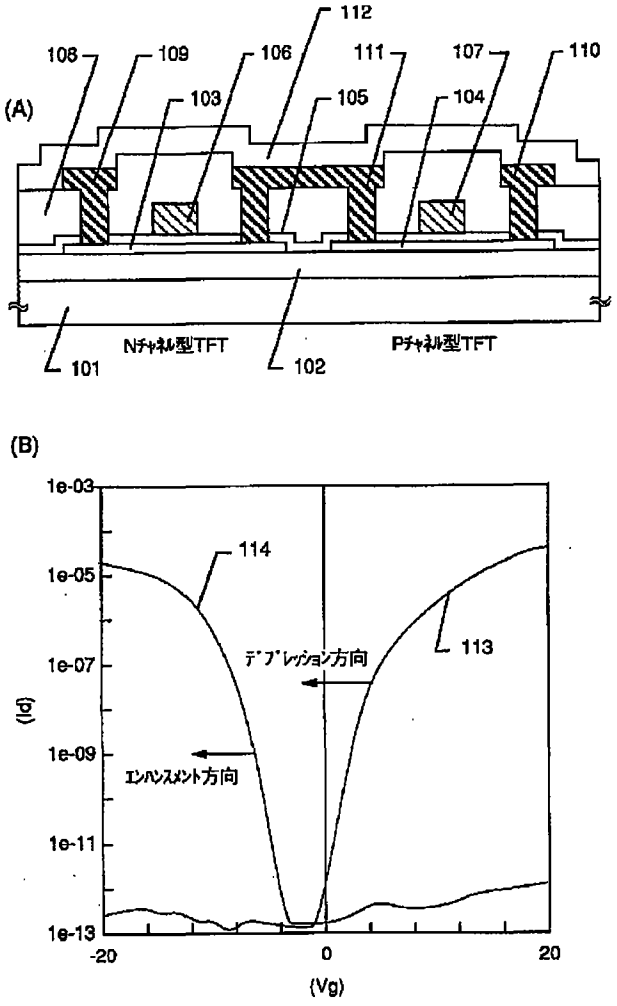
【図７】



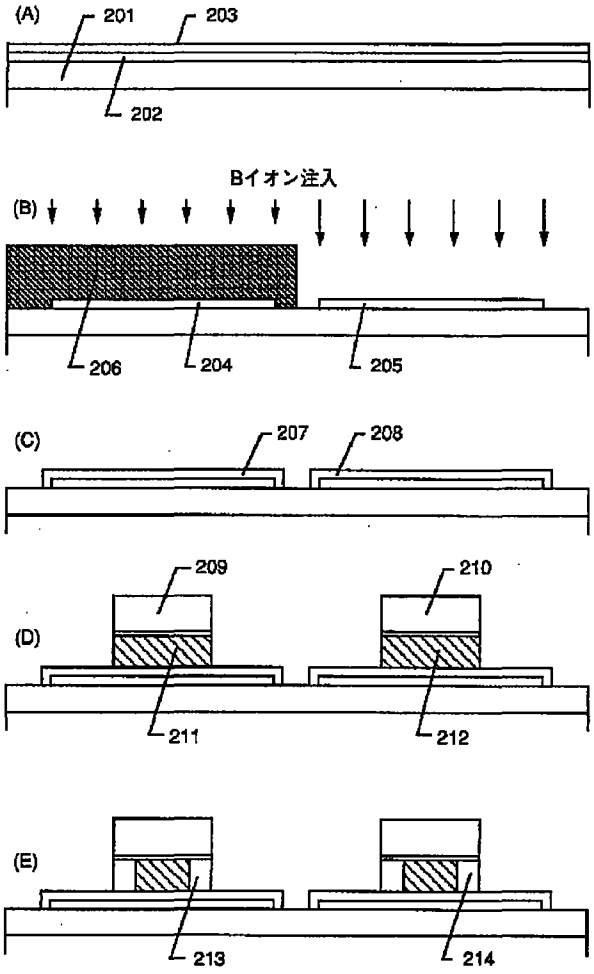
【図１７】



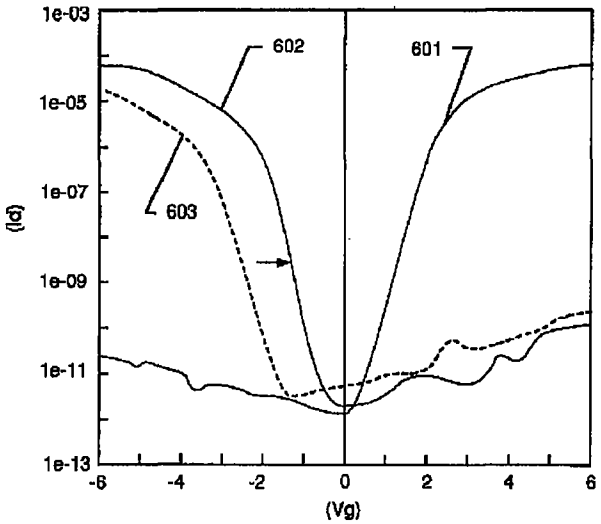
【図1】



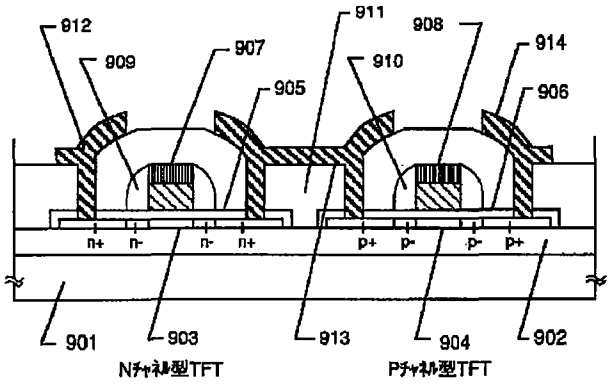
【図2】



【図6】

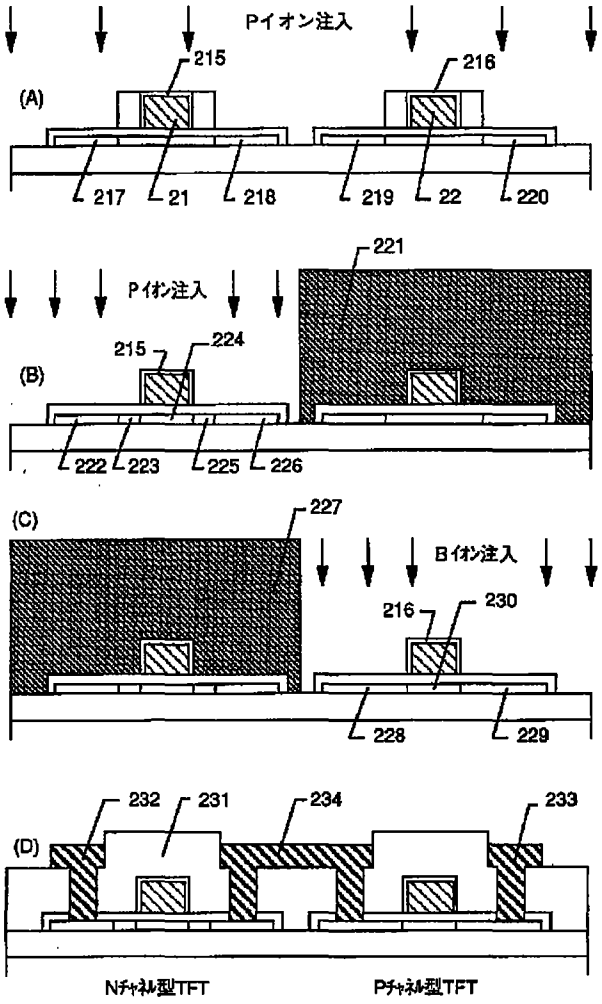


【図9】

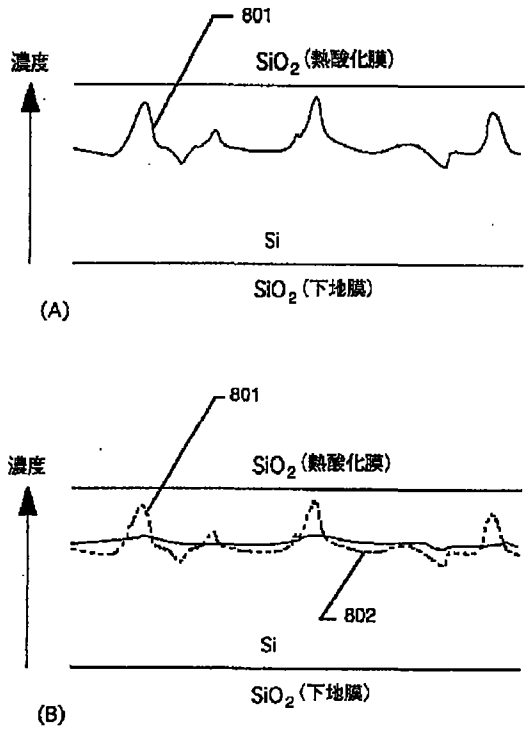


INTEL - 1004
Page 183 of 492

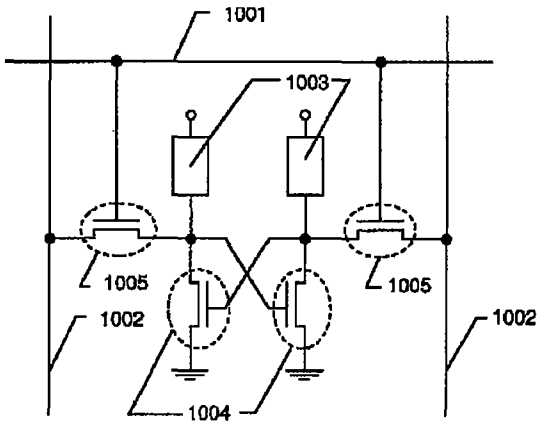
【図３】


Pイオン注入
215
216
(A)
217
21
218
219
22
220
221
Pイオン注入
215
224
(B)
222
223
225
226
(C)
227
Bイオン注入
216
230
228
229
232
231
234
233
(D)
Nチャネル型TFT
Pチャネル型TFT

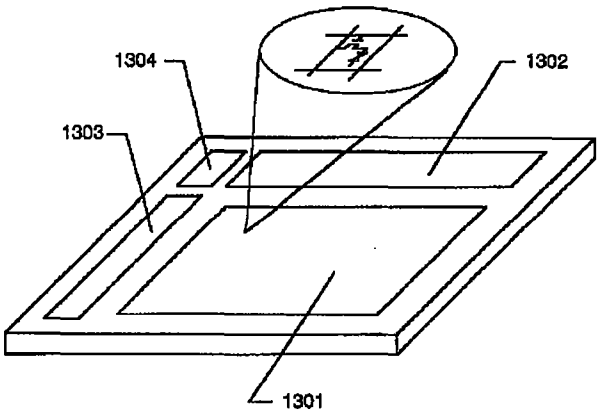
【図８】


801
濃度
SiO2 (熱酸化膜)
Si
SiO2 (下地膜)
(A)
801
濃度
SiO2 (熱酸化膜)
802
Si
SiO2 (下地膜)
(B)

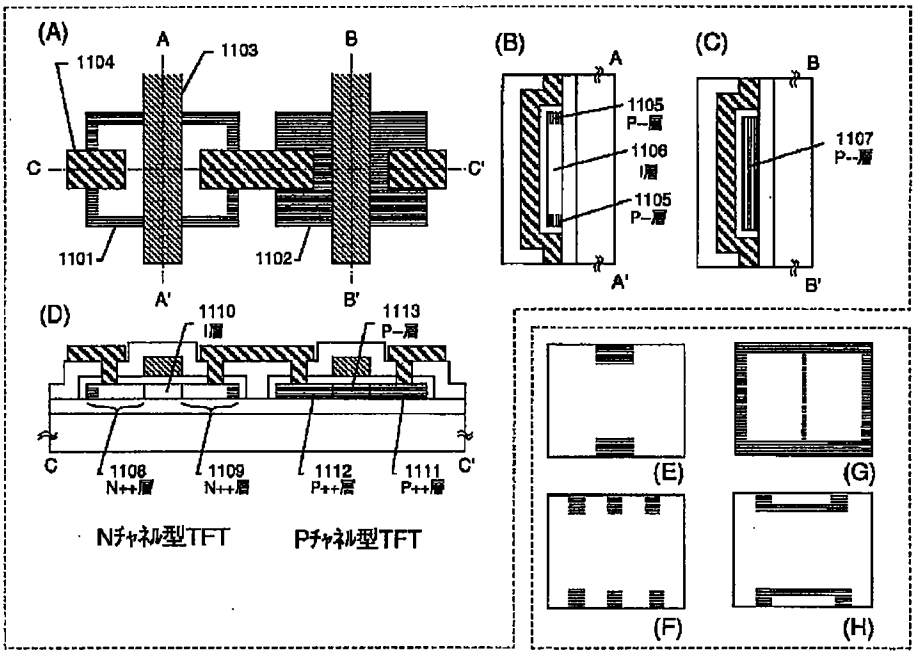
【図１０】


1001
1003
1005
1005
1002
1002
1004

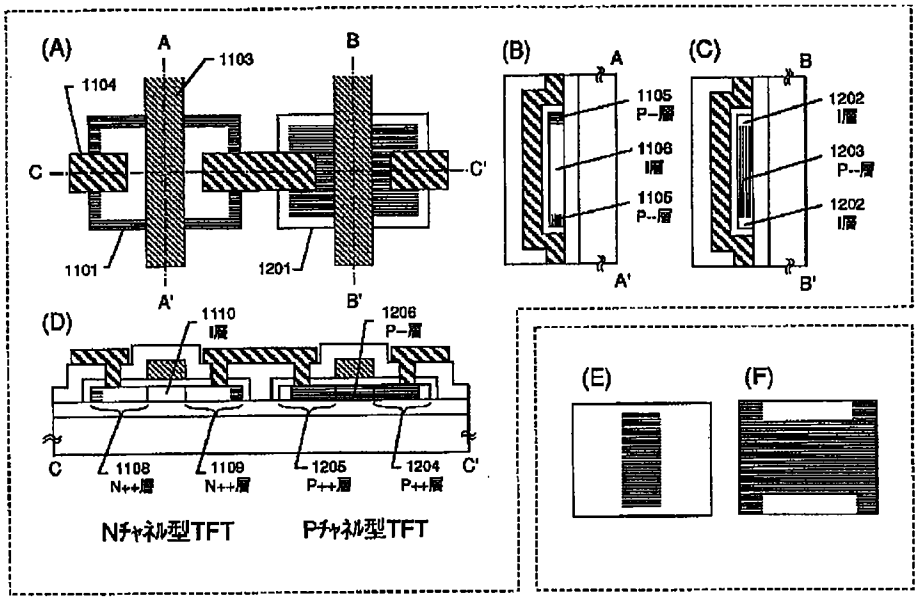
【図１３】


1304
1302
1303
1301

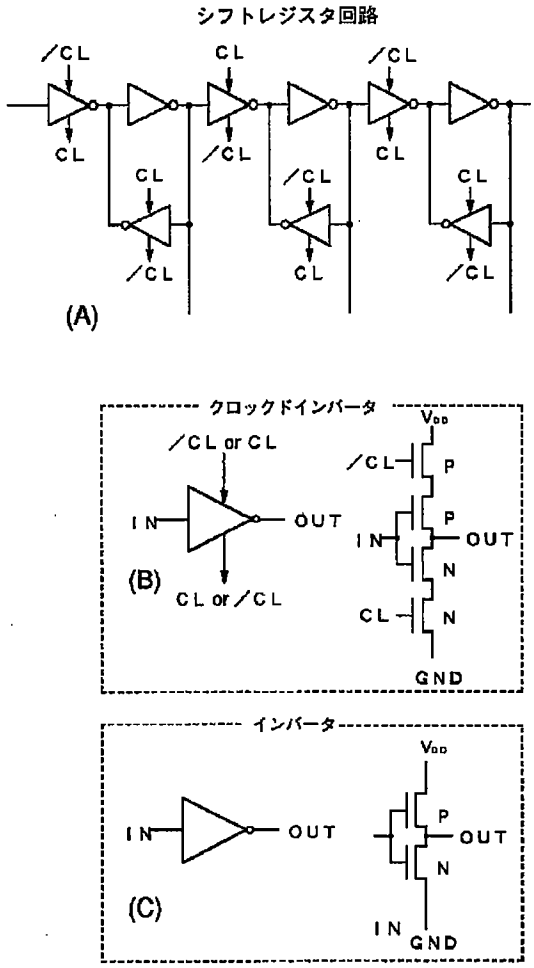
【図11】


(A)
A
B
1104
1103
C
C'
1101
1102
A'
B'
(B)
A
1105
P−層
1106
I層
1105
P−層
A'
(C)
B
1107
P−−層
B'
(D)
1110
I層
1113
P−層
C
1108
N++層
1109
N++層
1112
P++層
1111
P++層
C'
Nチャネル型TFT
Pチャネル型TFT
(E)
(G)
(F)
(H)

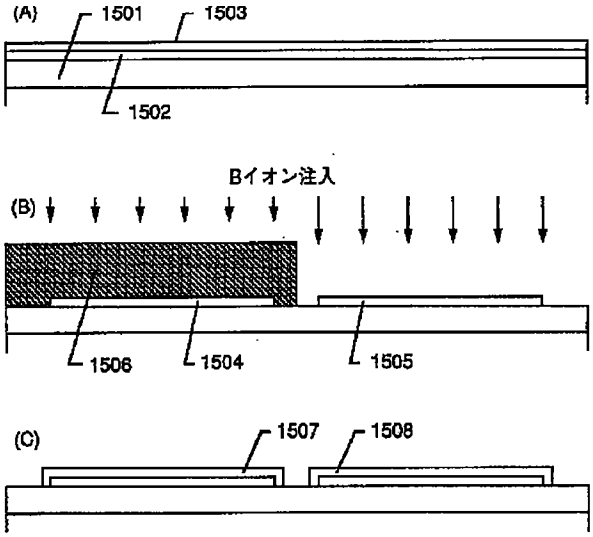
【図12】


(A)
A
B
1104
1103
C
C'
1101
1201
A'
B'
(B)
A
1105
P−層
1106
I層
1105
P−−層
A'
(C)
B
1202
I層
1203
P−−層
1202
I層
B'
(D)
1110
I層
1206
P−層
C
1108
N++層
1109
N++層
1205
P++層
1204
P++層
C'
Nチャネル型TFT
Pチャネル型TFT
(E)
(F)

【図１４】



【図１５】

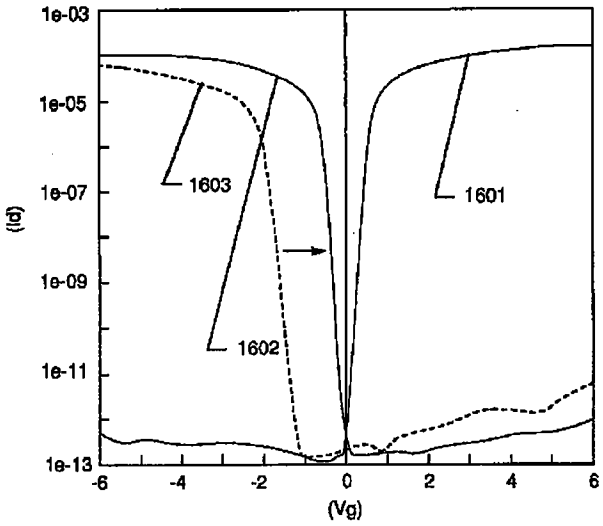


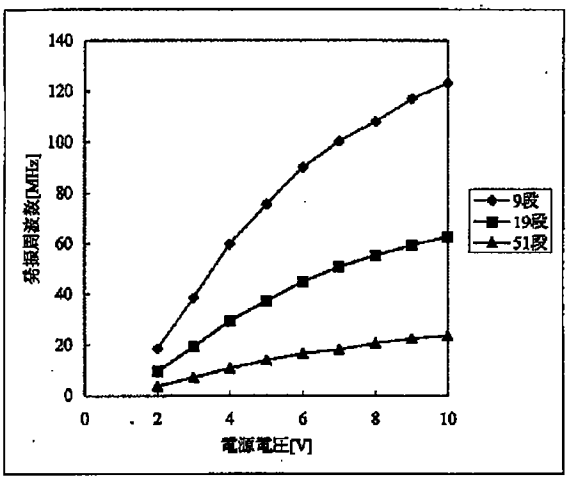
【図１８】

TFTサイズ Pch 3/20
(L/W[um]) Nch 3/10

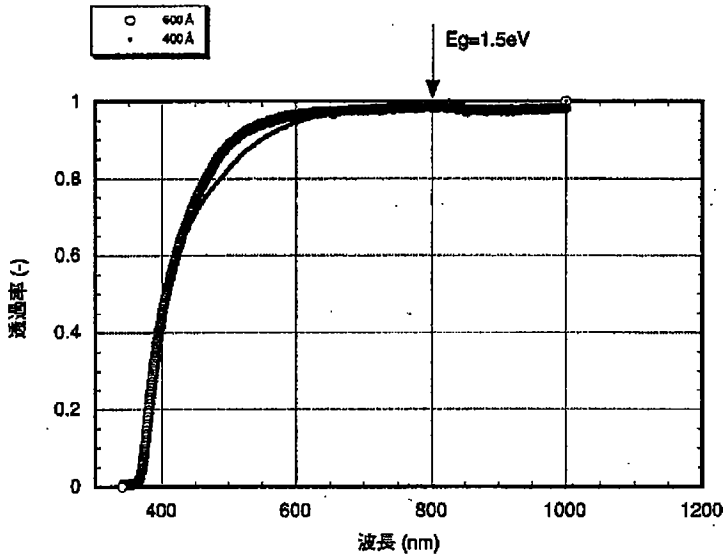
電源電圧 (V)	発振周波数(MHz) 9段	19段	51段
2.0	18.6	9.6	3.6
3.0	38.5	19.2	7.2
4.0	59.8	29.4	10.7
5.0	75.7	37.2	13.9
6.0	90.4	44.8	16.6
7.0	100.3	50.8	18.2
8.0	108.0	55.3	20.7
9.0	117.0	59.4	22.4
10.0	123.0	62.6	23.6

【図１６】

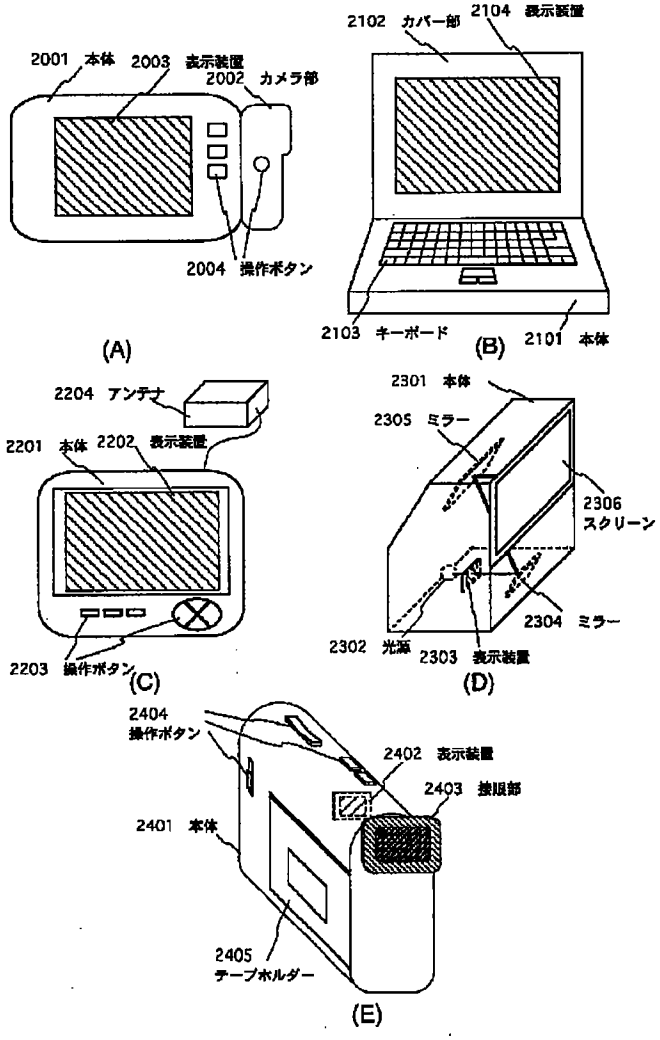




【図１９】


600Å
400Å
Eg=1.5eV
透過率 (-)
波長 (nm)
0
0.2
0.4
0.6
0.8
1
400
600
800
1000
1200

【図２０】


2001 本体
2003 表示装置
2002 カメラ部
2004 操作ボタン
(A)
2102 カバー部
2104 表示装置
2103 キーボード
2101 本体
(B)
2204 アンテナ
2201 本体
2202 表示装置
2203 操作ボタン
(C)
2301 本体
2305 ミラー
2306 スクリーン
2304 ミラー
2302 光源
2303 表示装置
(D)
2404 操作ボタン
2402 表示装置
2403 接眼部
2401 本体
2405 テープホルダー
(E)

フロントページの続き

(51)Int.Cl.6	識別記号	庁内整理番号	FI		技術表示箇所
			H01L 29/78	617U	
				618D	
				622	
				627G	
				627E	

INTEL - 1004
Page 188 of 492

【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成１７年５月１９日（２００５．５．１９）

【公開番号】特開平１０－７９５１７
【公開日】平成１０年３月２４日（１９９８．３．２４）
【出願番号】特願平９－１９６４９９
【国際特許分類第７版】
H01L 29/786
H01L 21/8238
H01L 27/092
H01L 21/336
【Ｆ Ｉ】
H01L 29/78 618 F
H01L 27/08 321 D
H01L 29/78 613 A
H01L 29/78 616 A
H01L 29/78 617 S
H01L 29/78 617 U
H01L 29/78 618 D
H01L 29/78 622
H01L 29/78 627 G
H01L 29/78 627 E

【手続補正書】
【提出日】平成１６年７月７日（２００４．７．７）
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
絶縁表面を有する基板上に配置された結晶性珪素膜からなる活性層と、
前記活性層の表面に形成されたゲイト絶縁膜と、
前記ゲイト絶縁膜上に形成されたゲイト電極とをそれぞれ有する、Nチャネル型ＴＦＴおよびPチャネル型ＴＦＴを有し、
前記Pチャネル型ＴＦＴの活性層のみにP型を付与する不純物元素が添加されており、
前記活性層と前記ゲイト絶縁膜との界面近傍における前記不純物元素の濃度は、前記活性層の濃度が前記ゲイト絶縁膜の濃度より少なく、
前記活性層中における前記不純物元素の濃度は、前記ゲイト絶縁膜との界面に近づくにつれて減少していることを特徴とする半導体装置。
【請求項２】
絶縁表面を有する基板上に配置された結晶性珪素膜からなる活性層と、
前記活性層の表面に形成されたゲイト絶縁膜と、
前記ゲイト絶縁膜上に形成されたゲイト電極とをそれぞれ有する、Nチャネル型ＴＦＴおよびPチャネル型ＴＦＴを有し、
前記Ｎチャネル型ＴＦＴおよび前記Ｐチャネル型ＴＦＴの活性層にP型を付与する不純物

INTEL - 1004
Page 189 of 492

層の濃度が前記ゲイト絶縁膜の濃度より少なく、
前記活性層中における前記不純物元素の濃度は、前記ゲイト絶縁膜との界面に近づくにつれて減少していることを特徴とする半導体装置。
【請求項３】
請求項１または請求項２において、
前記ゲイト絶縁膜中における前記不純物元素の濃度は1×10^{17}～1×10^{20}／cm^3であることを特徴とする半導体装置。
【請求項４】
請求項１乃至請求項３のいずれか一項において、
前記ゲイト絶縁膜は熱酸化膜であることを特徴とする半導体装置。
【請求項５】
請求項１乃至請求項４のいずれか一項において、
前記半導体装置はＣＭＯＳ構造を有することを特徴とする半導体装置。
【請求項６】
請求項１乃至請求項５のいずれか一項において、
前記Ｎチャネル型ＴＦＴおよび前記Ｐチャネル型ＴＦＴのサブスレッシュホールド値は８５ｍＶ／ｄｅｃ以下であることを特徴とする半導体装置。
【請求項７】
請求項１乃至請求項６のいずれか一項において、
前記Ｎチャネル型ＴＦＴのしきい値電圧は－０．２～０．５Ｖであり、
前記Ｐチャネル型ＴＦＴのしきい値電圧は－０．５～０．２Ｖであり、
前記Ｎチャネル型ＴＦＴおよび前記Ｐチャネル型ＴＦＴのウインドウ幅は１Ｖ以下であることを特徴とする半導体装置。
【請求項８】
請求項１乃至請求項７のいずれか一項において、
前記ゲイト絶縁膜には、1×10^{17}～1×10^{20}／cm^3の濃度でハロゲン元素が含まれていることを特徴とする半導体装置。
【請求項９】
請求項１乃至請求項８のいずれか一項において、
活性層の厚さは１０～３００ｎｍであることを特徴とする半導体装置。
【請求項１０】
請求項１乃至請求項９のいずれか一項に記載の半導体装置を用いた電気光学装置。
【請求項１１】
請求項１乃至請求項９のいずれか一項に記載の半導体装置を用いた電気光学装置を有するカメラ。
【請求項１２】
請求項１乃至請求項９のいずれか一項に記載の半導体装置を用いた電気光学装置を有するコンピュータ。
【請求項１３】
請求項１乃至請求項９のいずれか一項に記載の半導体装置を用いた電気光学装置を有するナビゲーションシステム。
【請求項１４】
請求項１乃至請求項９のいずれか一項に記載の半導体装置を用いた電気光学装置を有するテレビ。
【請求項１５】
絶縁表面を有する基板上に結晶性珪素膜を形成し、
前記結晶性珪素膜をパターニングして第１の半導体層および第２の半導体層を形成し、
前記第１の半導体層のみにＰ型を付与する不純物元素を添加し、
前記第１の半導体層および前記第２の半導体層に酸化処理を行うことによって、前記第１の半導体層の表面および前記第２の半導体層の表面にそれぞれ第１のゲイト絶縁膜と

INTEL - 1004
Page 190 of 492

第２のゲイト絶縁膜を形成し、且つ前記第１の半導体層から前記不純物元素を前記第１のゲイト絶縁膜に取り込ませ、
前記第１の半導体層を用いてＰチャネル型ＴＦＴを形成し、前記第２の半導体層を用いてＮチャネル型ＴＦＴを形成することを特徴とする半導体装置の作製方法。
【請求項１６】
絶縁表面を有する基板上に結晶性珪素膜を形成し、
前記結晶性珪素膜をパターニングして第１の半導体層および第２の半導体層を形成し、
前記第１の半導体層および前記第２の半導体層にＰ型を付与する不純物元素を添加し、
前記第１の半導体層および前記第２の半導体層に酸化処理を行うことによって、前記第１の半導体層の表面および前記第２の半導体層の表面にそれぞれ第１のゲイト絶縁膜および第２のゲイト絶縁膜を形成し、且つ前記第１の半導体層および前記第２の半導体層から前記不純物元素を前記第１のゲイト絶縁膜および前記第２のゲイト絶縁膜に取り込ませ、
前記第１の半導体層を用いてＰチャネル型ＴＦＴを形成し、前記第２の半導体層を用いてＮチャネル型ＴＦＴを形成することを特徴とする半導体装置の作製方法。
【請求項１７】
絶縁表面を有する基板上に非晶質珪素膜を形成し、
前記非晶質珪素膜上に結晶化を助長する金属元素を添加した後に、加熱処理、レーザアニール処理、または加熱処理とレーザアニール処理を併用した処理のいずれかを行うことによって結晶性珪素膜を形成し、
前記結晶性珪素膜をパターニングして第１の半導体層および第２の半導体層を形成し、
前記第１の半導体層のみにＰ型を付与する不純物元素を添加し、
前記第１の半導体層および前記第２の半導体層に酸化処理を行うことによって、前記第１の半導体層の表面および前記第２の半導体層の表面にそれぞれ第１のゲイト絶縁膜および第２のゲイト絶縁膜を形成し、且つ前記第１の半導体層から前記不純物元素を前記第１のゲイト絶縁膜に取り込ませ、
前記第１の半導体層を用いてＰチャネル型ＴＦＴを形成し、前記第２の半導体層を用いてＮチャネル型ＴＦＴを形成することを特徴とする半導体装置の作製方法。
【請求項１８】
絶縁表面を有する基板上に非晶質珪素膜を形成し、
前記非晶質珪素膜上に結晶化を助長する金属元素を添加した後に、加熱処理、レーザアニール処理、または加熱処理とレーザアニール処理を併用した処理のいずれかを行うことによって結晶性珪素膜を形成し、
前記結晶性珪素膜をパターニングして第１の半導体層および第２の半導体層を形成し、
前記第１の半導体層および前記第２の半導体層にＰ型を付与する不純物元素を添加し、
前記第１の半導体層および前記第２の半導体層に酸化処理を行うことによって、前記第１の半導体層の表面および前記第２の半導体層の表面にそれぞれ第１のゲイト絶縁膜および第２のゲイト絶縁膜を形成し、且つ前記第１の半導体層および前記第２の半導体層から前記不純物元素を前記第１のゲイト絶縁膜および前記第２のゲイト絶縁膜に取り込ませ、
前記第１の半導体層を用いてＰチャネル型ＴＦＴを形成し、前記第２の半導体層を用いてＮチャネル型ＴＦＴを形成することを特徴とする半導体装置の作製方法。
【請求項１９】
請求項１７または請求項１８において、
前記金属元素とは、Ｎｉ、Ｃｏ、Ｐｔ、Ｃｕ、Ｆｅから選ばれた一種または複数種の元素であることを特徴とする半導体装置の作製方法。
【請求項２０】
請求項１５乃至請求項１９のいずれか一項において、
前記酸化処理は、ドライO_2酸化、ウェットO_2酸化、またはパイロジェニック酸化のいずれかを用いることを特徴とする半導体装置の作製方法。
【請求項２１】
請求項１５乃至請求項１９のいずれか一項において、

前記酸化処理は、ハロゲンガスを含む雰囲気において行われることを特徴とする半導体装置の作製方法。
【請求項２２】
請求項１５乃至請求項１９のいずれか一項において、
前記酸化処理は、ＨＣｌガス、NF_3ガス、またはClF_3ガスを少なくとも含む雰囲気において行われることを特徴とする半導体装置の作製方法。
【請求項２３】
請求項１５乃至請求項１９のいずれか一項において、
前記酸化処理は、NF_3を用いて５００～７００度で行われることを特徴とする半導体装置の作製方法。
【請求項２４】
請求項１５乃至請求項２３のいずれか一項において、
前記ゲイト絶縁膜中には1×10^{17}～1×10^{20}／cm^3の濃度で前記不純物元素が含まれていることを特徴とする半導体装置の作製方法。
【請求項２５】
請求項１５乃至請求項２４のいずれか一項において、
前記ゲイト絶縁膜中には1×10^{17}～1×10^{20}／cm^3の濃度でハロゲン元素が含まれていることを特徴とする半導体装置の作製方法。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００１１
【補正方法】変更
【補正の内容】
【００１１】
Ｎチャネル型ＴＦＴのＩｄ－Ｖｇ特性１１３がデプレッション方向にシフトし、Ｐチャネル型ＴＦＴのＩｄ－Ｖｇ特性１１４がエンハンスメント方向にシフトするとは、どちらも図１（Ｂ）に示す様にゲイト電圧Ｖｇに対してマイナス側に偏っていることを意味している。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００２３
【補正方法】変更
【補正の内容】
【００２３】
また、前記金属元素とはＮｉ（ニッケル）、Ｃｏ（コバルト）、Ｐｔ（白金）、Ｃｕ（銅）、Ｆｅ（鉄）から選ばれた一種または複数種の元素であり、代表的にはＮｉが用いられる。また、前記熱酸化処理は７００～１１００℃の比較的高い温度範囲で行われ、前記ハロゲン元素としてはＣｌ（塩素）またはＦ（フッ素）が一般的である。熱酸化処理の際、処理雰囲気にハロゲン元素を導入する場合には、ハロゲン元素をその組成に含む、ＨＣｌガス、NF_3ガス、ClF_3ガスを用いれば良い。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００３５
【補正方法】変更
【補正の内容】
【００３５】
以上の様な構成でなる発明を実施することで、従来のチャネルドープ技術をより精密に行うことができる。これは、Ｐチャネル型半導体装置に対してＢイオンを添加する構成において達せられ、チャネル形成領域において、Si／SiO_2界面近傍（活性層側）のＢイオン濃度が低減する物理現象を利用した技術である。

INTEL - 1004
Page 192 of 492

【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００３８
【補正方法】変更
【補正の内容】
【００３８】
次に、後にＴＦＴの活性層となる結晶性珪素膜を形成する。結晶性珪素膜を得るための手段としては様々な方法があるが、本実施例では減圧熱ＣＶＤ法、若しくはプラズマＣＶＤ法により１０～３００ｎｍ、好ましくは１０～１００ｎｍ、代表的には２０～５０ｎｍの厚さに成膜した非晶質珪素膜を、エキシマレーザーによるアニール処理により結晶化して結晶性珪素膜を得ることにする。エキシマレーザーとしてはＫｒＦ、ＸｅＣｌ等の励起ガスを利用した紫外光を用いれば良い。
【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００５２
【補正方法】変更
【補正の内容】
【００５２】
即ち、後に島状半導体層２０５がＴＦＴの活性層として機能する際に、チャネル形成領域の活性層主表面（実際に反転層が形成される領域側）近傍におけるＢイオン濃度を極めて少なくすることができるので、この濃度を調節することでしきい値電圧の微妙な制限を実現することができる。従って、活性層２０５の内部において、Ｂイオンの濃度はゲイト絶縁膜２０８との界面に近づくにつれて減少していく特徴がある。
【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】００５５
【補正方法】変更
【補正の内容】
【００５５】
例えば、図８（Ａ）に示す様に、イオン注入法やプラズマドーピング法により添加されたＢイオンの濃度プロファイル８０１は、活性層中の深さ方向において不均一な分布状態となっている。特に、プラズマドーピング法は浅い添加領域を形成するには有効だが、その分布均一性を確保するのが困難である。なお、図８（Ａ）、（Ｂ）は任意の深さについて注目した面内方向の濃度分布を示している。
【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】００５８
【補正方法】変更
【補正の内容】
【００５８】
従って、活性層の主表面に残存するＢイオンの濃度プロファイル８０２は、全体的にはほぼ均一な濃度分布状態となる。以上の様に、熱酸化によるＢイオンの吸い出し効果は濃度分布の均一性を向上させる上でも効果的であり、しきい値電圧の微妙な制御に大きく寄与する効果の一つと言える。
【手続補正９】
【補正対象書類名】明細書
【補正対象項目名】００５９
【補正方法】変更
【補正の内容】
【００５９】

INTEL - 1004
Page 193 of 492

また、本実施例では、この熱酸化工程で形成された５０ｎｍの熱酸化膜をゲイト絶縁膜として利用する。熱酸化膜をゲイト絶縁膜として用いた場合、Ｓｉ／ＳｉO_2界面近傍における界面準位等を少なくすることができるので、極めて優れた電気特性を有するＴＦＴとすることができる。また、その膜厚は熱酸化工程の温度、時間、雰囲気を変えることで調節することが可能である。

【手続補正１０】
【補正対象書類名】明細書
【補正対象項目名】００６７
【補正方法】変更
【補正の内容】
【００６７】
さらに、レジストマスク２０９、２１０は除去した後、特開平７－１６９９７４号公報記載の条件に従って、緻密で強固な陽極酸化膜２１５、２１６の形成を行う。ただし、本実施例ではこの膜厚が７０ｎｍとなる様に到達電圧を調節する。また、この工程によりゲイト電極２１、２２が画定する。構造としては図３（Ａ）の様な状態となっている。

【手続補正１１】
【補正対象書類名】明細書
【補正対象項目名】００７２
【補正方法】変更
【補正の内容】
【００７２】
この工程において、２２２の領域がＮチャネル型ＴＦＴのソース領域となる。そして２２３と２２５が低濃度不純物領域、２２６がドレイン領域となる。また、２２４で示される領域は実質的に真性なチャネル形成領域となる。なお、２２５で示される領域が一般にＬＤＤ（ライトドープドレイン）領域と称される領域である。

【手続補正１２】
【補正対象書類名】明細書
【補正対象項目名】００７４
【補正方法】変更
【補正の内容】
【００７４】
オフセットゲイト領域はイオン注入されず実質的に真性であるが、ゲイト電圧が印加されないためチャネルを形成せず、電界強度を緩和し、劣化を抑制する抵抗成分として機能する。ただし、その距離（オフセット幅）が短い場合、実効的なオフセット領域として機能しない。本実施例ではその幅が７０ｎｍであるのでオフセット領域としては機能しない。

【手続補正１３】
【補正対象書類名】明細書
【補正対象項目名】００７８
【補正方法】変更
【補正の内容】
【００７８】
エキシマレーザー光の照射が終了したら、図３（Ｄ）に示すように層間絶縁膜２３１を４００ｎｍの厚さに成膜する。層間絶縁膜２３１は酸化珪素膜、酸化窒化珪素膜、窒化珪素膜のいずれでも良く、多層構造としても良い。これら珪化膜の成膜方法は、プラズマＣＶＤ法や熱ＣＶＤ法を用いればよい。また、透過性を有する有機性樹脂膜（例えばポリイミド）を用いることもできる。

【手続補正１４】
【補正対象書類名】明細書
【補正対象項目名】０１４１

【補正方法】変更
【補正の内容】
【０１４１】
次に、後にＴＦＴの活性層となる結晶性珪素膜を形成する。本実施例では、非晶質珪素膜を結晶化して結晶性珪素膜を得る。まず、図示しない非晶質珪素膜を減圧熱ＣＶＤ法、若しくはプラズマＣＶＤ法により１００ｎｍの厚さに成膜する。後の熱酸化工程において膜減りが起こるので、その辺りを計算に入れて所望の膜厚よりも厚めに形成しておくと良い。
【手続補正１５】
【補正対象書類名】明細書
【補正対象項目名】０１５４
【補正方法】変更
【補正の内容】
【０１５４】
また、本実施例では、この熱酸化工程で形成された５０ｎｍの熱酸化膜をゲイト絶縁膜として利用する。熱酸化膜をゲイト絶縁膜として用いた場合、Ｓｉ／SiO_2界面近傍における界面準位等を少なくすることができるので、極めて優れた電気特性を有するＴＦＴとすることができる。また、その膜厚は熱酸化工程の温度、時間、雰囲気を変えることで調節することが可能である。
【手続補正１６】
【補正対象書類名】明細書
【補正対象項目名】０１６８
【補正方法】変更
【補正の内容】
【０１６８】
また、動作周波数ｆはチャネル長Ｌの２乗に反比例することが知られている。例えば、ＩＣにおいては２００ＭＨｚの高速動作を実現するために、チャネル長を０．３５μｍ以下とする必要があった。しかし、ＳＯＩ構造のＴＦＴではそれ以上のチャネル長であっても２００ＭＨｚを達成できる。況して、本実施例のＴＦＴは配線ー基板間容量の分だけＳＯＩ構造のＴＦＴよりも優れているので、チャネル長Ｌによりマージンを持たせることができる上、場合によっては２００ＭＨｚ以上の高速動作を実現することも可能と予想される。
【手続補正１７】
【補正対象書類名】明細書
【補正対象項目名】０１７２
【補正方法】変更
【補正の内容】
【０１７２】
ここで、本実施例に示す結晶性珪素膜の光学吸収スペクトルを測定した際の実験データを図１９に示す。図１９において、横軸は通常の可視光領域の光波長であり、縦軸は膜内を透過する前後における光強度の比をとった実効透過率（膜面における反射光成分を排除して計算した透過率）である。なお、珪素膜の膜厚は４０ｎｍと６０ｎｍの２種類を測定した。

THIN FILM TRANSISTOR SUBSTRATE AND MANUFACTURING METHOD THEREOF

Publication number: JP2007013145
Publication date: 2007-01-18
Inventor: RYU SHUNKI; PARK KYUNG-MIN; PARK GYUNG-SOON
Applicant: SAMSUNG ELECTRONICS CO LTD
Classification:
- international: ***H01L29/786; H01L21/336;*** **H01L29/66; H01L21/02;**
- European: H01L21/77T
Application number: JP20060174684 20060626
Priority number(s): KR20050058437 20050630; KR20050058444 20050630

Also published as:
US2007007524 (A1)

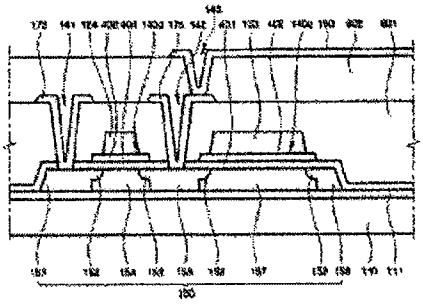
Report a data error here

Abstract of **JP2007013145**

PROBLEM TO BE SOLVED: To provide a thin film transistor substrate of high process efficiency along with its manufacturing method, with no performance degradation such as dropping of a punch through voltage and increase in leakage current.

SOLUTION: The thin film transistor substrate comprises a substrate; a semiconductor layer containing a channel region formed over it, a low concentration doping region adjoining on its both sides, and source and drain regions adjoining them; a gate electrode formed on the channel region; a first gate insulating film formed between the semiconductor layer and the gate electrode; a second gate insulating film which is formed between the first gate insulating film and the gate electrode, and provided with first and second side walls substantially aligned with the low concentration doping region, the source and drain regions, and a border; an interlayer insulating film formed on the gate electrode and first and second gate insulating films; and source and drain electrodes formed over it, and electrically connected to the source and drain regions through first and second contact holes of the interlayer insulating film.

COPYRIGHT: (C)2007,JPO&INPIT



Data supplied from the ***esp@cenet*** database - Worldwide

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-13145
(P2007-13145A)
(43)公開日　平成19年1月18日(2007.1.18)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 29/786	***(2006.01)***	H01L	29/78	617U	5F110
H01L 21/336	***(2006.01)***	H01L	29/78	616A	
		H01L	29/78	619A	

審査請求 未請求　請求項の数 27　OL　（全 25 頁）

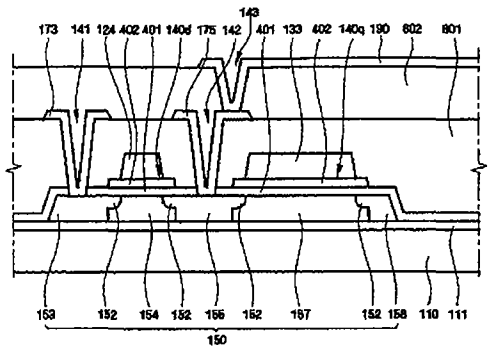
(21)出願番号　特願2006-174684 (P2006-174684)
(22)出願日　平成18年6月26日 (2006.6.26)
(31)優先権主張番号　10-2005-0058437
(32)優先日　平成17年6月30日 (2005.6.30)
(33)優先権主張国　韓国 (KR)
(31)優先権主張番号　10-2005-0058444
(32)優先日　平成17年6月30日 (2005.6.30)
(33)優先権主張国　韓国 (KR)

(71)出願人　390019839
三星電子株式会社
Samsung Electronics Co., Ltd.
大韓民国京畿道水原市霊通区梅灘洞４１６
(74)代理人　110000051
特許業務法人共生国際特許事務所
(72)発明者　柳　春　基
大韓民国　京畿道　華城市　泰安邑　餅店里　グボンマウル　ウーナム　ファーストビル　アパート　１０５棟１２０５号
(72)発明者　朴　慶　ミン
大韓民国　京畿道　城南市　盆唐区　亭子洞　ハンソルマウル　住公６団地アパート　６０７棟１００４号

最終頁に続く

(54)【発明の名称】薄膜トランジスタ基板及びその製造方法

(57)【要約】
【課題】パンチスルー電圧の低下、漏洩電流の増加などの性能低下がなく、工程効率が良い薄膜トランジスタ基板及びその製造方法を提供する。
【解決手段】基板；その上に形成された、チャネル領域、その両側にそれぞれ隣接した低濃度ドーピング領域、それに各々隣接したソース及びドレーン領域を含む半導体層；そのチャネル領域上に形成されたゲート電極；半導体層とゲート電極との間に形成された第１のゲート絶縁膜；第１のゲート絶縁膜とゲート電極の間に形成された、低濃度ドーピング領域と、ソース及びドレーン領域と境界部に各々実質的に整列される第１及び第２の側壁を備える第２のゲート絶縁膜；ゲート電極、第１及び第２のゲート絶縁膜上に形成された層間絶縁膜；その上に形成され、層間絶縁膜の第１及び第２のコンタクトホールを通じて各々ソース及びドレーン領域と電気的に連結されるソース及びドレーン電極；を含む。
【選択図】図３



【特許請求の範囲】
【請求項１】
基板；
前記基板上に形成された、チャネル領域と、前記チャネル領域の両側にそれぞれ隣接した低濃度ドーピング領域と、前記低濃度ドーピング領域にそれぞれ隣接したソース領域及びドレーン領域を含む半導体層；
前記半導体層の前記チャネル領域上に形成されたゲート電極；
前記半導体層と前記ゲート電極との間に形成された第１のゲート絶縁膜；
前記第１のゲート絶縁膜と前記ゲート電極との間に形成された、前記低濃度ドーピング領域と前記ソース領域の境界部に実質的に整列される第１の側壁及び、前記低濃度ドーピング領域と前記ドレーン領域の境界部に実質的に整列される第２の側壁を備える第２のゲート絶縁膜；
前記ゲート電極、前記第１のゲート絶縁膜及び前記第２のゲート絶縁膜上に形成された層間絶縁膜；および
前記層間絶縁膜上に形成され、前記層間絶縁膜の第１のコンタクトホールを通じて前記ソース領域と電気的に連結されるソース電極、及び前記層間絶縁膜の第２のコンタクトホールを通じて前記ドレーン領域と電気的に連結されるドレーン電極；
を含む薄膜トランジスタ基板。
【請求項２】
前記第２のゲート絶縁膜の第１及び第２の両側壁の上部は、前記ゲート電極の側壁に実質的に整列されることを特徴とする請求項１に記載の薄膜トランジスタ基板。
【請求項３】
前記第１のゲート絶縁膜の側壁は、前記第２のゲート絶縁膜の側壁の下部に実質的に整列されることを特徴とする請求項２に記載の薄膜トランジスタ基板。
【請求項４】
前記第２のゲート絶縁膜及び前記層間絶縁膜の間にキャッピング膜をさらに含むことを特徴とする請求項１に記載の薄膜トランジスタ基板。
【請求項５】
前記キャッピング膜は、窒化珪素及び酸化珪素のうち一つを含むことを特徴とする請求項４に記載の薄膜トランジスタ基板。
【請求項６】
前記第１のゲート絶縁膜の側壁は、前記第２のゲート絶縁膜の側壁に実質的に整列されることを特徴とする請求項４に記載の薄膜トランジスタ基板。
【請求項７】
前記第１のゲート絶縁膜は、各々、前記低濃度ドーピング領域と前記ソース領域の境界部、及び前記低濃度領域と前記ドレーン領域の境界部に実質的に整列されている側壁を有することを特徴とする請求項１に記載の薄膜トランジスタ基板。
【請求項８】
前記第１のゲート絶縁膜は酸化珪素を含み、前記第２のゲート絶縁膜は窒化珪素を含むことを特徴とする請求項１に記載の薄膜トランジスタ基板。
【請求項９】
前記低濃度ドーピング領域の不純物イオン濃度は、前記低濃度ドーピング領域と前記ソース又はドレーン領域の境界部から前記低濃度ドーピング領域と前記チャネル領域の境界部に行くに連れて漸進的に減少することを特徴とする請求項１に記載の薄膜トランジスタ基板。
【請求項１０】
基板；
前記基板上に形成された、チャネル領域と、前記チャネル領域の両側にそれぞれ隣接した低濃度ドーピング領域と、前記低濃度ドーピング領域にそれぞれ隣接したソース領域及びドレーン領域を含む半導体層；

INTEL - 1004
Page 198 of 492

前記半導体層の前記チャネル領域上に形成されたゲート電極；
前記半導体層と前記ゲート電極との間に形成された第１のゲート絶縁膜；
前記第１のゲート絶縁膜と前記ゲート電極との間に形成され、上部は前記ゲート電極の側壁に実質的に整列され、下部は各々、前記低濃度ドーピング領域と前記ソース領域の境界部、及び前記低濃度ドーピング領域と前記ドレーン領域の境界部に実質的に整列される側壁を備える第２のゲート絶縁膜；
前記ゲート電極、前記第１のゲート絶縁膜及び前記第２のゲート絶縁膜上に形成された層間絶縁膜；および
前記層間絶縁膜上に形成され、前記層間絶縁膜の第１のコンタクトホールを通じて前記ソース領域と電気的に連結されるソース電極、及び前記層間絶縁膜の第２のコンタクトホールを通じて前記ドレーン領域と電気的に連結されるドレーン電極；
を含む薄膜トランジスタ基板。
【請求項１１】
前記第１のゲート絶縁膜は酸化珪素を含み、前記第２のゲート絶縁膜は窒化珪素を含むことを特徴とする請求項１０に記載の薄膜トランジスタ基板。
【請求項１２】
前記低濃度ドーピング領域の不純物イオン濃度は、前記低濃度ドーピング領域と前記ソース又はドレーン領域の境界部から前記低濃度ドーピング領域と前記チャネル領域の境界部に行くに連れて漸進的に減少することを特徴とする請求項１０に記載の薄膜トランジスタ基板。
【請求項１３】
前記第１のゲート絶縁膜及び前記層間絶縁膜は、第１及び第２のコンタクトホールを含むことを特徴とする請求項１０に記載の薄膜トランジスタ基板。
【請求項１４】
前記第１のゲート絶縁膜の側壁は、前記第２のゲート絶縁膜の側壁の下部に実質的に整列されることを特徴とする請求項１０に記載の薄膜トランジスタ基板。
【請求項１５】
基板上に半導体層を形成し、
前記半導体層上に第１のゲート絶縁膜、第２のゲート絶縁膜、及び金属膜を順次に形成し、
前記金属膜上に形成された感光膜パターンをエッチングマスクとして前記金属膜をパターニングしてゲート電極を形成し、
前記感光膜パターンをエッチングマスクとして前記第２のゲート絶縁膜をパターニングして前記ゲート電極よりも幅の広い第２のゲート絶縁膜を形成し、
前記ゲート電極と前記パターニングされた第２のゲート絶縁膜をイオン注入マスクとして使用して不純物イオンを注入して、前記半導体層の前記ゲート電極の下部に対応する領域にはチャネル領域を、前記パターニングされた第２のゲート絶縁膜のうち前記ゲート電極によって被覆されていない部分の下部に対応する領域には低濃度ドーピング領域を、前記パターニングされた第２のゲート絶縁膜の外側の下部に対応する領域には、ソース領域及びドレーン領域を形成し、
前記ゲート電極、前記第１のゲート絶縁膜、及び前記第２のゲート絶縁膜上に層間絶縁膜を形成し、
第１のコンタクトホールを通じて前記ソース領域に電気的に連結されたソース電極を形成し、
第２のコンタクトホールを通じて前記ドレーン領域に電気的に連結されたドレーン電極を形成する、ことを含むことを特徴とする薄膜トランジスタ基板の製造方法。
【請求項１６】
前記パターニングされた第２のゲート絶縁膜は、前記ゲート電極から遠くなるほどその厚さが縮小されるように形成されることを特徴とする請求項１５に記載の薄膜トランジスタ基板の製造方法

INTEL - 1004
Page 199 of 492

【請求項１７】
前記第２のゲート絶縁膜がパターニングされた後、前記第１のゲート絶縁膜の両側壁を前記パターニングされた第２のゲート絶縁膜の両側壁に実質的に整列する段階をさらに含むことを特徴とする請求項１５に記載の薄膜トランジスタ基板の製造方法。
【請求項１８】
前記第１のゲート絶縁膜は酸化珪素を含み、前記第２のゲート絶縁膜は窒化珪素を含むことを特徴とする請求項１５に記載の薄膜トランジスタ基板の製造方法。
【請求項１９】
前記第２のゲート絶縁膜は、異方性エッチングによってパターニングされることを特徴とする請求項１５に記載の薄膜トランジスタ基板の製造方法。
【請求項２０】
前記異方性エッチングは、SF_6及びO_2をエッチングガスとして使用することを特徴とする請求項１９に記載の薄膜トランジスタ基板の製造方法。
【請求項２１】
前記低濃度ドーピング領域の不純物イオン濃度は、前記低濃度ドーピング領域と前記ソース領域又はドレーン領域の境界部から前記低濃度ドーピング領域と前記チャネル領域の境界部に行くに連れて漸進的に減少することを特徴とする請求項１５に記載の薄膜トランジスタ基板の製造方法。
【請求項２２】
基板上に半導体層を形成し、
前記半導体層上に第１のゲート絶縁膜、第２のゲート絶縁膜、及び金属膜を順次に形成し、
前記金属膜上に形成された感光膜パターンをエッチングマスクとして前記金属膜をパターニングしてゲート電極を形成し、
前記感光膜パターンをエッチングマスクとして前記第２のゲート絶縁膜をパターニングして前記ゲート電極よりも幅の広い第２のゲート絶縁膜を形成し、
前記ゲート電極と前記パターニングされた第２のゲート絶縁膜をイオン注入マスクとして使用して低濃度不純物イオンを注入して、前記半導体層の前記ゲート電極の下部に対応する領域にはチャネル領域を、前記パターニングされた第２のゲート絶縁膜のうち前記ゲート電極によって被覆されていない部分の下部に対応する領域には低濃度ドーピング領域を形成し、
前記ゲート電極と前記パターニングされた第２のゲート絶縁膜をイオン注入マスクとして使用して高濃度不純物イオンを注入して、前記半導体層の前記パターニングされた第２のゲート絶縁膜の外側の下部に対応する領域にソース領域及びドレーン領域を形成し、
前記ゲート電極、前記第１のゲート絶縁膜、及び前記第２のゲート絶縁膜上に層間絶縁膜を形成し、
第１のコンタクトホールを通じて前記ソース領域に電気的に連結されたソース電極を形成し、
第２のコンタクトホールを通じて前記ドレーン領域に電気的に連結されたドレーン電極を形成する、ことを含むことを特徴とする薄膜トランジスタ基板の製造方法。
【請求項２３】
前記層間絶縁膜形成前に前記結果物上にキャッピング膜を形成する段階をさらに含むことを特徴とする請求項２２に記載の薄膜トランジスタ基板の製造方法。
【請求項２４】
前記第２のゲート絶縁膜がパターニングされた後、前記第１のゲート絶縁膜の両側壁を前記パターニングされた第２のゲート絶縁膜の両側壁に実質的に整列する段階をさらに含むことを特徴とする請求項２３に記載の薄膜トランジスタ基板の製造方法。
【請求項２５】
前記キャッピング膜、前記ゲート電極と前記第２のゲート絶縁膜とをイオン注入マスクとして使用して高濃度不純物イオンを注入して前記半導体層の前記パターニングされた第

INTEL - 1004
Page 200 of 492

２のゲート絶縁膜の外側の下部に対応される領域にソース／ドレーン領域を形成し、
前記キャッピング膜上に層間絶縁膜を形成し、
前記層間絶縁膜上に前記キャッピング膜及び前記層間絶縁膜の第１及び第２のコンタクトホールを通じて前記ソース領域及び前記ドレーン領域とそれぞれ電気的に連結されるソース電極及びドレーン電極を形成することをさらに含むことを特徴とする請求項２３に記載の薄膜トランジスタ基板の製造方法。
【請求項２６】
前記キャッピング膜は、酸化珪素又は窒化珪素膜のうち一つを含むことを特徴とする請求項２３に記載の薄膜トランジスタ基板の製造方法。
【請求項２７】
前記キャッピング膜は、化学気相蒸着によって形成されることを特徴とする請求項２３に記載の薄膜トランジスタ基板の製造方法。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、薄膜トランジスタ基板及びその製造方法に係り、より詳しくは、性能低下がなく、工程効率が良い薄膜トランジスタ基板及びその製造方法に関するものである。
【背景技術】
【０００２】
最近、ノートパソコンや携帯機器などの表示装置として用いられる液晶表示装置において、その駆動方式は、単純マトリックス方式からアクティブマトリックス方式に移行し、特にガラス基板上に多くの薄膜トランジスタ（Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ；ＴＦＴ）を形成した薄膜トランジスタアクティブマトリックス駆動方式が主流を構成している。
【０００３】
薄膜トランジスタは、ゲート線の一部であるゲート電極、チャネルを形成する半導体層、データ線の一部であるソース電極、半導体層を挟んでソース電極と対向するドレーン電極などからなる。
薄膜トランジスタは、ゲート線を通じて伝達される走査信号に応じて、データ線を通じて伝達される画像信号を画素電極に伝達又は遮断するスイッチング素子である。
【０００４】
この時、半導体層は非晶質珪素又は多結晶珪素からなり、半導体層とゲート電極との相対的な位置によって、薄膜トランジスタは、トップゲート方式とボトムゲート方式に分けることができる。
多結晶珪素薄膜トランジスタの場合、ゲート電極が半導体層の上部に設けられるトップゲート方式が主に用いられる。
【０００５】
多結晶珪素薄膜トランジスタの駆動速度は、非晶質珪素薄膜トランジスタよりはるかに速いので、画素の薄膜トランジスタと共にこれを動作させるための駆動回路を同時に形成できるという長所がある反面、パンチスルーなどの問題が発生する。
そこで半導体層のチャネル領域とソース領域及びドレーン領域の間に低濃度ドーピング領域を形成することが好ましい。
【０００６】
従来技術による低濃度ドーピング領域の形成方法は、先ず半導体層上にゲート電極を二重の導電膜としてパターニング形成し、一つの導電膜は低濃度ドーピング領域を限定するマスクとして使用し、他の導電膜は低濃度ドーピング領域を形成した後、ソース領域とドレーン領域とを形成する限定するマスクとして使用する。
しかしながら、一回のフォトエッチング工程において、二つの導電膜を異なるパターンに形成しなければならないなど工程が複雑であり、低濃度ドーピング領域の幅を精度よ

INTEL - 1004
Page 201 of 492

また、それにより工程時間が長くなり製造収率が低下する。
【特許文献１】特開第２００１－２７４４１３号公報
【発明の開示】
【発明が解決しようとする課題】
【０００７】
本発明の技術的課題は、パンチスルー電圧の低下、漏洩電流の増加などの性能低下がない薄膜トランジスタ基板を提供するところにある。
【０００８】
本発明の他の技術的課題は、性能低下がなく、工程効率が良い薄膜トランジスタ基板の製造方法を提供するところにある。
【０００９】
本発明の技術的課題は、以上で言及した技術的課題に制限されず、以下の記載から当業者が明確に理解できる、他の技術的課題に及ぶものである。
【課題を解決するための手段】
【００１０】
前述した技術的課題を達成するための本発明による薄膜トランジスタ基板は、基板と；基板上に形成された、チャネル領域と、チャネル領域の両側にそれぞれ隣接した低濃度ドーピング領域と、低濃度ドーピング領域にそれぞれ隣接したソース領域及びドレーン領域を含む半導体層と；半導体層のチャネル領域上に形成されたゲート電極と；半導体層とゲート電極との間に形成された第１のゲート絶縁膜と；第１のゲート絶縁膜とゲート電極との間に形成された、低濃度ドーピング領域とソース領域の境界部に実質的に整列（ａｌｉｇｎ）される第１の側壁及び、低濃度ドーピング領域とドレーン領域の境界部に実質的に整列される第２の側壁を備える第２のゲート絶縁膜と；ゲート電極、第１のゲート絶縁膜及び第２のゲート絶縁膜上に形成された層間絶縁膜と；層間絶縁膜上に形成され、層間絶縁膜の第１のコンタクトホールを通じてソース領域と電気的に連結されるソース電極、及び層間絶縁膜の第２のコンタクトホールを通じてドレーン領域と電気的に連結されるドレーン電極と；を含むことを特徴とする。
【００１１】
前述した技術的課題を達成するための本発明による薄膜トランジスタ基板は、基板と；基板上に形成された、チャネル領域と、チャネル領域の両側にそれぞれ隣接した低濃度ドーピング領域と、低濃度ドーピング領域にそれぞれ隣接したソース領域及びドレーン領域を含む半導体層と；半導体層のチャネル領域上に形成されたゲート電極と；半導体層とゲート電極との間に形成された第１のゲート絶縁膜と；第１のゲート絶縁膜とゲート電極との間に形成され、上部はゲート電極の側壁に実質的に整列され、下部は各々、低濃度ドーピング領域とソース領域の境界部、及び低濃度ドーピング領域とドレーン領域の境界部に実質的に整列される側壁を備える第２のゲート絶縁膜と；ゲート電極、第１のゲート絶縁膜及び第２のゲート絶縁膜上に形成された層間絶縁膜と；層間絶縁膜上に形成され、層間絶縁膜の第１のコンタクトホールを通じてソース領域と電気的に連結されるソース電極、及び層間絶縁膜の第２のコンタクトホールを通じてドレーン領域と電気的に連結されるドレーン電極と；を含むことを特徴とする。
【００１２】
前述した他の技術的課題を達成するための本発明による薄膜トランジスタ基板の製造方法は、基板上に半導体層を形成し、半導体層上に第１のゲート絶縁膜、第２のゲート絶縁膜、及び金属膜を順次に形成し、金属膜上に形成された感光膜パターンをエッチングマスクとして金属膜をパターニングしてゲート電極を形成し、感光膜パターンをエッチングマスクとして第２のゲート絶縁膜をパターニングして前記ゲート電極よりも幅の広い第２のゲート絶縁膜を形成し、ゲート電極とパターニングされた第２のゲート絶縁膜をイオン注入マスクとして使用して不純物イオンを注入して、半導体層のゲート電極の下部に対応する領域にはチャネル領域を、パターニングされた第２のゲート絶縁膜のうちゲート電極によって被覆されていない部分の下部に対応する領域には低濃度ドーピング領域を

INTEL - 1004

ニングされた第２のゲート絶縁膜の外側の下部に対応する領域には、ソース領域及びドレーン領域を形成し、ゲート電極、第１のゲート絶縁膜及び第２のゲート絶縁膜上に層間絶縁膜を形成し、第１のコンタクトホールを通じてソース領域に電気的に連結されたソース電極を形成し、第２のコンタクトホールを通じてドレーン領域に電気的に連結されたドレーン電極を形成する、ことを含むことを特徴とする。

【００１３】

前述した他の技術的課題を達成するための本発明による薄膜トランジスタ基板の製造方法は、基板上に半導体層を形成し、半導体層上に第１のゲート絶縁膜、第２のゲート絶縁膜、及び金属膜を順次に形成し、金属膜上に形成された感光膜パターンをエッチングマスクとして金属膜をパターニングしてゲート電極を形成し、感光膜パターンをエッチングマスクとして第２のゲート絶縁膜をパターニングして前記ゲート電極よりも幅の広い第２のゲート絶縁膜を形成し、ゲート電極とパターニングされた第２のゲート絶縁膜をイオン注入マスクとして使用して低濃度不純物イオンを注入して、半導体層のゲート電極の下部に対応する領域にはチャネル領域を、パターニングされた第２のゲート絶縁膜のうちゲート電極によって被覆されていない部分の下部に対応する領域には低濃度ドーピング領域を形成し、ゲート電極とパターニングされた第２のゲート絶縁膜をイオン注入マスクとして使用して高濃度不純物イオンを注入して、半導体層のパターニングされた第２のゲート絶縁膜の外側の下部に対応する領域にソース領域及びドレーン領域を形成し、ゲート電極、前記第１のゲート絶縁膜、及び前記第２のゲート絶縁膜上に層間絶縁膜を形成し、第１のコンタクトホールを通じてソース領域に電気的に連結されたソース電極を形成し、第２のコンタクトホールを通じてドレーン領域に電気的に連結されたドレーン電極を形成する、ことを含むことを特徴とする。

【００１４】

その他実施形態の具体的な事項は、詳細な説明及び図面に含まれている。

【発明の効果】

【００１５】

本発明によれば、一つの感光膜パターンによってゲート電極及び二重のゲート絶縁パターンをパターニングし、一回の不純物イオン注入工程によってソース領域及びドレーン領域と低濃度ドーピング領域を同時に形成することによって、製造工程を単純化して工程効率を高めながらも、漏洩電流が抑制されて性能低下がない薄膜トランジスタを提供できる。

【発明を実施するための最良の形態】

【００１６】

本発明の利点及び特徴、そしてそれらを達成する方法は添付する図面と共に詳細に後述している実施形態を参照すれば明確になる。

しかしながら、本発明は、以下で開示される実施形態に限定されるものではなく、相異なる多様な形態で具現されるものである。

即ち、本実施形態は単に、本発明の開示が完全となり、当業者に発明の範疇を完全に知らせるために提供されるものである。

従って、本発明の権利範囲は、本実施形態ではなく特許請求の範囲の記載に基づいて決められなければならない。

なお、明細書全体にかけて同一参照符号は同一構成要素を示すものとする。

【実施例１】

【００１７】

以下、添付した図１～図３を参照して本発明の第１の実施形態による薄膜トランジスタ基板を詳細に説明する。

【００１８】

図１を参照して、本発明の第１の実施形態による薄膜トランジスタ基板について説明する。

図１は、本発明の第１の実施形態による薄膜トランジスタ基板の概略構成図である

INTEL - 1004

薄膜トランジスタ基板は、図１に示されているように、画素部１０と、ゲート駆動部２０及びデータ駆動部３０と、を含む。

【００１９】

画素部１０は、多数のゲート線（Ｇ１～Ｇｎ）と多数のデータ線（Ｄ１～Ｄｍ）に連結されている多数の画素を含み、各画素は多数のゲート線（Ｇ１～Ｇｎ）と多数のデータ線（Ｄ１～Ｄｍ）に連結されたスイッチング素子（Ｍ）とこれに連結された液晶キャパシタ（Ｃｌｃ）及びストレージキャパシタ（Ｃｓｔ）を含む。

【００２０】

行方向に形成されている多数のゲート線（Ｇ１～Ｇｎ）は、スイッチング素子（Ｍ）に走査信号を伝達し、列方向に形成されている多数のデータ線（Ｄ１～Ｄｍ）は、スイッチング素子（Ｍ）に画像信号に該当される階調電圧を伝達する。

そして、スイッチング素子（Ｍ）は三端子素子として、制御端子はゲート線（Ｇ１～Ｇｎ）に連結されており、入力端子はデータ線（Ｄ１～Ｄｍ）に連結されており、出力端子は液晶キャパシタ（Ｃｌｃ）及びストレージキャパシタ（Ｃｓｔ）の一つの端子に連結されている。

液晶キャパシタ（Ｃｌｃ）は、スイッチング素子（Ｍ）の出力端子と共通電極（図示せず）との間に連結され、ストレージキャパシタ（Ｃｓｔ）はスイッチング素子（Ｍ）の出力端子と共通電極との間に連結（独立配線方式）されるか、或いはスイッチング素子（Ｍ）の出力端子と真上の（直近に隣接する）ゲート線（Ｇ１～Ｇｎ）との間に連結（前端（前段）ゲート方式）できる。

【００２１】

ゲート駆動部２０は、多数のゲート線（Ｇ１～Ｇｎ）に連結されており、スイッチング素子（Ｍ）を活性化させる走査信号を多数のゲート線（Ｇ１～Ｇｎ）に提供し、データ駆動部３０は多数のデータ線（Ｄ１～Ｄｍ）に連結されている。

【００２２】

ここで、スイッチング素子（Ｍ）は、ＭＯＳトランジスタが用いられ、このようなＭＯＳトランジスタは多結晶珪素をチャネル領域とする薄膜トランジスタに実現できる。

そして、ゲート駆動部２０やデータ駆動部３０もＭＯＳトランジスタから構成され、このようなＭＯＳトランジスタは多結晶珪素をチャネル領域とする薄膜トランジスタで実現できる。

【００２３】

図２及び図３を参照して、多結晶珪素をチャネル領域とする薄膜トランジスタ基板について説明する。

図２は、本発明の第１の実施形態による薄膜トランジスタ基板の画素部の構造を示したレイアウト図であり、図３は図２の薄膜トランジスタ基板をＩＩＩ－ＩＩＩ’線に沿って切って示した断面図である。

【００２４】

図２及び図３に示すように、透明な絶縁基板１１０上に酸化珪素又は窒化珪素からなる遮断層１１１が形成されており、遮断層１１１上には、例えばｎ型不純物イオンが高濃度に注入されているソース領域及びドレーン領域１５３、１５５及びこれらの間に設けられ、不純物イオンが注入されないチャネル領域１５４が含まれた薄膜トランジスタの多結晶珪素からなる半導体層１５０が形成されている。

そして、ソース領域１５３とチャネル領域１５４の間、ドレーン領域１５５とチャネル領域１５４との間には、例えばｎ型不純物イオンが低濃度に注入されている低濃度ドーピング領域１５２がそれぞれ形成されている。

ここで、遮断層１１１は、基板１１０から半導体層１５０に不純物などが拡散することを防止するためのものであり、省略する場合もある。

【００２５】

多結晶珪素からなる半導体層１５０を含む基板１１０上には、ゲート絶縁膜パターン１４０ｄ、１４０～が形成されている。ゲート絶縁膜パターン１４０ｄ、１４０～は

INTEL - 1004
Page 204 of 492

酸化珪素からなる第１のゲート絶縁膜４０１と窒化珪素からなる第２のゲート絶縁膜４０２を含んでいる。

多結晶珪素からなる半導体層を含む薄膜トランジスタのスレッショルド電圧（Ｖｔｈ）を減少するためにはゲート絶縁膜パターンの厚さを薄くすることが必要である。

従来、酸化珪素膜の単一膜によりゲート絶縁膜パターンを形成する場合、酸化珪素膜の誘電定数は３．９程度に過ぎないので、Ｖｔｈの減少に限界があり、さらにＶｔｈを減少するためにゲート絶縁膜パターンの厚さを縮小すると降伏電圧が減少するので、静電気による不良の増加の恐れがあった。

これに対して本発明の一実施形態による薄膜トランジスタでは、ゲート絶縁パターンとして二重膜構造、すなわち第１のゲート絶縁膜４０１として酸化珪素膜を、第２のゲート絶縁膜４０２として酸化珪素膜の誘電定数の約２倍値を有する窒化珪素膜を、各々使用することによってスレッショルド電圧（Ｖｔｈ）の減少及び薄膜トランジスタの性能向上が可能である。

【００２６】

第１のゲート絶縁膜４０１は、多結晶珪素からなる半導体層１５０が形成されている透明絶縁基板１１０全面に第１の絶縁膜の形態で形成される。

この時、第１のゲート絶縁膜４０１には、半導体層１５０のソース領域１５３及びドレーン領域１５５と、後述するソース電極及びドレーン電極をそれぞれ電気的に連結するための通路としての第１及び第２のコンタクトホール１４１、１４２が形成されている。

また、第２のゲート絶縁膜４０２は、両側壁が各々、半導体層１５０の低濃度ドーピング領域１５２とソース領域及びドレーン領域１５３、１５５の境界部に実質的に整列して形成される。

このようにして、各々、第１、第２のゲート絶縁膜４０１、４０２からなるゲート絶縁膜パターン１４０ｄ、１４０ｑが形成される。

第２のゲート絶縁膜４０２は、多結晶珪素からなる半導体層１５０とゲート電極１２４及び維持電極１３３をそれぞれ絶縁する役割を果たす。

また第２のゲート絶縁膜４０２は、後述するソース領域及びドレーン領域を形成するための不純物イオンの注入の際のイオン注入マスクの役割も果たす。

従って、第２のゲート絶縁膜４０２の両側壁を境界として半導体層１５０の低濃度ドーピング領域１５２とソース領域及びドレーン領域１５３、１５５が分けられるので、工程上必然的に第２のゲート絶縁膜４０２の両側壁が半導体層１５０の低濃度ドーピング領域１５２とソース領域及びドレーン領域１５３、１５５の境界部に実質的に整列して形成される。

【００２７】

ゲート絶縁膜パターン１４０ｄ上には、一方向（図２では横方向）に長いゲート線１２１が形成されており、ゲート線１２１の一部が延長されて多結晶珪素からなる半導体層１５０のチャネル領域１５４と重畳されており、重畳されたゲート線１２１の一部分は、薄膜トランジスタ基板のゲート電極１２４として使用される。

また、ゲート絶縁膜パターン１４０ｑ上には、画素の維持容量を増加させるための維持電極線１３１が、ゲート線１２１と同一の層において同一の材質から、ゲート線１２１と概ね平行に形成されている。

多結晶珪素からなる半導体層１５０と重畳する維持電極線１３１の一部分は、維持電極１３３になり、維持電極１３３と重畳する多結晶珪素からなる半導体層１５０は、維持電極領域１５７になり、維持電極領域１５７の両側にも低濃度ドーピング領域１５２がそれぞれ形成されており、維持電極領域１５７の一側には高濃度ドーピング領域１５８が設けられる。

ゲート線１２１の一側端部分（図示せず）は、外部回路と連結するためにゲート線１２１（の図示した部分の）幅より広く形成され、ゲート駆動部２０の出力端に直接連結され、図１のゲート線Ｇ１～Ｇｎとなる。

【００２８】

INTEL - 1004
Page 205 of 492

ゲート線１２１、維持電極線１３１、ゲート電極１２４、維持電極１３３が形成されているゲート絶縁膜パターン１４０ｄ、１４０ｑ及び半導体層１５０上には、第１の層間絶縁膜６０１が形成されている。

第１の層間絶縁膜６０１は、ソース領域及びドレーン領域１５３、１５５をそれぞれ露出する第１及び第２のコンタクトホール１４１、１４２を含んでいる。

【００２９】

第１の層間絶縁膜６０１上には、ゲート線１２１と交差して画素領域を限定するデータ線１７１が形成されている。

データ線１７１の一部分又は分枝形部分（本実施例（図２）は、分枝形がない場合である）は、第１のコンタクトホール１４１を通じてソース領域１５３と連結されており、ソース領域１５３と連結されている部分は、薄膜トランジスタ基板のソース電極１７３として使用される。

データ線１７１の一側端部分（図示せず）は、外部回路と連結するためにデータ線１７１（の図示した部分の）幅より広く形成され、データ駆動部３０の出力端に直接連結され、図１のデータ線Ｄ１～Ｄｍとなる。

【００３０】

そして、データ線１７１と同一の層には、同一の材質からなり、第２のコンタクトホール１４２を通じてドレーン領域１５５と連結されているドレーン電極１７５が、ソース電極１７３と一定距離離れて形成されている。

【００３１】

ソース電極１７３、ドレーン電極１７５及びデータ線１７１を含む第１の層間絶縁膜６０１上に第２の層間絶縁膜６０２が形成されている。

第２の層間絶縁膜６０２は、ドレーン電極１７５を露出する第３のコンタクトホール１４３を有する。

第２の層間絶縁膜６０２上には、第３のコンタクトホール１４３を通じてドレーン電極１７５と連結されている画素電極１９０がそれぞれの画素領域に形成されている。

【実施例２】

【００３２】

次に、図４を参照して本発明の第２の実施形態による薄膜トランジスタ基板について説明する。

図４は、本発明の第２の実施形態による薄膜トランジスタ基板の断面図である。

本発明の第２の実施形態による薄膜トランジスタ基板は、第２のゲート絶縁膜４０２の両側壁の上部がゲート電極１２４の両側壁に実質的に整列され、両側壁の下部が各々、半導体層１５０の低濃度ドーピング領域１５２とソース領域及びドレーン領域１５３、１５５の境界部、低濃度ドーピング領域１５２と高濃度ドーピング領域１５８の境界部に実質的に整列されていることを除外すると、本発明の第１の実施形態による薄膜トランジスタ基板と同一であるので、重複する部分については便宜上説明を省略する。

前述したように、第２のゲート絶縁膜４０２の両側壁の上部１２４は、ゲート電極１２４の両側壁に実質的に整列され、両側壁の下部は各々、低濃度ドーピング領域１５２とソース領域及びドレーン領域１５３、１５５の境界部、低濃度ドーピング領域１５２と高濃度ドーピング領域１５８の境界部に実質的に整列されることによって、第２のゲート絶縁膜４０２の両側壁の上部と下部とを連結する面は傾斜を成す。

このような傾斜面を含む傾斜部の下部に対応する半導体層１５０領域である低濃度ドーピング領域１５２の不純物イオンの濃度は、低濃度ドーピング領域１５２とチャネル領域１５４の境界部から、低濃度ドーピング領域１５２とソース領域、ドレーン領域１５３、１５５の境界部に向かって、及び、低濃度ドーピング領域１５２とチャネル領域（維持電極領域１５７）の境界部から、低濃度ドーピング領域１５２とドレーン領域１５５、高濃度ドーピング領域１５８の境界部に向かって、各々、漸進的に増加する。

これについては、後述の薄膜トランジスタ基板の製造方法で詳しく説明する。

【実施例３】

INTEL - 1004
Page 206 of 492

【００３３】
次に、図５を参照して本発明の第３の実施形態による薄膜トランジスタ基板について説明する。
図５は、本発明の第３の実施形態による薄膜トランジスタ基板の断面図である。
本発明の第３の実施形態による薄膜トランジスタ基板は、第２のゲート絶縁膜４０２の両側壁が各々、半導体層１５０の低濃度ドーピング領域１５２とソース領域及びドレーン領域１５３、１５５の境界部、低濃度ドーピング領域１５２と高濃度ドーピング領域１５８の境界部に実質的に整列され、第１のゲート絶縁膜４０１の両側壁が第２のゲート絶縁膜４０２の両側壁に実質的に整列されていることを除外すると、本発明の第１の実施形態による薄膜トランジスタ基板と同一であるので、重複する部分については便宜上説明を省略する。
【実施例４】
【００３４】
次に、図６を参照して本発明の第４の実施形態による薄膜トランジスタ基板について説明する。
図６は、本発明の第４の実施形態による薄膜トランジスタ基板を含む薄膜トランジスタ基板の断面図である。
本発明の第４の実施形態による薄膜トランジスタ基板は、第２のゲート絶縁膜４０２の両側壁の上部がゲート電極１２４の両側壁に実質的に整列され、両側壁の下部が各々、半導体層１５０の低濃度ドーピング領域１５２とソース領域及びドレーン領域１５３、１５５の境界部、低濃度ドーピング領域１５２と高濃度ドーピング領域１５８の境界部に実質的に整列され、第１のゲート絶縁膜４０１の両側壁が第２のゲート絶縁膜４０２の両側壁の下部に実質的に整列されていることを除外すると、本発明の第１の実施形態による薄膜トランジスタ基板と同一であるので、重複する部分については便宜上説明を省略する。
【実施例５】
【００３５】
次に、図７を参照して本発明の第５の実施形態による薄膜トランジスタ基板について説明する。
図７は、本発明の第５の実施形態による薄膜トランジスタ基板の断面図である。
本発明の第５の実施形態による薄膜トランジスタ基板は、第２のゲート絶縁膜４０２の両側壁が各々、半導体層１５０の低濃度ドーピング領域１５２とソース領域及びドレーン領域１５３、１５５の境界部、低濃度ドーピング領域１５２と高濃度ドーピング領域１５８の境界部に実質的に整列され、第１のゲート絶縁膜４０１の両側壁が第２のゲート絶縁膜４０２の両側壁に実質的に整列され、さらに、このような構造上にキャッピング膜５０１がさらに形成されていることを除外すると、本発明の第１の実施形態による薄膜トランジスタと同一であるので、重複される部分については便宜上説明を省略する。
キャッピング膜５０１は、第１の層間絶縁膜６０１の第１及び第２のコンタクトホール１４１、１４２が形成されている位置と実質的に同一な位置に形成されているコンタクトホールを含む。
キャッピング膜の役割についても、後述の薄膜トランジスタ基板の製造方法で詳しく説明する。
【００３６】
以下には、前述した本発明の各実施形態による薄膜トランジスタ基板について、それらの製造方法を添付した図面を参照して詳細に説明する。
【実施例６】
【００３７】
図８、図１１、図１７、図１９及び図２１は、図２及び図３に示した本発明の第１の実施形態に係る薄膜トランジスタ基板の画素部を製造する方法の、中間段階でのレイアウト図を工程順序通り羅列したものである。
一方、図９及び図１０は図８の薄膜トランジスタ基板をＩＸ－ＩＸ’線に沿って切

INTEL - 1004
Page 207 of 492

示した断面図であり、図１２～図１６は、図１１の薄膜トランジスタ基板をＸＩＩ－ＸＩＩ’線に沿って切って示した断面図であり、図１８は図１７の薄膜トランジスタ基板をＸＶＩＩＩ－ＸＶＩＩＩ’線に沿って切って示した断面図であり、図２０は図１９の薄膜トランジスタ基板をＸＸ－ＸＸ’線に沿って切って示した断面図であり、図２２は図２１の薄膜トランジスタ基板をＸＸＩＩ－ＸＸＩＩ’線に沿って切って示した断面図である。

【００３８】

最初に、図８及び図９に示すように、透明な絶縁基板１１０上に遮断層１１１を形成する。

この時使用される透明絶縁基板１１０としてはガラス、石英又はサファイアなどを使用し、遮断層１１１は酸化珪素（SiO_2）又は窒化珪素（ＳｉＮｘ）を蒸着して形成する。このような遮断層１１１は、基板１１０から半導体層１５０に不純物などが拡散することを防止するためのものであり、省略する場合もある。

そして遮断層１１１上に非晶質珪素を蒸着して非晶質珪素膜を形成する。

【００３９】

次に、非晶質珪素膜をレーザー熱処理、炉熱処理又は固相結晶化工程によって非晶質珪素を結晶化した後、写真エッチング方法にパターニングして多結晶珪素からなった半導体層１５０を形成する。

【００４０】

次に、図１０に示すように、多結晶珪素からなる半導体層１５０が形成されている基板１１０上部に酸化珪素及び窒化珪素の絶縁物質を順次に蒸着して第１のゲート絶縁膜４０１と第２のゲート絶縁膜４０２とを形成する。

そして第２のゲート絶縁膜４０２上にアルミニウム、クロム、モリブデン又はこれらの合金からなる単一膜又は多層膜を蒸着してゲート用金属膜１２０を形成する。

この時、第１のゲート絶縁膜４０１と第２のゲート絶縁膜４０２及びゲート用金属膜１２０の厚さは特に限定されておらず、素子特性によって多様な厚さを有することができる。

次に、ゲート用金属膜１２０上に感光膜を形成し、フォトマスクを用いてフォトリソグラフィにより、感光膜を選択的に露光及び現像して感光膜パターン５３、５４を形成する。

このような感光膜パターン５３、５４は、ゲート用金属膜１２０をゲート電極にパターニングするためのエッチングマスクとして使用されるだけではなく、後述するように、第２のゲート絶縁膜又は第１のゲート絶縁膜を各々パターニングするためのエッチングマスクとして使用できる。

感光膜パターン５３、５４は、例えば感光膜を所定の形状にパターニングした後、加熱収縮してその断面が梯形になるようにしてもよく、また、溶融形感光膜を使用して加過熱してその断面が半球形とするなど目的に沿って多様な形状を有するように形成できる。

【００４１】

ゲート電極１２４を形成するためのゲート用金属膜１２０は、物理的性質が異なる二つの膜を含むことができる。

一つの膜は、走査信号の遅延や電圧降下を減らすことができるように低い比抵抗の金属、アルミニウム（Ａｌ）やアルミニウム合金、例えばアルミニウムーネオジム（ＡｌＮｄ）合金などのアルミニウム系列の金属にすることができるが、これに限定されない。

これとは違って、他の膜は異なる物質、酸化インジウム亜鉛（Ｉｎｄｉｕｍ　Ｚｉｎｃ　Ｏｘｉｄｅ；ＩＺＯ）又は酸化インジウム錫（Ｉｎｄｉｕｍ　Ｔｉｎ　Ｏｘｉｄｅ；ＩＴＯ）との物理的、化学的、電気的接触特性に優れた物質、モリブデン（Ｍｏ）、モリブデン合金、例えばモリブデンータングステン（ＭｏＷ）合金、クロム（Ｃｒ）などにすることができるが、これに限定されない。

例えば、アルミニウムーネオジム（ＡｌＮｄ）の金属膜は、アルミニウムについて側面傾斜を形成できるエッチングができるアルミニウムエッチング液であるCH_3COOH（８％～１５％）／HNO_3（５％～８％）／H_3PO_4（５０％～６０％）／（残

INTEL - 1004
Page 208 of 492

り）を使用した湿式エッチングにより処理できる。
　このようなエッチング液は、モリブデンータングステン（ＭｏＷ）の導電膜についても同一なエッチング条件で側面傾斜を形成できるエッチングができるので、二つの導電膜を連続して側面傾斜を形成しながらエッチングできる。
【００４２】
　次に、図１１及び図１２に示すように、感光膜パターン５３、５４をマスクとしてゲート用金属膜１２０を、等方性エッチングによりアンダーカット構造になるようにパターニングして、ゲート電極１２４を有するゲート線１２１及び維持電極１３３を有する維持電極線１３１を形成する。
　ゲート線１２１及び維持電極線１３１の切断面側壁は、以後に形成される上部層との密着性を増加させるために傾斜するように形成することが好ましい。
【００４３】
　次に、図１３に示すように、感光膜パターン５３、５４をエッチングマスクとして、図１２の第２のゲート絶縁膜４０２を異方性エッチングによりパターニングして、ゲート電極１２４及び維持電極１３３の幅より各々少し広い幅を有する第２のゲート絶縁膜４０２を形成する。
　この時、第２のゲート絶縁膜４０２は、多結晶珪素からなる半導体層１５０とゲート電極１２４及び維持電極１３３の間にそれぞれ設けられて、多結晶珪素からなる半導体層１５０とゲート電極１２４及び維持電極１３３をそれぞれ絶縁する役割を果たすと同時に、後述するように、ソース領域及びドレーン領域を形成するための不純物イオンを注入する場合のイオン注入マスクの役割も果たす。
【００４４】
　次に、半導体層１５０内に低濃度ドーピング領域、ソース領域及びドレーン領域を形成する。
　これらは一回の不純物イオン注入によって形成してもよく、低濃度不純物イオン注入と高濃度不純物イオン注入とを順次に行って形成してもよい。
【００４５】
　第１に、一回の不純物イオン注入によって低濃度ドーピング領域、ソース領域及びドレーン領域を形成する場合について説明する。
　図１４に示すように、感光膜パターン５３、５４を除去した後、ゲート電極１２４、維持電極１３３及びゲート絶縁膜パターン１４０ｄ、１４０ｑをマスクとして例えば、プラズマイマージョン方法を使用して例えば、ｎ型不純物イオン注入を実施する。
　ドーズ量は、例えば単位ｃｍ^{2}当たり１．０×１０^{15}～５．０×１０^{15}粒子にすることができるが、これに限定されずゲート絶縁膜の厚さ、素子の特性などによってドーズ量を変えることができる。
　これにより一回のイオン注入のみで、低濃度ドーピング領域１５２、ソース領域及びドレーン領域１５３、１５５を含む薄膜トランジスタ構造を形成できる。
　すなわち、第２のゲート絶縁膜４０２のうちゲート電極１２４又は維持電極１３３によって被覆されていない部分の下の半導体層１５０には、イオン注入が部分的に防止される結果、低濃度ドーピング領域１５２が形成される。
　そして、第２のゲート絶縁膜４０２によって覆われない部分の半導体層１５０には、酸化珪素膜からなる第１のゲート絶縁膜４０１を突き抜き、投射されたイオンの大部分がされるので、ソース領域及びドレーン領域１５３、１５５と高濃度ドーピング領域１５８が形成される。
　また、ゲート電極１２４及び維持電極１３３の下の半導体層１５０には不純物イオンが注入されないので、チャネル領域１５４と維持電極領域１５７が形成されて、それぞれソース領域１５３、ドレーン領域１５５及び高濃度ドーピング領域１５８を分離する。
　前述したように一回の不純物イオン注入のみで、低濃度ドーピング領域１５２と、ソース領域及びドレーン領域１５３、１５５を含む薄膜トランジスタ構造を形成することは高濃度ｎ型不純物イオン注入が比較的低エネルギーの場合に可能である。

INTEL - 1004
Page 209 of 492

【００４６】
第２に、低濃度不純物イオン注入と高濃度不純物イオン注入によって、低濃度ドーピング領域と、ソース領域及びドレーン領域を別個に形成する場合について説明する。
図１５に示すように、感光膜パターン５３、５４を除去した後、ゲート電極１２４、維持電極１３３及びゲート絶縁パターン１４０ｄ、１４０ｑをマスクとして例えば、ｎ型不純物イオンをスキャニング設備又はイオンビーム設備を用いて半導体層１５０に低濃度（ｎ－）に注入して低濃度ドーピング領域１５２及びチャネル領域１５４、１５７を形成する。
すなわち、ゲート電極１２４又は維持電極１３３によって覆われた部分の半導体層１５０には、イオンが注入されないので、それぞれチャネル領域１５４と維持電極領域１５７が形成され、第２のゲート絶縁膜４０２のうちゲート電極１２４及び維持電極１３３によって覆われていない部分の下の半導体層１５０には、第２、第１のゲート絶縁膜４０２、４０１を突き抜き、投射されたイオンが部分的に注入されて低濃度ドーピング領域１５２が形成される。
この時、ドーズ量は、例えば単位ｃｍ２当たり５．０×１０１２～１．０×１０１３粒子にすることができるが、これに限定されずゲート絶縁膜の厚さ、素子の特性によってドーズ量を変えることができる。
【００４７】
続いて、図１６に示すように、ゲート電極１２４、維持電極１３３及びゲート絶縁膜パターン１４０ｄ、１４０ｑをマスクとして例えば、ｎ型不純物イオンをスキャニング設備又はイオンビーム設備を用いて半導体層１５０に高濃度（ｎ＋）に注入してソース領域及びドレーン領域１５３、１５５、高濃度ドーピング領域１５８を形成する。
すなわち、第２のゲート絶縁膜４０２によって覆われない部分の半導体層１５０には、酸化珪素膜からなる第１のゲート絶縁膜４０１を突き抜き、投射されたイオンの大部分が注入されるので、ソース領域及びドレーン領域１５３、１５５と高濃度ドーピング領域１５８が形成される。
この時、ドーズ量は、例えば単位ｃｍ２当たり１．０×１０１５～３．０×１０１５粒子にすることができるが、これに限定されずゲート絶縁膜の厚さ、素子の特性によってドーズ量を変えることができる。
【００４８】
以上第１又は第２のいずれかの方法により半導体層１５０内に低濃度ドーピング領域、ソース領域及びドレーン領域を形成した後、図１７及び図１８に示すように、多結晶珪素からなる半導体層１５０を覆うように基板１１０の全面上部に絶縁物質を積層して第１の層間絶縁膜６０１を形成する。
次に第１の層間絶縁膜６０１を、マスクを用いたフォトエッチング工程によりパターニングして、ソース領域及びドレーン領域１５３、１５５を露出する第１、第２のコンタクトホール１４１、１４２を形成する。
【００４９】
その次に、図１９及び図２０に示すように、第１の層間絶縁膜６０１の全面上部にデータ用金属膜を形成した後、マスクを用いたフォトエッチング工程によりパターニングして、データ線１７１、ドレーン電極１７５、及びソース電極１７３を形成する。
ソース電極１７３は、第１のコンタクトホール１４１を通じてソース領域１５３とそれぞれ連結し、ドレーン電極１７５は第２のコンタクトホール１４２を通じてドレーン領域１５５とそれぞれ連結する。
【００５０】
データ線１７１は、アルミニウム又はアルミニウム合金などのアルミニウム含有金属、又はモリブデン又はモリブデン合金の単一層、もしくはアルミニウム合金層とクロム（Ｃｒ）、モリブデン（Ｍｏ）合金層などからなる複数層、の導電物質を蒸着してデータ用金属膜を形成した後パターニングして形成する。
その時、データ用金属膜をゲート用金属膜と同一の導電物質及び同一のエッチング方法

INTEL - 1004
Page 210 of 492

によりパターニングし、データ線１７１及びドレーン電極１７５の断面は、上部層との密着性のために一定した傾斜を有するテーパー構造に形成することが好ましい。

【００５１】

次に、図２１及び図２２に示すように、データ線１７１及びドレーン電極１７５が形成された第１の層間絶縁膜６０１上に、さらに、平坦化特性に優れ、感光性を有する有機物質を積層して第２の層間絶縁膜６０２を形成する。

そして第２の層間絶縁膜６０２を、マスクを用いたフォトエッチング工程によりパターニングして、ドレーン電極１７５を露出する第３のコンタクトホール１４３を形成する。

【００５２】

最後に、図２及び図３に示すように、第３のコンタクトホール１４３内部を含む第２の層間絶縁膜６０２上に透明な物質である酸化インジウム錫又は酸化インジウム亜鉛を全面蒸着した後、これをパターニングして画素電極１９０と多数の信号線を電気的に連結するための連結部材（図示せず）を形成する。

画素電極１９０は、第３のコンタクトホール１４３を通じてドレーン電極１７５と連結する。

コンタクト補助部材は、第１及び第２の層間絶縁膜６０１、６０２にかけて形成されている第４のコンタクトホール（図示せず）、第１及び第２の層間絶縁膜６０１、６０２とゲート絶縁膜１４０にかけて形成されている第５のコンタクトホール（図示せず）を通じてそれぞれデータ線１７１及びゲート線１２１に電気的に連結されている連結部と連結する。

【００５３】

以上説明したように、本実施例（実施例６）に係る薄膜トランジスタ基板の製造方法では、ゲート電極をパターニングするための感光膜パターンを用いて絶縁膜をパターニングしてゲート絶縁膜パターンを形成する。

さらに別途のフォトエッチング工程を追加せず、このゲート絶縁膜パターンを、低濃度ドーピング領域と、ソース及びドレーン領域を限定するためのイオン注入マスクとして用いて一回の高濃度イオン注入を通じて、低濃度ドーピング領域と、ソース及びドレーン領域を同時に形成する。

これによって製造工程を単純にすることができ、製造コストを最小化できる。

【実施例７】

【００５４】

次に本実施例では、本発明の第２の実施形態（図４）に係る薄膜トランジスタ基板の製造方法について説明する。

図２３は、本発明の第７の実施形態による薄膜トランジスタ基板の製造方法の、中間段階における断面図である。

図２３に示すように本発明の第２の実施形態に係る薄膜トランジスタ基板の製造方法では、ゲート電極１２４及び維持電極１３３のエッチングマスクとして使用した感光膜パターン５４、５３により第２のゲート絶縁膜４０２をパターニングする。

その際、第２のゲート絶縁膜４０２の両側壁において、ゲート電極１２４又は維持電極１３３によって被覆された部分から外側に離隔するにつれて、第２のゲート絶縁膜４０２の厚さが縮小されるように形成することを除外すると、本発明の第６の実施形態による製造方法と同一である。

すなわち本実施形態では、ゲート電極１２４及び維持電極１３３を形成するためのエッチングマスクとして使用した感光膜パターン５４、５３を用いて第２のゲート絶縁膜４０２をパターニングする際に、ゲート電極１２４（又は維持電極１３３）によって被覆されていない領域を例えば、エッチング気体としてSF_6+O_2を使用する異方性エッチング工程によってゲート電極１２４（又は維持電極１３３）が形成された領域の外側に傾斜面を形成する。

【００５５】

第２のゲート絶縁膜４０２は、前述したように低濃度ドーピング領域１５２、ソース領

INTEL - 1004
Page 211 of 492

域及びドレーン領域１５３、１５５と高濃度ドーピング領域１５８とを形成するためのイオン注入マスクの役割を果たす。

このような第２のゲート絶縁膜４０２の傾斜した両側壁に対応する半導体層１５０に注入される不純物イオン濃度は、傾斜部の厚さの差によって第２のゲート絶縁膜４０２の両側壁の外側に行くほど濃度が高くなり、このような不純物イオンの濃度変化は、傾斜部の形状によって決定される。

両側壁の傾斜による厚さの変化によって低濃度ドーピング領域１５２に注入される不純物イオンの濃度が漸進的に変化する。

本実施形態による製造方法によって製造される薄膜トランジスタ基板は、前述したように漸進的な濃度変化を有する低濃度ドーピング領域１５２を含むことによって、漏洩電流が抑制されて薄膜トランジスタの性能が低下しない。

【００５６】

以上説明した第７の実施形態では、二重のゲート絶縁膜のうち一つの絶縁膜のみをエッチングして、ソース及びドレーン領域と、低濃度ドーピング領域を限定するイオン注入マスクとして使用したが、二重のゲート絶縁膜の双方をパターニングしてゲート絶縁膜パターンを形成することができるので、これについて説明する。

【実施例８】

【００５７】

本実施形態では、本発明の第３の実施形態（図５）に係る薄膜トランジスタ基板の製造方法について説明する。

図２４は、本発明の第８の実施形態による薄膜トランジスタ基板の製造方法の、中間段階における断面図である。

図２４に示すように本発明の第３の実施形態に係る薄膜トランジスタ基板の製造方法では、ゲート電極１２４及び維持電極１３３のエッチングマスクとして使用した感光膜パターン５４、５３により第２のゲート絶縁膜４０２をパターニングする。

その際、ゲート電極１２４及び維持電極１３３の幅より各々少し広い幅を有する第２のゲート絶縁膜４０２を形成し、次に同一な感光膜パターン５４、５３をエッチングマスクとして第１の絶縁膜をパターニングして第２のゲート絶縁膜４０２の両側壁に第１のゲート絶縁膜４０１の両側壁が実質的に整列された第１のゲート絶縁膜４０１を形成することを除外すると、本発明の第６の実施形態による製造方法と同一である。

すなわち、本実施形態によって製造された薄膜トランジスタ基板は、第１のゲート絶縁膜４０１を第２のゲート絶縁膜４０２と同じく、チャネル領域１５４と低濃度ドーピング領域１５２上にのみ形成することによって、低濃度ドーピング領域１５２の不純物イオン濃度を目的の濃度に制御することがより容易になり、結局、漏洩電流を抑制して薄膜トランジスタの性能を向上できる。

【実施例９】

【００５８】

次に、本発明の第４の実施形態（図６）に係る薄膜トランジスタ基板の製造方法について説明する。

図２５は、本発明の第９の実施形態による薄膜トランジスタ基板の製造方法の、中間段階における断面図である。

図２５に示すように本発明の第４の実施形態に係る薄膜トランジスタ基板の製造方法では、ゲート電極１２４及び維持電極１３３のエッチングマスクとして使用した感光膜パターン５４、５３により第２の絶縁膜をパターニングする。

その際、第２のゲート絶縁膜４０２の両側壁において、ゲート電極１２４又は維持電極１３３によって被覆された部分から外側に離隔するにつれて、第２のゲート絶縁膜４０２の厚さが縮小されるように形成し、同一の感光膜パターン５４、５３をエッチングマスクとして第１のゲート絶縁膜４０１をパターニングして、その両側壁を第２のゲート絶縁膜４０２の両側壁の下部に実質的に整列させることを除外すると、本発明の第６の実施形態による製造方法と同一である。

INTEL - 1004
Page 212 of 492

本実施形態による製造方法によって製造された薄膜トランジスタ基板では、第２のゲート絶縁膜４０２の両側壁が傾斜し、かつ第１のゲート絶縁膜４０１がチャネル領域１５４と低濃度ドーピング領域１５２上にのみ存在するように形成されるので、低濃度ドーピング領域１５２の不純物イオン濃度を目的の濃度に制御することがより容易になり、漏洩電流を抑制できて薄膜トランジスタの性能を向上できる。

【実施例１０】

【００５９】

次に、本発明の第５の実施形態（図７）に係る薄膜トランジスタ基板の製造方法について説明する。

図２６及び図２７は、本発明の第１０の実施形態による薄膜トランジスタ基板の製造方法の、中間段階における断面図である。

最初に、本発明の第６の実施形態による製造方法と同一の方法により、ゲート電極１２４及び維持電極１３３を形成する（図１２参照）。

続いて、図２６に示すようにゲート電極１２４及び維持電極１３３のエッチングマスクとして使用した感光膜パターン（図１２の５４、５３）により、第１及び第２の絶縁膜をパターニングして第１及び第２のゲート絶縁膜４０１、４０２をゲート電極１２４及び維持電極１３３の幅より少し広い幅に形成した後、ゲート電極１２４及び維持電極１３３をイオン注入マスクとして、例えば、スキャニング設備又はイオンビーム設備を用いて低濃度不純物イオンを注入して低濃度ドーピング領域１５２を形成する。

この時、ドーズ量は、例えば単位ｃｍ^{2}当たり５．０×１０^{12}～１．０×１０^{13}粒子にすることができるが、これに限定されずゲート絶縁膜パターンの厚さ、素子の特性によってドーズ量を変えることができる。

次に、このようにして得られた半導体層１５０を含む基板１１０の全体上にキャッピング膜５０１を形成する。

このようなキャッピング膜は例えば化学気相蒸着（Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ；ＣＶＤ）法によって形成できるが、これに限定されない。

キャッピング膜５０１を形成することによって、後述する高濃度不純物イオン注入時に、低濃度ドーピング領域１５２に高濃度不純物イオンが注入されることを十分に防止すると同時に、ソース領域及びドレーン領域１５３、１５５、１５８に目的とする濃度の不純物イオン注入が可能になる。

従って、ソース領域及びドレーン領域と電気的にそれぞれ連結されるソース電極及びドレーン電極とのコンタクト抵抗が増加することを抑制できる。

このようなキャッピング膜５０１は、例えば窒化珪素膜又は酸化珪素膜からなることができるが、これに限定されることではない。

また、キャッピング膜の厚さは素子の特性によって多様に変更できる。

【００６０】

次に、図２７に示すように、キャッピング膜５０１が形成されている状態でゲート電極１２４、維持電極１３３及びゲート絶縁膜パターン１４０ｄ、１４０ｑをマスクとして例えば、スキャニング設備又はイオンビーム設備を用いて約５０ｅＶ～８０ｅＶのエネルギーで高濃度不純物イオンを注入して、第１及び第２のゲート絶縁膜４０１、４０２によって覆われない半導体層に、ソース領域及びドレーン領域１５３、１５５と高濃度ドーピング領域１５８を形成する。

残りの工程は本発明の第６の実施形態による製造方法と同一の方法により、図７に示すように、本発明の第５の実施形態による薄膜トランジスタを製造する。

この時、ドーズ量は、例えば単位ｃｍ^{2}当たり１．０×１０^{15}～３．０×１０^{15}粒子にすることができるが、これに限定されずゲート絶縁膜パターンの厚さ、素子の特性によってドーズ量を変えることができる。

【００６１】

以上の実施例１～１０は、前述したように、ｎ型不純物イオンドーピングによって形成された薄膜トランジスタについて説明したが、ｐ型不純物イオンを用いる場合につい

LG EXHIBIT 1004
LG v. UNILUMIN
Page 213 of 492

本発明が適用可能なことは勿論である。

【００６２】

以上、添付した図面を参照して本発明の好適な実施形態を説明したが、当業者であれば、本発明の技術的思想や必須的な特徴を変更せずに他の具体的な形態を実施できることを容易に理解できるであろう。

したがって、上述した好適な実施形態は、例示的なものであり、限定的なものではないと理解されるべきである。

【産業上の利用可能性】

【００６３】

本発明は、ノートパソコンや携帯機器などの表示装置として用いられる液晶表示装置などの基板として使用される薄膜トランジスタ基板及びその製造方法に適用できる。

【図面の簡単な説明】

【００６４】

【図１】本発明の第１の実施形態による薄膜トランジスタ基板の概略構成図である。

【図２】本発明の第１の実施形態による薄膜トランジスタ基板の画素部の構造を示すレイアウト図である。

【図３】図２の薄膜トランジスタ基板をＩＩＩ－ＩＩＩ’線に沿って切って示す断面図である。

【図４】本発明の第２の実施形態による薄膜トランジスタ基板の断面図である。

【図５】本発明の第３の実施形態による薄膜トランジスタ基板の断面図である。

【図６】本発明の第４の実施形態による薄膜トランジスタ基板の断面図である。

【図７】本発明の第５の実施形態による薄膜トランジスタ基板の断面図である。

【図８】本発明の第６の実施形態により、第１の実施形態に係る薄膜トランジスタ基板を製造する方法の、第１の中間段階におけるレイアウト図である。

【図９】図８の薄膜トランジスタ基板をＩＸ－ＩＸ’線に沿って切って示す断面図である。

【図１０】図８の薄膜トランジスタ基板をＩＸ－ＩＸ’線に沿って切って示す断面図である。

【図１１】本発明の第６の実施形態により、第１の実施形態に係る薄膜トランジスタ基板を製造する方法の、第２の中間段階におけるレイアウト図である。

【図１２】図１１の薄膜トランジスタ基板をＸＩＩ－ＸＩＩ’線に沿って切って示す断面図である。

【図１３】図１１の薄膜トランジスタ基板をＸＩＩ－ＸＩＩ’線に沿って切って示す断面図である。

【図１４】図１１の薄膜トランジスタ基板をＸＩＩ－ＸＩＩ’線に沿って切って示す断面図である。

【図１５】図１１の薄膜トランジスタ基板をＸＩＩ－ＸＩＩ’線に沿って切って示す断面図である。

【図１６】図１１の薄膜トランジスタ基板をＸＩＩ－ＸＩＩ’線に沿って切って示す断面図である。

【図１７】本発明の第６の実施形態により、第１の実施形態に係る薄膜トランジスタ基板を製造する方法の、第３の中間段階におけるレイアウト図である。

【図１８】図１７の薄膜トランジスタ基板をＸＶＩＩＩ－ＸＶＩＩＩ’線に沿って切って示す断面図である。

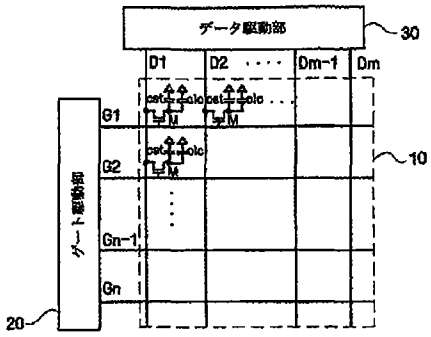
【図１９】本発明の第６の実施形態により、第１の実施形態に係る薄膜トランジスタ基板を製造する方法の、第４の中間段階におけるレイアウト図である。

【図２０】図１９の薄膜トランジスタ基板をＸＸ－ＸＸ’線に沿って切って示す断面図である。

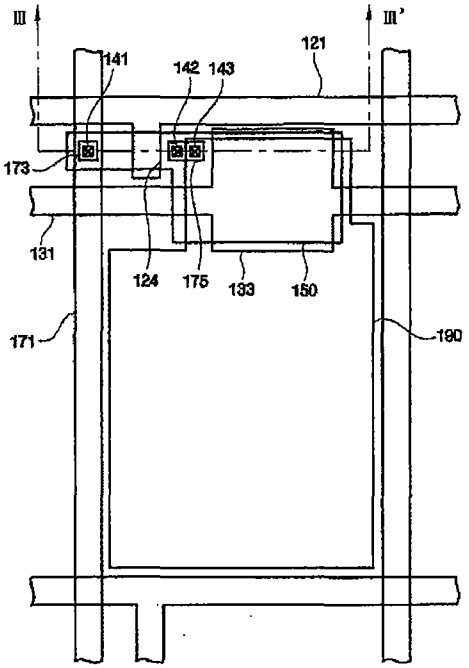
【図２１】本発明の第６の実施形態により、第１の実施形態に係る薄膜トランジスタ基板を製造する方法の、第５の中間段階におけるレイアウト図である。

【図２２】図２１の薄膜トランジスタ基板をＸＸＩＩ－ＸＸＩＩ’線に沿って切って示す断面図である。
【図２３】本発明の第７の実施形態により、第２の実施形態に係る薄膜トランジスタ基板を製造する方法の、第２の中間段階における断面図である。
【図２４】本発明の第８の実施形態により、第３の実施形態に係る薄膜トランジスタ基板を製造する方法の、第２の中間段階における断面図である。
【図２５】本発明の第９の実施形態により、第４の実施形態に係る薄膜トランジスタ基板を製造する方法の、第２の中間段階における断面図である。
【図２６】本発明の第１０の実施形態により、第５の実施形態に係る薄膜トランジスタ基板を製造する方法の、第２の中間段階における断面図である。
【図２７】本発明の第１０の実施形態により、第５の実施形態に係る薄膜トランジスタ基板を製造する方法の、第２の中間段階における断面図である。
【符号の説明】
【００６５】
１０：画素部
２０：ゲート駆動部
３０：データ駆動部
５３、５４：感光膜パターン
１１０：基板
１１１：遮断層
１２０：ゲート用金属膜
１２１：ゲート線
１２４：ゲート電極
１３１：維持電極線
１３３：維持電極
１４０ｄ、１４０ｑ：ゲート絶縁膜パターン
１４１：第１のコンタクトホール
１４２：第２のコンタクトホール
１４３：第３のコンタクトホール
１５０：半導体層
１５２：低濃度ドーピング領域
１５３：ソース領域
１５４：チャネル領域
１５５：ドレーン領域
１５７：維持電極領域
１５８：高濃度ドーピング領域
１７１：データ線
１７３：ソース電極
１７５：ドレーン電極
１９０：画素電極
４０１：第１のゲート絶縁膜
４０２：第２のゲート絶縁膜
６０１：第１の層間絶縁膜
６０２：第２の層間絶縁膜

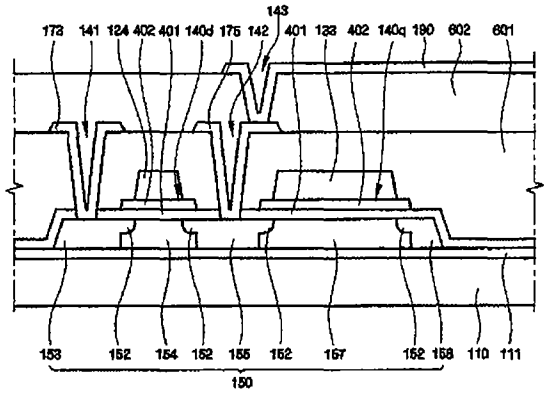
【図１】



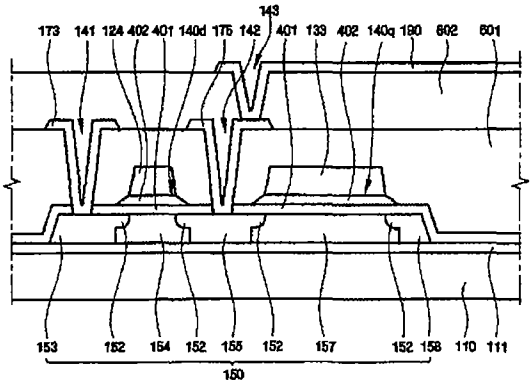
【図２】



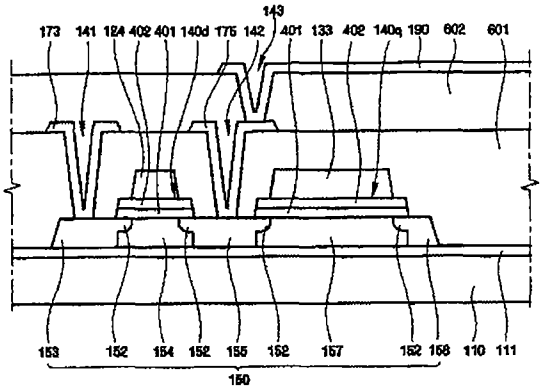
【図３】



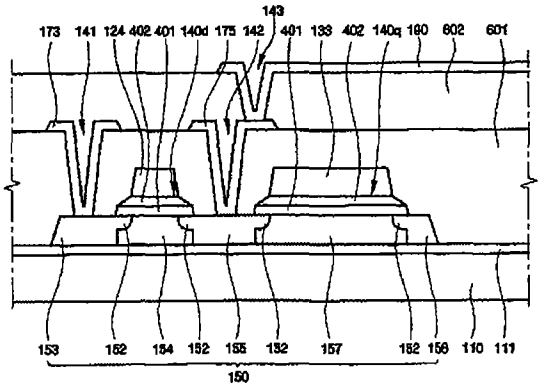
【図４】



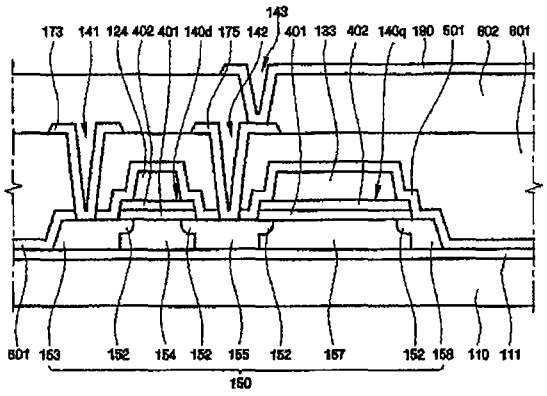
【図５】



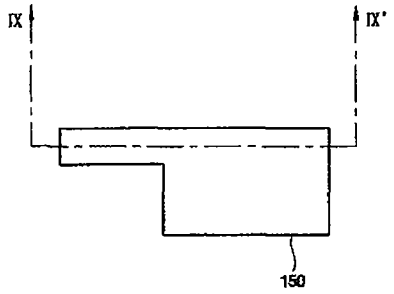
【図６】



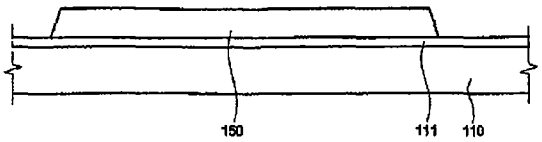
【図７】



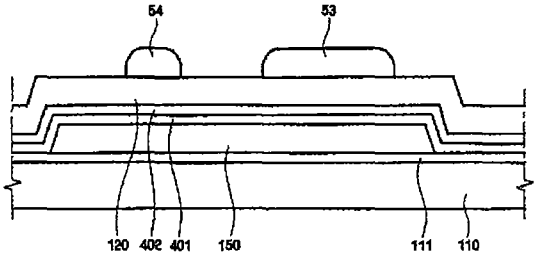
【図８】



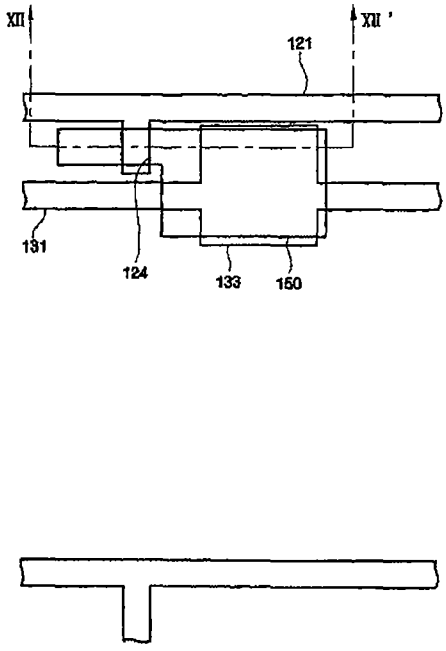
【図９】



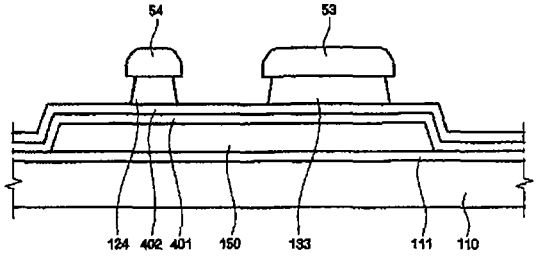
【図１０】



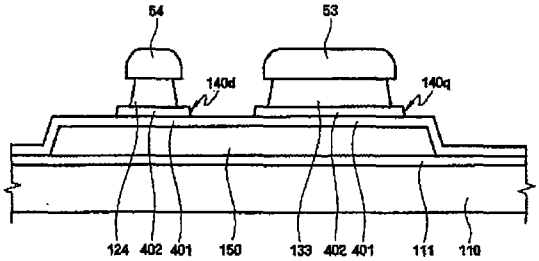
【図１１】



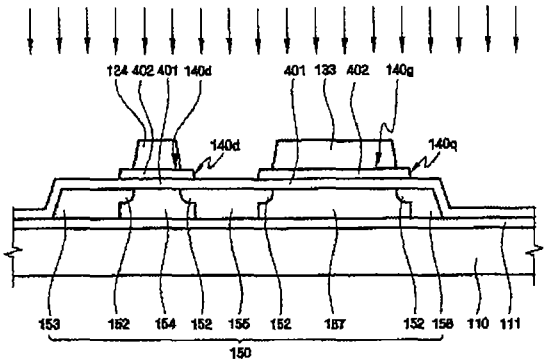
【図１２】



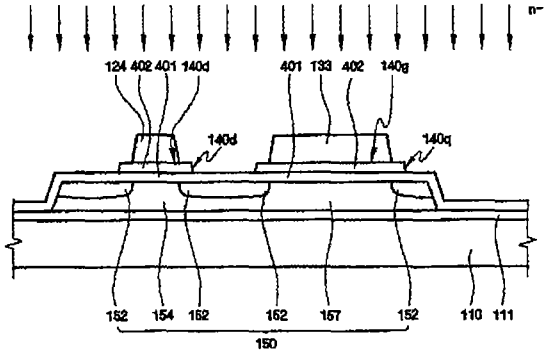
【図１３】



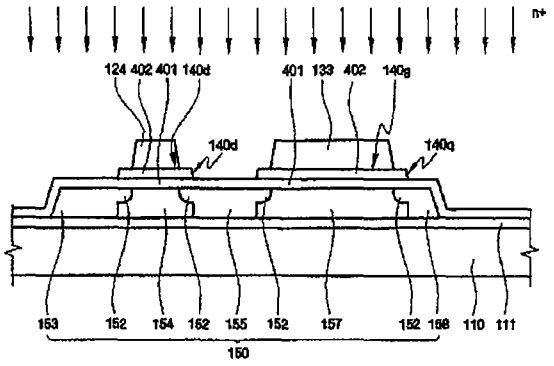
【図１４】



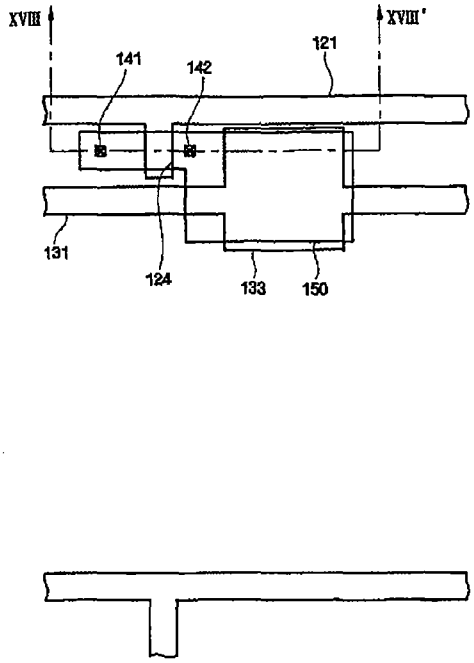
【図１５】



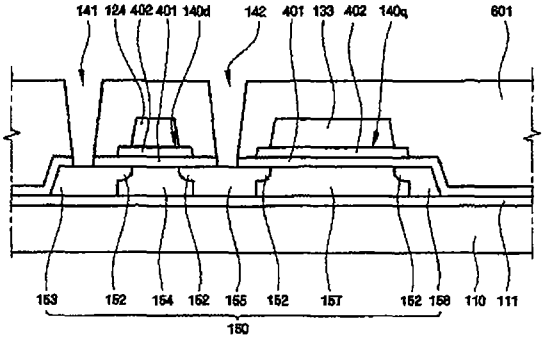
【図１６】



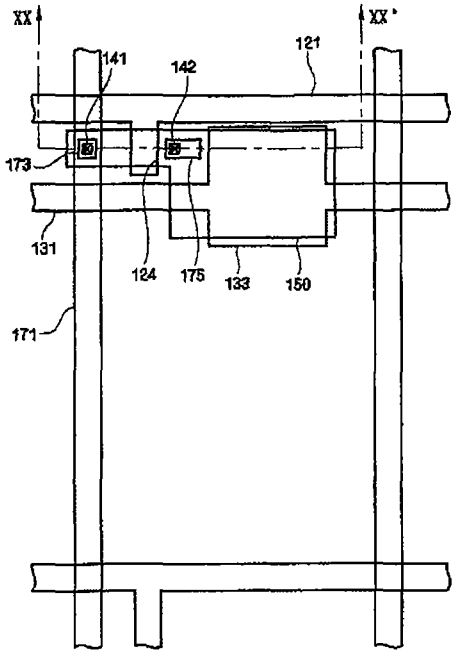
【図１７】



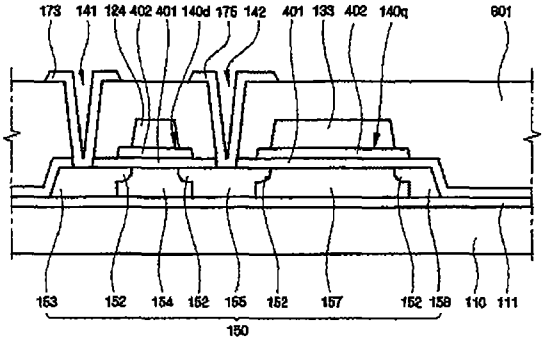
【図１８】



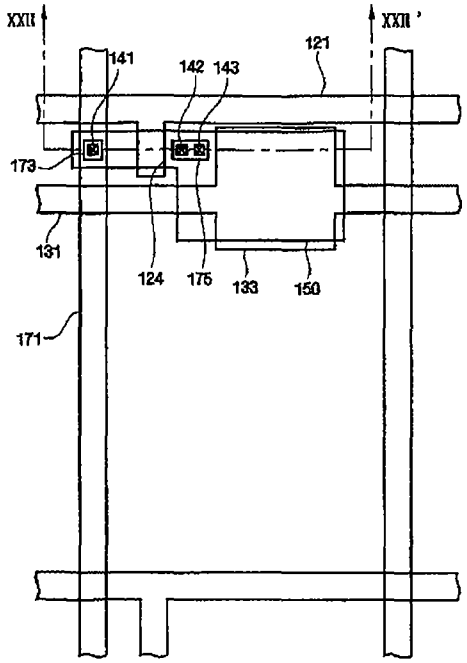
【図１９】



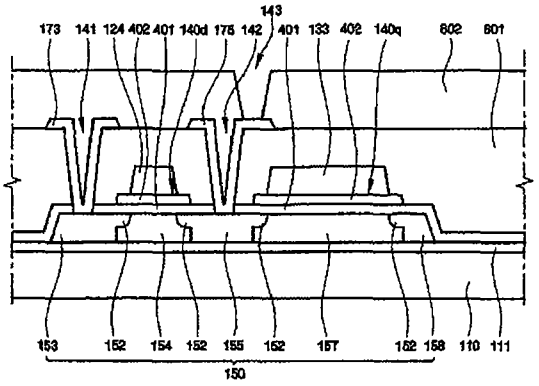
【図２０】



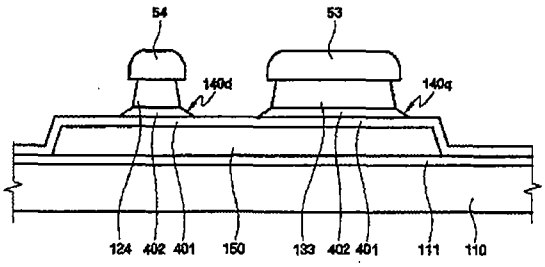
【図２１】



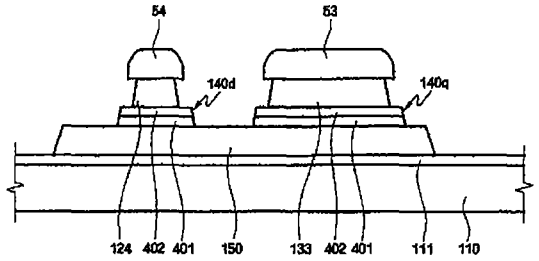
【図２２】



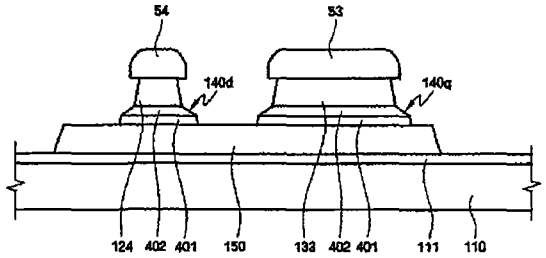
【図２３】



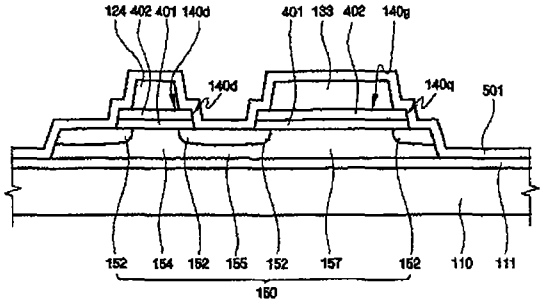
【図２４】



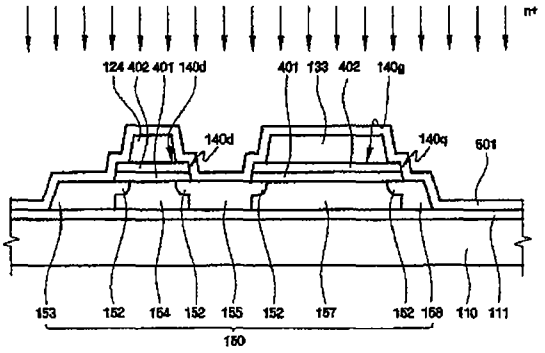
【図２５】



【図２６】



【図２７】



フロントページの続き

(72)発明者　朴　京　淳
大韓民国　京畿道　龍仁市　器興区　農書洞　７－１番地　三星電子株式会社　寄宿舎　月桂樹棟
３３４号

Ｆターム(参考) 5F110 AA06 AA11 AA16 BB02 CC02 DD02 DD03 DD04 DD13 DD14
EE03 EE04 EE06 EE07 EE14 EE23 EE43 FF02 FF03 FF09
FF12 FF27 GG02 GG13 GG42 HJ04 HJ07 HJ12 HJ13 HL03
HL04 HL06 HL11 HL22 HM15 NN03 NN23 NN24 NN35 NN73
PP01 PP03 QQ11

INTEL - 1004
Page 221 of 492

METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

Publication number: JP2006164997
Publication date: 2006-06-22
Inventor: TOMITA HIDEMIKI; KAWAKAMI MASAHIRO; TAKI MASAHITO; HAYAKAWA KIYOHARU; ISHIKO MASAYASU
Applicant: TOYOTA MOTOR CORP
Classification:
- international: ***H01L21/76; H01L21/265; H01L21/329; H01L21/336; H01L21/762; H01L29/74; H01L29/786; H01L29/861;*** **H01L21/70; H01L21/02; H01L29/66;**
- European:
Application number: JP20040349296 20041202
Priority number(s): JP20040349296 20041202

Report a data error here

Abstract of **JP2006164997**

PROBLEM TO BE SOLVED: To manufacture semiconductor device where an ion implanting region is formed only to a part of side wall for defining a trench using a kind of light shielding member.
SOLUTION: A plurality of exposure patterns are formed with a kind of light shielding member by generating the phenomenon such as over exposure and/or under exposure in the pre-exposure and post-exposure processes. The ion implanting region can be formed selectively for the side wall for defining the trench formed in the pre-exposure process by utilizing such phenomenon.
COPYRIGHT: (C)2006,JPO&NCIPI

Data supplied from the ***esp@cenet*** database - Worldwide

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-164997
(P2006-164997A)
(43)公開日　平成18年6月22日(2006.6.22)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/76	(2006.01)	H01L	21/76	L	5F005
H01L 21/762	(2006.01)	H01L	21/76	D	5F032
H01L 29/786	(2006.01)	H01L	29/78	616V	5F110
H01L 21/336	(2006.01)	H01L	29/78	627C	
H01L 21/265	(2006.01)	H01L	21/265	V	

審査請求 未請求　請求項の数 5　OL　（全 26 頁）　最終頁に続く

(21)出願番号　特願2004-349296 (P2004-349296)
(22)出願日　平成16年12月2日 (2004.12.2)

(71)出願人　000003207
トヨタ自動車株式会社
愛知県豊田市トヨタ町１番地
(74)代理人　110000110
特許業務法人快友国際特許事務所
(72)発明者　富田　英幹
愛知県豊田市トヨタ町１番地　トヨタ自動車株式会社内
(72)発明者　川上　昌宏
愛知県豊田市トヨタ町１番地　トヨタ自動車株式会社内
(72)発明者　滝　雅人
愛知県豊田市トヨタ町１番地　トヨタ自動車株式会社内

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【要約】
【課題】　トレンチを画定する側壁の一部にのみイオン注入領域が形成されている半導体装置を、一種類の遮光部材を用いて製造する。
【解決手段】　先の露光工程と後の露光工程において、オーバー露光及び／又はアンダー露光等の現象を生じさせることによって、一種類の遮光部材で複数の露光パターンを実現する。この現象を利用することによって、先の露光工程のときに形成されたトレンチを画定する側壁に対して、イオン注入領域を選択的に形成することができる。
【選択図】　なし

【特許請求の範囲】
【請求項１】
トレンチを画定する側壁の一部にのみイオン注入領域が形成されている半導体装置を製造する方法であり、
半導体基板の表面に第１フォトレジスト膜を形成する工程と、
イオン注入領域を形成するトレンチに対応して幅広のパターンが形成されており、イオン注入領域を形成しないトレンチに対応して幅狭のパターンが形成されている遮光部材を通して第１フォトレジスト膜を過少または過剰に露光することによって、幅広のパターンに沿って第１フォトレジスト膜を除去する工程と、
前記除去工程で第１フォトレジスト膜が除去されることによって露出した半導体基板の表面から異方性エッチングして半導体基板に侵入するトレンチを形成する工程と、
トレンチを画定する側壁が露出する角度からイオンを注入する工程と、
半導体基板の表面に第２フォトレジスト膜を形成する工程と、
前記遮光部材を通して第２フォトレジスト膜を露光することによって、幅広と幅狭のパターンに沿って第２フォトレジスト膜を除去する工程と、
前記除去工程で第２フォトレジスト膜が除去されることによって露出した半導体基板の表面から異方性エッチングして半導体基板に侵入するトレンチを形成する工程と、
を備えていることを特徴とする半導体装置の製造方法。
【請求項２】
トレンチを画定する側壁の一部にのみイオン注入領域が形成されている半導体装置を製造する方法であり、
半導体基板の表面に第１フォトレジスト膜を形成する工程と、
イオン注入領域を形成するトレンチに対応して幅広のパターンが形成されており、イオン注入領域を形成しないトレンチに対応して幅狭のパターンが形成されている遮光部材を通して第１フォトレジスト膜を露光することによって、幅広と幅狭のパターンに沿って第１フォトレジスト膜を除去する工程と、
第１フォトレジスト膜の表面に第１フォトレジスト膜と反応して硬化する物質を塗布する工程と、
未硬化物質を除去することによって、幅広に第１フォトレジスト膜が除去された部分において半導体基板の表面を露出させる工程と、
露出した半導体基板の表面から異方性エッチングして半導体基板に侵入するトレンチを形成する工程と、
トレンチを画定する側壁が露出する角度からイオンを注入する工程と、
半導体基板の表面に第２フォトレジスト膜を形成する工程と、
前記遮光部材を通して第２フォトレジスト膜を露光することによって、幅広と幅狭のパターンに沿って第２フォトレジスト膜を除去する工程と、
前記除去工程で第２フォトレジスト膜が除去されることによって露出した半導体基板の表面から異方性エッチングして半導体基板に侵入するトレンチを形成する工程と、
を備えていることを特徴とする半導体装置の製造方法。
【請求項３】
トレンチを画定する側壁の一部にのみイオン注入領域が形成されている半導体装置を製造する方法であり、
半導体基板の表面にフォトレジスト膜を形成する工程と、
イオン注入領域を形成するトレンチに対応して幅広のパターンが形成されており、イオン注入領域を形成しないトレンチに対応して幅狭のパターンが形成されている遮光部材を通してフォトレジスト膜を露光することによって、幅広と幅狭のパターンに沿ってフォトレジスト膜を除去する工程と、
前記除去工程でフォトレジスト膜が除去されることによって露出した半導体基板の表面から異方性エッチングして半導体基板に侵入するトレンチを形成する工程と、
熱酸化することによって、幅狭トレンチ内を酸化領域で充填するとともに、幅広

INTEL - 1004

チ内には空隙を残す工程と、
エッチバックすることによって、幅狭トレンチ内では酸化領域を残存させるとともに、幅広トレンチ内の酸化領域を除去する工程と、
トレンチを画定する側壁が露出する角度からイオンを注入する工程と、
を備えていることを特徴とする半導体装置の製造方法。
【請求項４】
トレンチを画定する側壁の一部にのみイオン注入領域が形成されている半導体装置を製造する方法であり、
半導体基板の表面に遮蔽層を形成する工程と、
遮蔽層の表面にフォトレジスト膜を形成する工程と、
イオン注入領域を形成するトレンチに対応して連続して伸びるパターンが形成されており、イオン注入領域を形成しないトレンチに対応して微細なパターンが分散配置されている遮光部材を通してフォトレジスト膜を露光することによって、連続して伸びるパターンと分散配置されているパターンに従ってフォトレジスト膜を除去する工程と、
前記除去工程でフォトレジスト膜が除去されることによって露出した遮蔽層の表面から異方性エッチングして半導体基板に侵入するトレンチを形成する工程と、
連続して伸びるトレンチでは半導体基板の側壁が露出し、分散配置されているトレンチでは半導体基板の側壁が遮蔽される角度からイオンを注入する工程と、
を備えていることを特徴とする半導体装置の製造方法。
【請求項５】
半導体基板の表面に立てた法線とイオン注入方向の成す角をθとし、イオン注入方向を半導体基板の表面に正射影した射影線とトレンチの長手方向の成す角をϕとし、トレンチの深さをＤtrenchとし、遮蔽膜の厚みをＴmaskとし、連続トレンチの幅をWwideとし、分散して形成されるトレンチの径をWnarrowとしたときに、
$Wwide/\cos(90^\circ-\phi) > (Dtrench+Tmask)/\tan(90^\circ-\theta)$
$Wnarrow/\cos(90^\circ-\phi) < Tmask/\tan(90^\circ-\theta)$
の関係式を満たしていることを特徴とする請求項４の半導体装置の製造方法。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、トレンチを画定する側壁の一部にのみイオン注入領域が形成されている半導体装置の製造方法に関する。
【背景技術】
【０００２】
高電圧電力をスイッチングする半導体スイッチング素子が形成されている高電位回路領域と、その半導体スイッチング素子のオン／オフを切換えるために低電位で作動する制御回路が形成されている低電位回路領域と、両者間を接続する回路（例えばレベルシフト回路）が形成されているインターフェイス回路領域を、一つの半導体基板に形成することがある。この場合、高電位回路領域を一巡するトレンチと、インターフェイス回路領域を一巡するトレンチを形成し、それらのトレンチに絶縁体を充填することによって、高電位回路領域とインターフェイス回路領域を絶縁分離し、インターフェイス回路領域と低電位回路領域を絶縁分離する構造が採用されることがある。
インターフェイス回路の一つにレベルシフト回路が知られており、横型の半導体スイッチング素子等によってレベルシフト回路を構成することが多い。すなわち、インターフェイス回路領域を一巡するトレンチによって周囲から絶縁分離されている島状の領域内に横型の半導体スイッチング素子を形成することがある。
この種の半導体装置の一例が特許文献１に記載されている。
【特許文献１】特開平７－７８８３３号公報
【０００３】

示す。

ｎ－型のドリフト領域５２６を貫通してｐ＋型半導体層５２２に達するとともに、インターフェイス回路領域５７３を一巡する絶縁分離用トレンチ５３２、５３４が形成されている。右側の絶縁分離用トレンチ５３４は、低電位回路領域５２７とインターフェイス回路領域５７３を絶縁分離する。左側の絶縁分離用トレンチ５３２は、高電位回路領域５２８とインターフェイス回路領域５７３を絶縁分離する。左側の絶縁分離用トレンチ５３２は、高電位回路領域５２８を一巡するトレンチの一部でもある。

島状のドリフト領域５２６とｐ＋型半導体層５２２の間に、ｎ＋型の埋込み半導体領域５２３が形成されている。ドリフト領域５２６の表面側には、ｎ＋型のコレクタ領域５７２と、ｐ型のベース領域５７４が形成されている。ベース領域５７４内には、ｐ＋型のベースコンタクト領域５７６と、ｎ＋型のエミッタ領域５７８が形成されている。コレクタ領域５７２はコレクタ電極Cと電気的に接触しており、ベースコンタクト領域５７６はベース電極Bと電気的に接触しており、エミッタ領域５７８はエミッタ電極Eと電気的に接触している。以上によって、横型のバイポーラトランジスタが構成されている。コレクタ電極Cは、図示しない導体を介して高電位回路領域５２８の半導体スイッチング素子群に接続され、エミッタ電極Eは、図示しない導体を介して低電位回路領域５２７の制御回路に接続されている。

【０００４】

左側の絶縁分離用トレンチ５３２を画定する側壁、即ち、絶縁分離用トレンチ５３２に露出するドリフト領域５２６には、コレクタ領域５７２から埋込み半導体領域５２３に至るｎ＋型のコレクタ拡散領域５５２（イオン注入領域の一例）が形成されている。コレクタ拡散領域５５２は、コレクタ領域５７２と埋込み半導体領域５２３を同電位に維持するためのものである。これにより、半導体装置がオンしたときに、埋込み半導体領域５２３を利用してドリフト領域５２６内の広い範囲に電流を流すことができ、バイポーラトランジスタの飽和電圧を低減することができる。

右側の絶縁分離用トレンチ５３４を画定する側壁にはイオン注入領域が形成されていない。この部分にまでイオン注入領域が形成されていると、バイポーラトランジスタの耐圧が低下する等の悪影響が生じる。

図３２に示す半導体装置は、インターフェイス回路領域５７３を一巡する絶縁分離用トレンチ５３２、５３４のうち、左側の絶縁分離用トレンチ５３２を画定する側壁にのみイオン注入領域が形成されており、右側の絶縁分離用トレンチ５３４を画定する側壁にはイオン注入領域が形成されていない半導体装置であることがわかる。

【０００５】

トレンチを画定する側壁の一部にのみイオン注入領域を必要とし、残部の側壁にはイオン注入領域を必要としない（あるいはあってはいけない）半導体装置の例は、図３２の場合に限られない。

例えば、半導体層(上記の例ではインターフェイス回路領域５７３)の表面側の半導体領域(上記の例ではコレクタ領域５７２)と、裏面側の半導体領域(上記の例では埋込み半導体領域５２３)を同電位に維持する技術は、バイポーラトランジスタに限らず、例えばMOSFET（Metal Oxide Semiconductor Field Effect Transistor）、ダイオード、サイリスタ等の各種の半導体装置でも利用される。また、埋込み半導体領域５２３に代えてSOI（Silicon On Insulator）基板が利用される場合でも、表面側半導体領域とSOI基板の埋込み絶縁層を接触させることによって、半導体装置がオフしたときに、埋込み絶縁層と半導体層の界面から半導体層内の広範囲に空乏層を伸ばすことができ、半導体装置の高耐圧化を図ることができる。半導体装置によっては、トレンチを画定する側壁の一部にのみイオンを注入して格子欠陥を形成することが必要とされることがある。あるいは、トレンチを画定する側壁の一部にのみイオンを注入してキャリアキラー領域を形成することが必要とされることもある。即ち、様々な半導体装置において、トレンチを画定する側壁の一部にのみイオン注入領域が形成する技術が必要とされている。

【発明の開示】

INTEL - 1004
Page 226 of 492

【発明が解決しようとする課題】
【０００６】
図３２に例示した半導体装置、即ち、トレンチを画定する側壁の一部にのみイオン注入領域を形成する必要がある半導体装置を製造するために、種々の手法が開発されている。特許文献１では、左側のトレンチ５３２を画定する側壁にコレクタ拡散領域５５２を形成するのに先立って、右側のトレンチ５３４を画定する側壁に、例えばシリコン酸化膜等のコーティング材を予め形成しておくことによって、右側のトレンチ５３４を画定する側壁にイオンが注入されることを禁止する処理を実施する。具体的には、左右のトレンチ５３２、５３４を画定する側壁をコーティング材で被覆した後に、レチクルガラスマスクを用いて、左側のトレンチ５３２内のコーティング材を選択的に除去する工程を実施する。
しかしながら、この製造方法を採用すると、半導体基板にトレンチ５３２、５３４を形成する際に使用する第１のレチクルガラスマスクと、トレンチ５３２からはコーティング材を除去する一方トレンチ５３４からはコーティング材を除去しないように選択するための第２のレチクルガラスマスクを作成する必要がある。レチクルガラスマスクは高価であることから、特許文献１の製造技術では、製造コストが増大するという問題がある。
本発明では、トレンチ形成用の一種類の遮光部材だけで、トレンチを画定する側壁の一部にのみイオン注入領域が形成されており、残部にはイオン注入領域が形成されていない半導体装置を製造することができる方法を提供する。
【課題を解決するための手段】
【０００７】
本発明は、トレンチを画定する側壁の一部にのみイオン注入領域が形成されている半導体装置を製造する方法に関するものであり、主要部を同じくする複数の製造方法を提案する。いずれの製造方法でも、トレンチ形成用の一種類の遮光部材さえ用意すればよく、イオン注入領域を形成する部分とイオン注入領域を形成しない部分を作り分けるための遮光部材を必要としない。なおここでいう遮光部材の枚数は、遮光パターンの数をいう。遮光パターンを異にする新たな遮光部材を用意するのには費用がかかるのに対し、同一遮光パターンの遮光部材を複数枚用意するのは安価で済み、実質的には一枚の遮光部材を用意するのと大差ないからである。
【０００８】
本発明の一つの製造方法は、半導体基板の表面に第１フォトレジスト膜を形成する工程と、イオン注入領域を形成するトレンチに対応して幅広のパターンが形成されているのに対しイオン注入領域を形成しないトレンチに対応して幅狭のパターンが形成されている遮光部材を通して第１フォトレジスト膜を過少または過剰に露光することによって幅広のパターンに沿って第１フォトレジスト膜を除去する工程と、その除去工程で第１フォトレジスト膜が除去されることによって露出した半導体基板の表面から異方性エッチングして半導体基板に侵入するトレンチを形成する工程と、トレンチを画定する側壁が露出する角度からイオンを注入する工程と、半導体基板の表面に第２フォトレジスト膜を形成する工程と、前記した露光工程で利用した遮光部材と同一のパターンの遮光部材を通して第２フォトレジスト膜を露光することによって幅広と幅狭のパターンに沿って第２フォトレジスト膜を除去する工程と、その除去工程で第２フォトレジスト膜が除去されることによって露出した半導体基板の表面から異方性エッチングして半導体基板に侵入するトレンチを形成する工程を備えている。ここでいう半導体基板の表面には絶縁層や保護層が形成されていることがある。
フォトレジスト膜は、ポジ型あるいはネガ型のいずれであってもよい。フォトレジスト膜がポジ型であれば、遮光部材にトレンチに対応する透光パターンを用意し、最初の露光工程では過少に露光する。フォトレジスト膜がネガ型であれば、遮光部材にトレンチに対応する遮光パターンを用意し、最初の露光工程では過大に露光する。
ポジ型のフォトレジスト膜を過少に露光すると、光量が不足するために、遮光部材の透光パターンの幅よりも幅が狭い範囲でしかフォトレジスト膜は化学反応しない。ポジ型のフォトレジスト膜では、化学反応したフォトレジスト膜が除去されるので、過少に露光

INTEL - 1004
Page 227 of 492

ると、透光パターンの幅が広い部分ではフォトレジスト膜が除去されるのに対し、透光パターンの幅が狭い部分ではフォトレジスト膜が除去されない。この現象を活用することによって、幅広の透光パターンではフォトレジスト膜を除去する一方、幅狭の透光パターンではフォトレジスト膜が除去されない結果を得ることができる。

ネガ型のフォトレジスト膜を過大に露光すると、光量が過剰なために、遮光部材の遮光パターンの幅よりも幅が狭い範囲しか未露光の状態に維持できない。ネガ型のフォトレジスト膜では、未露光に維持されたフォトレジスト膜が除去されるので、過大に露光すると、遮光パターンの幅が広い部分ではフォトレジスト膜が除去されるのに対し、透光パターンの幅が狭い部分ではフォトレジスト膜が除去されない。この現象を活用することによって、幅広の遮光パターンではフォトレジスト膜を除去する一方、幅狭の遮光パターンではフォトレジスト膜が除去されない結果を得ることができる。

ポジ型であれネガ型であれ、フォトレジスト膜に予定されている光量で露光すれば、遮光部材のパターンがフォトレジスト膜に転写される。適正光量で露光することによって、幅広パターンと幅狭パターンの双方においてフォトレジスト膜を除去することもできる。

なお、下記の明細書ではポジ型のフォトレジスト膜を利用する場合の作用効果を説明するが、ネガ型であっても同様の作用効果を得られることは同業者であれば容易に理解することができるであろう。

【０００９】

上記の製造方法では、最初の露光工程において、ポジ型の場合には過少に露光し、ネガ型の場合には過大に露光する。この結果、幅広のパターンが形成されている部分ではフォトレジスト膜が除去される一方、幅狭のパターンが形成されている部分ではフォトレジスト膜が除去されない結果を得ることができる。

この結果、幅広パターン部でのみ半導体基板の表面を露出させることができる。この状態で異方性エッチングすることから、幅広パターン部でのみトレンチを形成することができる。

上記の製造方法では、この段階で形成されたトレンチ、即ち、幅広パターン部にのみ形成されたトレンチを画定する側壁にイオンを注入してイオン注入領域を形成する。

次に実施する後の露光工程では、最初の露光工程で利用した遮光部材と同一のパターンの遮光部材を利用する。別パターンの遮光部材を必要としない。２度目の露光工程では、ポジ型の場合には最初の露光工程より多い光量、例えば適正光量または過剰光量で露光する。ネガ型の場合には最初の露光工程より少ない光量、例えば適正光量または過少光量で露光する。これによって、最初の露光工程では転写されなかった幅狭なパターンまでもが第２フォトレジスト膜に転写され、幅狭パターン部でも第２フォトレジスト膜が除去され、半導体基板表面が露出する。この状態で異方性エッチングしてトレンチを形成する。幅狭なパターンに対応するトレンチが形成される。幅狭なパターンに対応して後で形成されるトレンチを画定する側壁にはイオンが注入されていない。幅狭なパターンに対応するトレンチを後で形成する際に、幅広なパターンに対応して先で形成しておいたトレンチを画定する側壁に形成されているイオン注入領域の一部が削除されることになるが、イオン注入領域の少なくとも一部は残存する。イオン注入領域が残存するように、後の露光工程の光量を調整しておけばよい。

以上の工程を経ることによって、最初の露光工程によって形成されたトレンチを画定する側壁にはイオン注入領域が形成されている一方において、後の露光工程によって形成されたトレンチを画定する側壁にはイオン注入領域が形成されない半導体装置を製造することができる。１種類の遮光部材を利用して、トレンチを画定する側壁の一部にのみイオン注入領域が形成されている半導体装置を製造することができる。イオン注入領域を形成するトレンチに対応して幅広のパターンが形成されており、イオン注入領域を形成しないトレンチに対応して幅狭のパターンが形成されている１種類の遮光部材を用意しておけばよい。

なお、上記工程を実施した後に、必要に応じて熱処理工程を実施してよい。熱処理工程を実施すると、注入されたイオンを拡散させることができるので、不純物が拡散し

TEL - 1004
Page 228 of 492

体領域を得ることができる。

【００１０】

本発明の他の製造方法は、半導体基板の表面に第１フォトレジスト膜を形成する工程と、イオン注入領域を形成するトレンチに対応して幅広のパターンが形成されているのに対しイオン注入領域を形成しないトレンチに対応して幅狭のパターンが形成されている遮光部材を通して第１フォトレジスト膜を露光することによって幅広と幅狭のパターンに沿って第１フォトレジスト膜を除去する工程と、第１フォトレジスト膜の表面に第１フォトレジスト膜と反応して硬化する硬化前の物質を塗布する工程と、未硬化物質を除去することによって幅広に第１フォトレジスト膜が除去された部分において半導体基板の表面を露出させる工程と、露出した半導体基板の表面から異方性エッチングして半導体基板に侵入するトレンチを形成する工程と、トレンチを画定する側壁が露出する角度からイオンを注入する工程と、半導体基板の表面に第２フォトレジスト膜を形成する工程と、前記した露光工程で利用した遮光部材と同一のパターンの遮光部材を通して第２フォトレジスト膜を露光することによって幅広と幅狭のパターンに沿って第２フォトレジスト膜を除去する工程と、その除去工程で第２フォトレジスト膜が除去されることによって露出した半導体基板の表面から異方性エッチングして半導体基板に侵入するトレンチを形成する工程を備えている。フォトレジスト膜は、ポジ型あるいはネガ型のいずれであってもよい。

【００１１】

上記の半導体装置の製造方法では、最初の露光工程の結果、第１フォトレジスト膜が幅広に除去される部分と幅狭に除去される部分が作り分けられる。この状態で第１フォトレジスト膜と反応して硬化する物質が塗布される。第１フォトレジスト膜が幅狭に除去された部分では、塗布された物質の全部が第１フォトレジスト膜と反応して硬化する。一方、第１フォトレジスト膜が幅広に除去された部分では、除去領域の中心側に塗布された物質が第１フォトレジスト膜から遠く隔たっており、第１フォトレジスト膜と反応しないで未硬化の状態に残される。未反応で未硬化の物質を除去すると、幅広パターン部では半導体基板の表面が露出し、幅狭パターン部では半導体基板の表面が露出しない状態を得ることができる。幅狭パターン部では、幅狭に第１フォトレジスト膜が除去された部分が硬化物質で充填されているために半導体基板の表面が露出しない状態を得ることができる。

本製造方法では、この状態で異方性エッチングすることから、幅広パターン部でのみトレンチを形成することができる。その状態でイオン注入することから、幅広パターン部でのみ形成されたトレンチを画定する側壁にイオンを注入することができる。

次に実施する後の露光工程では、最初の露光工程で利用した遮光部材と同一のパターンの遮光部材を利用する。別パターンの遮光部材を必要としない。２度目の露光工程を実施すると、幅広パターンと幅狭パターンの双方において第２フォトレジスト膜が除去される。この状態で異方性エッチングすることから、幅狭パターン部にもトレンチが形成される。イオン注入工程を実施した後に、幅狭パターンに沿ったトレンチを形成することができる。

なお、幅狭パターンに沿ったトレンチの形成段階では、幅広パターンに沿ったトレンチがすでに形成されている。異方性エッチングすると、先に形成しておいたイオン注入領域がエッチングされることはない。なおイオン注入領域が残存する限り、イオン注入領域の一部がエッチングされてもかまわない。

以上の工程を経ることによって、最初の露光工程によって形成されたトレンチを画定する側壁にはイオン注入領域が形成されている一方において、後の露光工程によって形成されたトレンチを画定する側壁にはイオン注入領域が形成されない半導体装置を製造することができる。１種類の遮光部材を利用して、トレンチを画定する側壁の一部にのみイオン注入領域が形成されている半導体装置を製造することができる。イオン注入領域を形成するトレンチに対応して幅広のパターンが形成されており、イオン注入領域を形成しないトレンチに対応して幅狭のパターンが形成されている１種類の遮光部材を用意しておけばよい。

なお、上記工程を実施した後に、必要に応じて熱処理工程を実施してよい。熱処理工程

INTEL - 1004

を実施すると、注入されたイオンを拡散させることができるので、不純物が拡散した半導体領域を得ることができる

【００１２】

本発明のさらに別の製造方法は、半導体基板の表面にフォトレジスト膜を形成する工程と、イオン注入領域を形成するトレンチに対応して幅広のパターンが形成されているのに対しイオン注入領域を形成しないトレンチに対応して幅狭のパターンが形成されている遮光部材を通してフォトレジスト膜を露光することによって幅広と幅狭のパターンに沿ってフォトレジスト膜を除去する工程と、その除去工程でフォトレジスト膜が除去されることによって露出した半導体基板の表面から異方性エッチングして半導体基板に侵入するトレンチを形成する工程と、その後に熱酸化することによって幅狭トレンチ内を酸化領域で充填するとともに幅広トレンチ内には空隙を残す工程と、エッチバックすることによって幅狭トレンチ内では酸化領域を残存させるとともに幅広トレンチ内の酸化領域を除去する工程と、トレンチを画定する側壁が露出する角度からイオンを注入する工程を備えている。フォトレジスト膜は、ポジ型あるいはネガ型のいずれであってもよい。

【００１３】

この半導体装置の製造方法は、熱酸化することによって幅狭トレンチ内を酸化領域で充填することと、エッチバックすることによって幅広トレンチから酸化領域を除去することを特徴とする。エッチバックのために、例えばウェットエッチングの処理方法を好適に採用することができる。

熱酸化して得られる酸化領域は厚みが膨張する。幅狭トレンチと幅広トレンチが存在する状態で熱酸化すると、膨張した酸化領域によって幅狭トレンチが塞がれ、幅広トレンチ内には空隙が残った状態を得ることができる。この状態でエッチバックすると、空隙が残っている幅広トレンチでは酸化領域が除去されてトレンチを画定する側壁にイオン注入可能な状態が得られる一方、酸化領域によって塞がれている幅狭トレンチでは酸化領域が除去されず、トレンチを画定する側壁にイオンを注入することができない状態が得られる。本方法ではこの状態でイオン注入することから、幅広トレンチを画定する側壁にはイオン注入領域が形成される一方、幅狭トレンチを画定する側壁にはイオン注入領域が形成されていない状態を得ることができる。

本方法によると、幅広トレンチを画定する側壁にはイオン注入領域が形成されている一方において、幅狭トレンチを画定する側壁にはイオン注入領域が形成されない半導体装置を製造することができる。１種類の遮光部材を利用して、トレンチを画定する側壁の一部にのみイオン注入領域が形成されている半導体装置を製造することができる。イオン注入領域を形成するトレンチに対応して幅広のパターンが形成されており、イオン注入領域を形成しないトレンチに対応して幅狭のパターンが形成されている１種類の遮光部材を用意しておけばよい。

なお、上記工程を実施した後に、必要に応じて熱処理工程を実施してよい。熱処理工程を実施すると、注入されたイオンを拡散させることができるので、不純物が拡散した半導体領域を得ることができる

【００１４】

本発明のさらに別の製造方法は、半導体基板の表面に遮蔽層を形成する工程と、遮蔽層の表面にフォトレジスト膜を形成する工程と、イオン注入領域を形成するトレンチに対応して連続して伸びるパターンが形成されているのに対しイオン注入領域を形成しないトレンチに対応して微細なパターンが分散配置されている遮光部材を通してフォトレジスト膜を露光することによって連続して伸びるパターンと分散配置されているパターンに従ってフォトレジスト膜を除去する工程と、その除去工程でフォトレジスト膜が除去されることによって露出した遮蔽層の表面から異方性エッチングして半導体基板に侵入するトレンチを形成する工程と、連続して伸びるトレンチでは半導体基板の側壁が露出するとともに分散配置されているトレンチでは半導体基板の側壁が遮蔽される角度からイオンを注入する工程を備えている。上記の遮蔽層は、注入されるイオンを遮蔽するものであり、例えば酸化シリコン層等を利用することができる

EXHIBIT - 1004
Page 230 of 492

【００１５】
上記の製造方法の一つの特徴は、イオン注入領域を形成するトレンチに対応して連続して伸びるパターン（ポジ型の場合には透光パターンであり、ネガ型の場合には遮光パターン）が形成されているのに対し、イオン注入領域を形成しないトレンチに対応して微細なパターンが分散配置されている遮光部材を利用することである。
上記の遮光部材を利用することによって、側壁にイオン注入領域を形成するトレンチは連続して伸びる形状に形成され、側壁にイオン注入領域を形成しないトレンチはその断面が微細なものとなる。側壁にイオン注入領域を形成しないトレンチでは、細い井戸状のトレンチが分散して形成されたトレンチ群となる。
半導体基板の表面に一定の厚みを持つ遮蔽層が形成されており、トレンチの開口幅が異なっていると、イオンを斜め方向から注入するときに、幅広トレンチではイオン注入方向に対して側壁が露出されるのに対し、微細なトレンチではイオン注入方向に対して側壁が遮蔽される角度範囲が存在する。この角度範囲を利用すると、連続して伸びるトレンチを画定する側壁にはイオン注入領域が形成され、分散配置されているトレンチを画定する側壁にはイオン注入領域が形成されない半導体装置を得ることができる。
イオンを斜めに注入する工程では、半導体基板を回転させながら注入してもよく、あるいは、平面視したときのトレンチの長手方向とイオン注入方向の関係を固定しておいてもよい。半導体層を回転させながらイオンを注入する場合でも、微細トレンチが分散して形成されているので、イオン注入方向に対して微細トレンチの見かけ上の幅が所定以上に大きくなることもない。微細トレンチを画定する側壁にイオン注入領域が形成されてしまう事態を確実に防止することができる。
上記の製造方法を採用すると、１種類の遮光部材を利用して、トレンチを画定する側壁の一部にのみイオン注入領域が形成されている半導体装置を製造することができる。イオン注入領域を形成するトレンチに対応して連続して伸びるパターンが形成されており、イオン注入領域を形成しないトレンチに対応して微細なパターンが分散配置されている１種類の遮光部材を用意しておけばよい。
なお、上記工程を実施した後に、必要に応じて熱処理工程を実施してよい。熱処理工程を実施すると、注入されたイオンを拡散させることができるので、不純物が拡散した半導体領域を得ることができる。
熱処理をすると、分散して形成される微細トレンチの側壁に熱酸化膜が形成され、隣接する微細トレンチの側壁に形成される熱酸化膜同士が連続することになる。熱酸化膜によって取囲んで周囲から絶縁分離することができる。
【００１６】
半導体基板の表面に立てた法線とイオン注入方向の成す角をθとし、イオン注入方向を半導体基板の表面に正射影した射影線とトレンチの長手方向の成す角をφとし、トレンチの深さをＤtrenchとし、遮蔽層の厚みをＴmaskとし、連続トレンチの幅をWwideとし、分散して形成されるトレンチの径をWnarrowとしたときに、
Wwide/cos(90°－φ)＞(Ｄtrench＋Ｔmask)/tan(90°－θ)
Wnarrow/cos(90°－φ)＜Ｔmask/tan(90°－θ)
の関係式を満たしていることが好ましい。
平面視したときに、イオン注入方向とトレンチの長手方向が直交している場合には、φ＝90°であり、cos(90°－φ)＝１であるので、上記式は、
Wwide＞(Ｄtrench＋Ｔmask)/tan(90°－θ)
Wnarrow＜Ｔmask/tan(90°－θ)
と単純化される。
なお、上記の各記号は、後述する実施例で用いられる記号と一致している。後述する実施例を参照すると上記式を理解する助けとなるであろう。
前者の式は連続トレンチを画定する側壁の底部まで、イオン注入方向に露出される関係を示している。具体的には、前者の式の左辺は、注入イオンに対する連続トレンチの見かけ上の幅であり、右辺はトレンチの底部に達するまでイオンが届くために必要な最小の[illegible]

INTEL - 1004
Page 231 of 492

幅を示している。したがって、前者の式の関係を満たしていると、連続トレンチの底部にまでイオンを注入することができる。後者の式は、微細トレンチを画定する半導体の側壁が、遮蔽層によってイオン注入方向から遮蔽される関係を示している。具体的には、後者の式の左辺は、注入イオンに対する微細トレンチの見かけ上の径であり、右辺は注入イオンが遮蔽層よりも深くまでは到達しない微細トレンチの径を示している。したがって、後者の式の関係を満たしていると、注入イオンは遮蔽層によって遮蔽され、微細トレンチを画定する半導体層の側壁まで届くことができない。上記式の両者を満たす角度範囲で斜めイオン注入を実施すると、イオン注入領域の作り分けを正確に実施することができる。

【発明の効果】

【００１７】

本発明によると、１種類の遮光部材を利用して、トレンチを画定する側壁の一部にのみイオン注入領域が形成されている半導体装置を製造することができる。パターンを異にする２種類以上の遮光部材を用意する必要がなく、半導体装置の製造コストを低減することができる。

【発明を実施するための最良の形態】

【００１８】

最初に実施例の主要な特徴を列記する。

（形態１）　第１製造方法において、ポジ型の第１フォトレジスト膜とポジ型の第２フォトレジスト膜を用いる。

（形態２）　形態１において、最初の露光工程ではアンダー露光に調整し、後の露光工程では適正またはオーバー露光に調整する。

（形態３）　形態２において、後の露光工程ではオーバー露光に調整する。

（形態４）　形態１において、後の露光工程後に実施するトレンチ形成工程によっては、イオン注入領域が除去されない。

（形態５）　第２製造方法において、反応物質は水溶性である。

（形態６）　第３製造方法において、エッチバックにはウェットエッチング等が好適である。

（形態７）　第４製造方法において、微細トレンチを角柱状あるいは円柱状に形成する。円柱の場合、あらゆるイオン注入角度に対して見かけ上の開口幅が変化しないので、より好ましい。

（形態８）　形態７において、連続トレンチと微細トレンチの分散配置パターンを平面視したときに、多角形の各辺を形成するように形成されているのが好ましい。この場合、その多角形の内側が島状領域となる。

【実施例】

【００１９】

図１に、ｎチャネル型のＬＤＭＯＳ（Lateral Diffused MOS）の要部断面図を模式的に示す。このＬＤＭＯＳはＳＯＩ基板を利用して形成されている。このＬＤＭＯＳは、高電位回路領域２７と低電位回路領域２８の両者間をインターフェイスするレベルシフト回路の一例である。このＬＤＭＯＳは、絶縁分離用トレンチ３２、３４で挟まれた島状領域内に形成されている。図示左側の幅広な絶縁分離用トレンチ３２の外側の領域には、低電圧で作動する低電位回路領域２８（図示省略されている）が形成されている。図示右側の幅狭な絶縁分離用トレンチ３４の外側の領域には、高電圧で作動する高電位回路領域２７（図示省略されている）が形成されている。なお、以下に示す実施例では、シリコンを主成分とする半導体が用いられている例を示しているが、他の半導体材料を用いても同様の作用効果を得られることに留意されたい。

図示２２は、ｐ＋型の半導体層であり、このｐ＋型半導体層２２上に酸化シリコンからなる埋込み絶縁層２４が形成されている。なお、ｐ＋型半導体層２２は、ｎ型であってもよい。

埋込み絶縁層２４上にｎ－型の半導体層が形成されており、このｎ－型半導体層のうち絶縁分離用トレンチ３２、３４で挟まれた島状領域内にドリフト領域２６が形成されて

INTEL - 1004
Page 232 of 492

る。このドリフト領域２６の表面側にｐ－型のボディ領域４２が形成されている。ボディ領域４２内に、ｐ＋型のボディコンタクト領域４６とｎ＋型のソース領域４４が形成されている。ｎ＋型のソース領域４４はボディ領域４２によってドリフト領域２６から隔てられている。ボディコンタクト領域４６とソース領域４４は、いずれもソース電極Ｓに接続されている。ソース領域４４とドリフト領域２６を隔てているボディ領域４２に、ゲート絶縁膜６２を介してゲート電極Ｇが対向している。

ドリフト領域２６の表面側であってドリフト領域２６によってボディ領域４２から隔てられた位置にｎ＋型のドレイン領域４８が形成されている。このドレイン領域４８はドレイン電極Ｄに接続されている。ゲート電極Ｇとドレイン電極Ｄの間のドリフト領域２６の表面にＬＯＣＯＳ酸化膜６４が形成されており、表面部の電界を緩和している。

【００２０】

絶縁分離用トレンチ３２、３４には、例えば酸化シリコンからなる絶縁体が充填されている。この絶縁分離用トレンチ３２、３４はトレンチ幅が異なっており、紙面左側のトレンチ幅は広く、紙面右側は狭く形成されている。左側の絶縁分離用トレンチ３２は、ＬＤＭＯＳと低電位回路領域２８を絶縁分離しており、右側の絶縁分離用トレンチ３４は、ＬＤＭＯＳと高電位回路領域２７を絶縁分離している。ＬＤＭＯＳのソース電極Ｓは、図示しない導体によって低電位回路領域２８に接続されており、ＬＤＭＯＳのドレイン電極Ｄは、図示しない導体によって高電位回路領域２７に接続されている。

図２（ａ）に、この絶縁分離用トレンチ３２、３４を平面視したときの平面パターンを模式的に示す。なお、図中のI-I線断面が図１の要部断面図に対応している。図に示すように、絶縁分離用トレンチ３２、３４は、ｎ－型ドリフト領域２６を一巡して連結している。この絶縁分離用トレンチ３２、３４によって、島状領域（ｎ－型ドリフト領域２６）は周辺の低電位回路領域２８と高電位回路領域２７から絶縁分離され区画されている。この島状領域（ｎ－型ドリフト領域２６）は、低電位回路領域２８と高電位回路領域２７の間に位置している。なお、本実施例の平面パターンは、図２（ｂ）に示す変形例であってもよい。この例は、幅広な絶縁分離用トレンチ３２が円柱状であり、この幅広な絶縁分離用トレンチ３２の周囲に島状領域が円環状に形成され、その島状領域を囲って幅狭な絶縁分離トレンチ３４が形成されている。この例は、島状領域が低電位回路領域又は高電位回路領域内に点在する場合である。なお、これらの例の他に、島状領域が他の領域から絶縁分離される形態は、必要に応じて様々な形状で形成することができる。

【００２１】

図１に戻る。幅広な絶縁分離用トレンチ３２とドリフト領域２６が接する部分には、ボディ領域４２からドリフト領域２６を貫通して埋込み絶縁層２４まで達するｐ＋型のボディ拡散領域５２（イオン注入領域の一例）が形成されている。あるいは、ドリフト領域２６の絶縁分離用トレンチ３２を画定する側壁に、ボディ拡散領域５２が形成されているということもできる。このボディ拡散領域５２は、絶縁分離用トレンチ３２を画定する側壁に沿って形成されている。

ボディ拡散領域５２の一つの役割は、ＬＤＭＯＳがオフしたときに、埋込み絶縁層２４とドリフト領域２６の界面において、ｐ型の反転層が形成されるのを抑制することである。即ち、ボディ拡散領域５２は、ｐ型の反転層に蓄積する正孔をソース電極Ｓへ排出するのを促進する。これにより、前記界面からドリフト領域２６内に向けて空乏層が伸びる現象を促進することができ、ドリフト領域２６内の広範囲を空乏化することができる。したがって、高耐圧な半導体装置を得ることができる。また、ボディ拡散領域５２は、このボディ拡散領域５２からドリフト領域２６へ向けて横方向へ空乏層を伸ばすことができるので、ボディ領域４２の屈曲部４２ａに集中し易い電界を緩和する働きもある。

なお、ボディ拡散領域５２は、幅広な絶縁分離用トレンチ３２側に形成されていない。耐圧を確保するためには、幅狭な絶縁分離用トレンチ３４を画定する側壁にはボディ拡散領域５２に相当する領域が存在してはならない。

【００２２】

次に、このＬＤＭＯＳの製造方法に関して、以下に４通りの製造方法を説明する

INTEL - 1004
Page 233 of 492

（第１製造方法）
図３～１１を参照して、第１製造方法を説明する。
まず、図３に示すように、ＳＯＩ基板２０を準備する。このＳＯＩ基板２０は、ｐ＋型の半導体層２２と酸化シリコンからなる埋込み絶縁層２４とｎ－型の半導体層２６（後にドリフト領域２６が形成されるので、図番号を２６で便宜上統一する）がこの順で積層されている構造からなる。このＳＯＩ基板２０は、1Ω・cm程度のボロンを含有するシリコンウェハの表面を熱酸化し、約3μmの酸化膜(埋込み絶縁層２４となる)を形成した後に、リンを含有する約30μmの厚みのシリコンウェハを貼り合わせることで作成することができる。
図３に示すように、このＳＯＩ基板２０の半導体層２６の表面にＨＴＯ（High Temperature Oxide）層からなる酸化層８２を約3.5μmの厚みで形成する。この場合、ｐ＋型の半導体層２２と埋込み絶縁層２４とｎ－型の半導体層２６と酸化膜８２を半導体基板２１ということもできる。次に、半導体基板２１の表面に第１フォトレジスト膜９２を形成する。この第１フォトレジスト膜９２はポジ型の性質を有する。したがって、光を吸収する部分において化学反応が起き、その部分が除去される。
次に、図４に示すように、幅広な開口９４ａと幅狭な開口９４ｂの異なる幅の開口を有しているレチクルガラスマスク９４（遮光部材の一例）を用意する。幅広な開口９４ａの幅（Ｗａ）が約7.2μmであり、幅狭な開口９４ｂの幅（Ｗｂ）は約0.4μmで構成されている。なお、このレチクルガラスマスク９４を平面視したときの透光パターン（開口９４ａ、９４ｂのことである）は、図２（ａ）の絶縁分離用トレンチ３２、３４の平面パターンに沿って形成されている。この開口９４ａ、９４ｂが形成されているレチクルガラスマスク９４を通して第１フォトレジスト膜９２を露光する。なお、この露光工程を「先の露光工程」と便宜上称する。この「先の露光工程」のときに、露光する光量を調整することによって、いわゆるアンダー露光を実施する。アンダー露光は、例えば露光時間等を本来的な時間量より少なく調整することによって容易に実施することができる。アンダー露光が実施されると、レチクルガラスマスク９４の開口９４ａ、９４ｂのパターンと異なるパターンで第１フォトレジスト膜９２が除去されるという現象が得られる。図４に示すように、レチクルガラスマスク９４の幅狭な開口９４ｂに対応する第１フォトレジスト膜９２は、露光する光量が少なすぎるので除去されない。一方、レチクルガラスマスク９４の幅広の開口９４ａに対応する第１フォトレジスト膜９２は、その開口幅より小さい範囲の第１フォトレジスト膜９２が除去される（図示９２ａ参照。以下、除去領域９２ａという）。この除去領域９２ａの幅は、図４に示すように、（Ｗａ－Ｗｂ）となる。本実施例では6.8μmとなる。なお、露光する光量をより少なく調整すると、除去領域９２ａの幅は（Ｗａ－Ｗｂ）よりさらに小さくすることもできる。換言すると、レチクルガラスマスク９４の幅広な開口９４ａの幅（Ｗａ）が、幅狭な開口９４ｂの幅（Ｗｂ）より大きく構成されている場合、即ち、開口９４ａ、９４ｂの幅が異なっている場合、幅狭な開口９４ｂに対応する第１フォトレジスト膜９２は除去されず、幅広な開口９４ａに対応する第１フォトレジスト膜９２が除去されるという上記現象を実現することができる。図４に示すように、幅狭な開口９４ｂに対応する第１フォトレジスト膜９２がアンダー露光によって除去されない場合、幅広な開口９４ａに対応する第１フォトレジスト膜９２では、左右の開口縁から幅（Ｗｂ／２）で除去されない領域が形成される。したがって、幅広な開口９４ａに対応する第１フォトレジスト膜９２が除去されるには、幅（Ｗａ）が幅（Ｗｂ）より大きい幅が必要となる。この関係を満たしていると、レチクルガラスマスク９４の開口９４ａ、９４ｂのパターンのうち、幅広な開口９４ａに沿うパターンのみが第１フォトレジスト膜９２に転写されるという現象を得ることができる。なお、ここでいう幅広な開口９４ａに沿うパターンとは、レチクルガラスマスク９４の開口９４ａの幅に一致している意味ではないことに留意されたい。
【００２３】
次に、図５に示すように、第１フォトレジスト膜９２の除去領域９２ａにおいて第１フォトレジスト膜９２から露出している半導体基板２１の表面から一異方性のドライ

INTEL - 1004
Page 234 of 492

ングをすることによって酸化層８２を貫通して半導体層２６に侵入し、さらに埋込み絶縁層２４まで到達するトレンチ８８を形成する。このトレンチ８８の幅は6.8μｍとなる。トレンチ８８を形成した後に、第１フォトレジスト膜９２を除去する。この段階で、酸化層８２の厚みは3.5μｍから3.0μｍに減少している。

次に、図６に示すように、トレンチ８８を画定する半導体層２６の側壁が、その底部まで露出する角度から斜めイオン注入法を実施してイオン注入領域（図中×で示す）を形成する。半導体層２６の厚みが30μｍであり、トレンチ８８の幅が6.8μｍであり、酸化層８２の厚みが3.0μｍであることから、イオン注入角度θが10°より小さいと、半導体層２６のトレンチ８８を画定する側壁の底部までイオンを注入することができる。ここでいうイオンの注入角度θとは、半導体層２６の表面に立てた法線と、イオン注入方向の成す角である。

なお、この斜めイオン注入法は、ＳＯＩ基板２０を面内で回転させながらイオンを注入するいわゆる回転注入によって実施してもよい。また、酸化層８２の存在によって、半導体層２６の表面にイオンが注入されることは防止されている。

次に、図７に示すように、半導体基板２１の表面に第２フォトレジスト膜９６を形成する。この第２フォトレジスト膜９６はポジ型の性質を有している。

【００２４】

次に、図８に示すように、「先の露光工程」で利用したレチクルガラスマスク９４を再度用意する。そして、レチクルガラスマスク９４を「先の露光工程」と同一位置に設置するとともに、レチクルガラスマスク９４の開口９４ａ、９４ｂを通して第２フォトレジスト膜９６を露光する。この露光工程を「後の露光工程」と便宜上称する。この「後の露光工程」のときに、露光する光量を「先の露光工程」より多く調整する。この例では、いわゆるオーバー露光となる光量に調整する。オーバー露光は、例えば露光時間等を本来的な時間量より多く調整することによって容易に実施することができる。オーバー露光が実施されると、レチクルガラスマスク９４の開口９４ａ、９４ｂの両者のパターンに沿って第２フォトレジスト膜９６が除去される現象が得られる。図８に示すように、レチクルガラスマスク９４の幅狭な開口９４ｂに対応する第２フォトレジスト膜９６は、その開口９４ｂの幅（Ｗｂ）の範囲より左右にＷｃだけ大きい領域が除去される（図示９６ｂ参照。以下、除去領域９６ｂという）。この除去領域９６ｂの幅は（Ｗｂ＋２Ｗｃ）となる。本実施例では、Ｗｃが約0.05μｍとなるようにオーバー露光を調整しているので、除去領域９６ｂの幅は約0.5μｍとなる。また、レチクルガラスマスク９４の幅広の開口９４ａに対応する第１フォトレジスト膜９２は、その開口９４ａの幅（Ｗａ）の範囲より大きい領域が除去される（図示９６ａ参照。以下、除去領域９６ａという）。この除去領域９６ａの幅は（Ｗａ＋２Ｗｃ）である。本実施例では、Ｗｃが約0.05μｍとなるようにオーバー露光を調整しているので、除去領域９６ａの幅は約7.3μｍとなる。したがって、レチクルガラスマスク９４の開口９４ａ、９４ｂのパターンに沿うパターンが第２フォトレジスト膜９６に転写されるという状態が得られる。

【００２５】

次に、図９に示すように、第２フォトレジスト膜９６の除去領域９６ａ、９６ｂにおいて第２フォトレジスト膜９６から露出している酸化層８２の表面から、異方性のドライエッチングをすることによって酸化層８２を貫通して半導体層２６に侵入し、さらに埋込み絶縁層２４まで到達する幅広トレンチ８４と幅狭トレンチ８６を形成する。「先の露光工程」によって作成されるトレンチ８８の幅よりも、「後の露光工程」によって作成される幅広トレンチ８４の幅の方が大きいので、幅広トレンチ８４はイオン注入領域の一部を削除することになる。「先の露光工程」で形成したトレンチ８８の幅が6.8μｍであり、「後の露光工程」で形成した幅広トレンチ８４の幅が7.3μｍであるので、左右のそれぞれに0.25μｍだけ削除することになる。しかしながら、イオン注入領域は、0.25μｍよりも広範囲に形成されているので、削除された後であっても少なくとも一部のイオン注入領域が残存することになる。トレンチ８４、８６を形成した後に、第２フォトレジスト膜９６を除去する。

INTEL - 1004
Page 235 of 492

【００２６】
次に、図１０に示すように、約１１００℃、３０minの熱処理を実施する。これにより、幅広トレンチ８４を画定する半導体層２６の側壁に沿って注入されていたイオンが拡散するので、ｐ＋型のボディ拡散領域５２が形成される。この熱処理の工程を適当な酸素雰囲気下で行うと、幅狭トレンチ８６は酸化シリコンからなる熱酸化領域で充填される。これにより、幅狭な絶縁分離用トレンチ３４が形成される。一方、幅広トレンチ８４内には、左右の側壁から約0.40μmの熱酸化領域が形成されるが、幅広トレンチ８４の幅が十分に広いために充填されることはない。幅広トレンチ８４内には空隙が残存することになる。
次に、ウェットエッチングによって酸化膜８２を除去する。このとき、幅狭トレンチ８６には、エッチング材がほとんど侵入できないので絶縁分離トレンチ３４の熱酸化領域は充填されたまま残存する。一方、幅広トレンチ８４の熱酸化領域は、空隙内にエッチング材が侵入することによって、若干の熱酸化領域が除去される。
次に図１１に示すように、例えば減圧ＣＶＤ法を利用することによって、ＳＯＩ基板２０の表面を覆うＴＥＯＳ（Tetra Ethyl Ortho Silicate）膜９２を形成する。これにより、幅広トレンチ８４が絶縁体で充填された状態を得ることができる。この段階で、絶縁体で区画されている島状の半導体層２６を得るとともに、幅広トレンチ８４を画定する半導体層２６の側壁にはボディ拡散領域５２が形成されており、幅狭トレンチ８６を画定する半導体層２６の側壁にはボディ拡散領域５２が形成されていない状態が得られるのである。
次に、ＣＭＰ等を利用して表面を平坦化した後に、エッチバック技術等を用いて所望の構造を得る。この後は、イオン注入法、熱酸化法等の既知の製造技術を利用して、各拡散領域や酸化膜、電極配線などを表面側に形成することで、図１に示すＬＤＭＯＳを得ることができる。
なお、本実施例では、ボディ拡散領域５２が埋込み絶縁層２４に直接的に接する場合を例示しているが、この両者は離間して形成されていても構わない。ボディ拡散領域５２から伸びる空乏層と、埋込み絶縁層２４から伸びる空乏層が接する範囲内に、ボディ拡散領域５２と埋込み絶縁層２４が近接して形成されていればよい。この範囲内であれば、正孔のソース電極Ｓへの排出を促すとともに、ドリフト領域２６の空乏化を促進して高耐圧な半導体装置を得ることができる。
【００２７】
（第２製造方法）
図１２～１６を参照して、第２製造方法を説明する。
まず、図１２に示すように、ＳＯＩ基板１２０を準備する。このＳＯＩ基板１２０は、ｐ＋型の半導体層１２２と酸化シリコンからなる埋込み絶縁層１２４とｎ－型の半導体層１２６（後にドリフト領域１２６が形成されるので、図番号を１２６で便宜上統一する）がこの順で積層されている構造からなる。このＳＯＩ基板１２０は、1Ω・cm程度のボロンを含有するシリコンウェハの表面を熱酸化し、約3μmの酸化膜(埋込み絶縁層１２４となる)を形成した後に、リンを含有する約30μmの厚みのシリコンウェハを貼り合わせることで作成することができる。
このＳＯＩ基板１２０の半導体層１２６の表面にＨＴＯ（High Temperature Oxide）層からなる酸化層１８２を約3.5μmの厚みで形成する。ｐ＋型の半導体層１２２と埋込み絶縁層１２４とｎ－型の半導体層１２６と酸化層１８２を半導体基板１２１ということができる。次に、この酸化層１８２の表面に第１フォトレジスト膜１９２を形成する。この第１フォトレジスト膜１９２はポジ型の性質を有している。したがって、光を吸収した部分において化学反応が起き、その部分が除去される。
【００２８】
図１２に示すように、幅広な開口１９４ａと幅狭な開口１９４ｂの異なる幅を有しているレチクルガラスマスク１９４を用意する。本実施例では、幅広な開口１９４ａの幅（Wa）が約7.2μmであり、幅狭な開口１９４ｂの幅（Wb）は約0.4μmで構成されて

INTEL - 1004
Page 236 of 492

なお、このレチクルガラスマスク１９４を平面視したときの透光パターン（開口１９４ａ、１９４ｂのことである）は、図２（ａ）の絶縁分離用トレンチ３２、３４の平面パターンに沿って形成されている。開口１９４ａ、１９４ｂが形成されているレチクルガラスマスク１９４を通して第１フォトレジスト膜１９２を露光する。なお、この露光工程を「先の露光工程」と便宜上称する。これにより、レチクルガラスマスク１９４の開口１９４ａ、１９４ｂの両者のパターンが第１フォトレジスト膜１９２に転写される。したがって、レチクルガラスマスク１９４の開口１９４ａ、１９４ｂのパターンに沿って、第１フォトレジスト膜１９２には、幅広に除去される領域１９２ａ（以下、除去領域１９２ａという）と、幅狭に除去される領域１９２ｂ（以下、除去領域１９２ｂという）が形成される。それぞれの除去領域１９２ａ、１９２ｂの幅はレチクルガラスマスク１９４の開口１９４ａ、１９４ｂの幅と一致しており、幅広な除去領域１９２ａの幅（Ｗａ）は約7.2μｍであり、幅狭な除去領域１９２ｂの幅（Ｗｂ）は約0.4μｍである。

【００２９】

次に、図１３に示すように、第１フォトレジスト膜１９２の除去領域１９２ａ、１９２ｂを囲繞して、硬化性反応物質１９８を塗布する。この硬化性反応物質１９８は、水溶性の性質を有するとともに、熱を加えると第１フォトレジスト膜１９２と反応して硬化する性質を有している。

次に、図１４に示すように、約１２０～１４０℃で加熱処理した後に水洗処理を実施する。すると、硬化性反応物質１９８は、周辺に存在する第１フォトレジスト膜１９２と反応して硬化した部分は残存し、未反応の硬化性反応物質１９８は除去される。第１フォトレジスト膜１９２の幅狭な除去領域１９２ｂでは、硬化性反応物質１９８が周辺の第１フォトレジスト膜１９２と近接しているので、この除去領域１９２ｂ内の硬化性反応物質１９８は第１フォトレジスト膜１９２と反応して硬化することができる。この結果、水洗処理後においても、この除去領域１９２ｂ内には硬化した硬化性反応物質１９８が残存し、除去領域１９２ｂを閉塞する。一方、第１フォトレジスト膜１９２の幅広な除去領域１９２ａでは、その中心部側に存在している硬化性反応物質１９８は周辺の第１フォトレジスト膜１９２と近接していないので、中心部側の硬化性反応物質１９８は第１フォトレジスト膜１９２と反応することができない。この結果、水洗処理後において、この幅広な除去領域１９２ａ内は、未反応の硬化性反応物質１９８が除かれて、下方の酸化層１８２が露出することになる。

【００３０】

次に、図１５に示すように、第１フォトレジスト膜１９２の幅広な除去領域１９２ａにおいて第１フォトレジスト膜１９２から露出している酸化層１８２の表面から、異方性のドライエッチングをすることによって酸化層１８２を貫通して半導体層１２６に侵入し、さらに埋込み絶縁層１２４まで到達するトレンチ１８４を形成する。このトレンチ１８４の幅は、幅広な除去領域１９２ａの幅の約7.2μｍから、除去領域１９２ａの側壁に残存する硬化性反応物質１９８の幅（２×Ｗｂ／２＝Ｗｂ）を差し引いた大きさである。この場合は約6.8μｍとなる。トレンチ１８４を形成した後に、硬化した硬化性反応物質１９８と第１フォトレジスト膜１９２を除去する。この段階で、酸化層１８２の厚みは約3.5μｍから約3.0μｍに減少している。

次に、図１６に示すように、トレンチ１８４を画定する半導体層１２６の側壁が、その底部まで露出する角度から斜めイオン注入法を実施してイオン注入領域（図中×で示す）を形成する。半導体層１２６の厚みが30μｍであり、トレンチ１８４の幅が6.8μｍであり、酸化層１８２の厚みが3.0μｍであることから、イオン注入角度θが10°より小さいと、半導体層１２６のトレンチ１８４を画定する側壁の底部までイオンを注入することができる。ここでいうイオンの注入角度θとは、半導体層１２６の表面に立てた法線と、イオン注入方向の成す角である。なお、この斜めイオン注入法は、ＳＯＩ基板１２０を面内で回転させながらイオンを注入するいわゆる回転注入によって実施してもよい。また、酸化層１８２の存在によって、半導体層１２６の表面にイオンが注入されることは防止されてい

なお、この後の工程は、第１製造方法の図７～図１１で説明した工程等を利用することによって、図１に示すＬＤＭＯＳを得ることができる。

【００３１】

（第３製造方法）　図１７～２３を参照して、第３製造方法を説明する。

まず、図１７に示すように、ＳＯＩ基板２２０を準備する。このＳＯＩ基板２２０は、ｐ＋型の半導体層２２２と酸化シリコンからなる埋込み絶縁層２２４とｎ－型の半導体層２２６（後にドリフト領域２２６が形成されるので、図番号を２２６で便宜上統一する）がこの順で積層されている構造からなる。ＳＯＩ基板２２０は、1Ω・cm程度のボロンを含有するシリコンウェハの表面を熱酸化し、約3μmの酸化膜(埋込み絶縁層２２４となる)を形成した後に、リンを含有する約30μmの厚みのシリコンウェハを貼り合わせることで作成することができる。

このＳＯＩ基板２２０の半導体層２２６の表面にＨＴＯ（High Temperature Oxide）層からなる酸化層２８２を約3.5μmの厚みで形成する。ｐ＋型の半導体層２２２と埋込み絶縁層２２４とｎ－型の半導体層２２６と酸化層２８２を半導体基板２２１ということができる。次に、この酸化層２８２の表面に第１フォトレジスト膜２９２を形成する。この第１フォトレジスト膜２９２はポジ型の性質を有している。したがって、光を吸収した部分において化学反応が起き、その部分が除去される。

【００３２】

次に、図１７に示すように、幅広な開口２９４ａと幅狭な開口２９４ｂの異なる幅を有しているレチクルガラスマスク２９４を用意する。本実施例では、幅広な開口２９４ａの幅（Ｗａ）が約3.0μmであり、幅狭な開口２９４ｂの幅（Ｗｂ）は約1.0μmで構成されている。なお、このレチクルガラスマスク２９４を平面視したときの透光パターン（開口２９４ａ、２９４ｂのことである）は、図２（ａ）の絶縁分離用トレンチ３２、３４の平面パターンに沿って形成されている。次に、この開口２９４ａ、２９４ｂが形成されているレチクルガラスマスク２９４を通して第１フォトレジスト膜２９２を露光する。これにより、レチクルガラスマスク２９４の開口２９４ａ、２９４ｂのパターンが第１フォトレジスト膜２９２に転写される。したがって、第１フォトレジスト膜２９２のパターンに沿って、第１フォトレジスト膜２９２は、幅広に除去される領域２９２ａ（以下、除去領域２９２ａという）と、幅狭に除去される領域２９２ｂ（以下、除去領域２９２ｂという）が形成される。それぞれの除去領域２９２ａ、２９２ｂの幅はレチクルガラスマスク２９４の開口２９４ａ、２９４ｂの幅と一致しており、幅広な除去領域２９２ａの幅（Ｗａ）は約3.0μmであり、幅狭な除去領域２９２ｂの幅（Ｗｂ）は約１.0μmである。

【００３３】

次に、図１８に示すように、第１フォトレジスト膜２９２の除去領域２９２ａ、２９２ｂにおいて第１フォトレジスト膜２９２から露出している酸化層２８２の表面から、異方性のドライエッチングをすることによって、酸化層２８２を貫通して半導体層２２６に侵入し、さらに埋込み絶縁層２２４まで到達する幅広トレンチ２８４と幅狭トレンチ２８６を形成する。トレンチ２８４、２８６を形成した後に、第１フォトレジスト膜２９２を除去する。

【００３４】

次に、図１９に示すように、減圧ＣＶＤ法によってトレンチ２８４、２８６内を充填するとともに、酸化層２８２の表面を覆う熱酸化膜２３４を形成する。これにより、幅狭トレンチ２８６内は熱酸化膜２３４によって充填される。一方、幅広トレンチ２８４の幅は十分に大きいために、幅広トレンチ２８４内は熱酸化膜２３４で充填されない状態が得られる。幅広トレンチ２８４内には空隙が残存することになる。

次に、図２０に示すように、例えばウェットエッチングを用いてエッチバックを実施する。このとき、幅広トレンチ２８４内に形成されている熱酸化膜２３４は、エッチング液と接触する面積が広いので完全に除去される。一方、幅狭トレンチ２８６内の熱酸化膜２３４は、エッチング液と接触する面積が小さいので除去されずに残存する。

【００３５】

INTEL - 1004
Page 238 of 492

次に、図２１に示すように、半導体層２２６の幅広トレンチ２８４を画定する側壁が、その底部まで露出する角度から斜めイオン注入法を実施してイオン注入領域（図中×で示す）を形成する。なお、この斜めイオン注入法は、ＳＯＩ基板２２０を面内で回転させながらイオンを注入するいわゆる回転注入によって実施してもよい。また、酸化層２８２の存在によって、半導体層２２６の表面にイオンが注入されることは防止されている。

次に、図２２に示すように、約１１００℃、３０minの熱処理を実施する。これにより、半導体層２２６の幅広トレンチ２８４を画定する側壁に沿って注入されていたイオンが拡散するので、ｐ＋型のボディ拡散領域２５２が形成される。次に、酸化層２８２をウェットエッチングによって除去する。

次に、図２３に示すように、例えば減圧ＣＶＤ法を利用することによって、幅広トレンチ２８４を充填するとともに、半導体層２２６の表面を覆うＴＥＯＳ（Tetra Ethyl Ortho Silicate）膜２９２を形成する。これにより、幅広トレンチ２８４が絶縁体で充填された状態を得ることができる。この段階で、絶縁体で区画されている島状の半導体層２２６を得るとともに、幅広トレンチ２８４を画定する半導体層２２６の側壁にはボディ拡散領域２５２が形成されており、幅狭トレンチ２８６を画定する半導体層２２６の側壁にはボディ拡散領域２５２が形成されていない状態が得られるのである。

なお、この後の工程は、従来既知の製造方法を利用することによって、図１に示すＬＤＭＯＳを得ることができる。

【００３６】

（第４製造方法）

図２４～３０を参照して、第４製造方法を説明する。

まず、図２４に示すように、ＳＯＩ基板３２０を準備する。このＳＯＩ基板３２０は、ｐ＋型の半導体層３２２と酸化シリコンからなる埋込み絶縁層３２４とｎ－型の半導体層３２６（後にドリフト領域３２６が形成されるので、図番号を３２６で便宜上統一する）がこの順で積層されている構造からなる。ＳＯＩ基板３２０は、1Ω・cm程度のボロンを含有するシリコンウェハの表面を熱酸化し、約3μmの酸化膜(埋込み絶縁層３２４となる)を形成した後に、リンを含有する約30μmの厚みのシリコンウェハを貼り合わせることで作成することができる。

このＳＯＩ基板３２０の半導体層３２６の表面にＨＴＯ（High Temperature Oxide）層からなる酸化層３８２（遮蔽層の一例である）を約3.5μmの厚みで形成する。ｐ＋型の半導体層３２２と埋込み絶縁層３２４とｎ－型の半導体層３２６と酸化層３８２を半導体基板３２１ということができる。次に、この酸化層３８２の表面に第１フォトレジスト膜３９２を形成する。この第１フォトレジスト膜３９２はポジ型の性質を有している。したがって、光を吸収した部分において化学反応が起き、その部分が除去される。

【００３７】

次に、図２４に示すように、幅広な開口３９４ａと幅狭な開口３９４ｂの異なる幅を有しているレチクルガラスマスク３９４を用意する。この開口３９４ａ、３９４ｂが形成されているレチクルガラスマスク３９４を通して第１フォトレジスト膜３９２を露光する。これにより、レチクルガラスマスク３９４の開口３９４ａ、３９４ｂのパターンが第１フォトレジスト膜３９２に転写される。したがって、レチクルガラスマスク３９４の開口３９４ａ、３９４ｂのパターンに沿って、第１フォトレジスト膜３９２には、幅広に除去される領域３９２ａ（以下、除去領域３９２ａという）と、幅狭に除去される領域３９２ｂ（以下、除去領域３９２ｂという）が形成される。このとき、側壁にｐ＋型のボディ拡散領域３５２を形成するトレンチ形成部は、幅広な除去領域３９２ａに対応している。側壁にボディ拡散領域３５２を形成しないトレンチ形成部は、幅狭な除去領域３９２ｂに対応している。

【００３８】

この段階の平面図を図２５に示す。なお、図２５のＡ－Ａ線断面が図２４の要部断面図に対応している。

図２５に示すように、第１フォトレジスト膜３９２の幅広な除去領域３９２ａは

INTEL - 1004
Page 239 of 492

上下方向に長手方向を有して伸びて形成されており、その幅はWwideである。一方、第１フォトレジスト膜３９２の幅狭な除去領域３９２ｂは、その直径がWnarrowの円状で形成されており、且つその円状の除去領域３９２ｂの各々が分散配置されている。幅広な除去領域３９２ａと幅狭な除去領域３９２ｂは、矩形の各辺を成すように形成されている。幅広な除去領域３９２ａは矩形の一つの辺を形成し、幅狭な除去領域３９２ｂは矩形の他の３つの辺を形成するように分散配置している。また、幅狭な除去領域３９２ｂは、隣り合う間隔が所定幅Ｗｄ以下となるように分散配置されている。ここで、Wwideは約6.8μｍであり、Wnarrowは約0.5μｍであり、Ｗｄは0.5μｍである。

【００３９】

次に、図２６に示すように、第１フォトレジスト膜３９２の除去領域３９２ａ、３９２ｂにおいて第１フォトレジスト膜３９２から露出している酸化層３８２の表面から、異方性のドライエッチングをすることによって、酸化層３８２を貫通して半導体層３２６に侵入し、さらに埋込み絶縁層３２４まで到達する幅広トレンチ３８４と幅狭３８６を形成する。トレンチ３８４、３８６を形成した後に、第１フォトレジスト膜３９２を除去する。

【００４０】

次に図２７に示すように、トレンチ３８４、３８６に向けてイオン注入角度θで斜め方向からイオンを注入する。図中の実線矢印が、注入されるイオンの注入方向を表している。本明細書でいう斜めイオンの注入角度θとは、半導体層３２６の表面に立てた法線と、イオン注入方向の成す角である。

なお、本実施例では、図２８の平面図の図示３１２に示すように、平面視したときに、トレンチ３８４の長手方向に対して傾斜した方向からイオンが注入される。図示３１２は、注入されるイオン注入方向を酸化層３８２に正射影したときの射影線であり、この射影線とトレンチ３８４の長手方向との成す角がφである。この場合も、酸化層３８２の表面の法線と斜めイオンの注入方向の成す角はθであることに留意されたい。

ここで、幅広トレンチ３８４のトレンチ幅がWwideであり、分散している幅狭トレンチ３８６のトレンチ径がWnarrowであり、酸化層３８２の膜厚がＴmaskであり、トレンチ３８４の深さがＤtrenchであるとすると、イオン注入角度θを次の関係式を満たす角度範囲に設定すると、半導体層３２６の幅広トレンチ３８４を画定する側壁の底部までイオンが注入されるとともに、半導体層３２６の幅狭トレンチ３８６を画定する側壁にはイオンが注入されない現象を得ることができる。

$$Wnarrow/\cos(90^\circ-\phi) < Tmask/\tan(90^\circ-\theta) \quad (1)$$

$$Wwide/\cos(90^\circ-\phi) > (Dtrench+Tmask)/\tan(90^\circ-\theta) \quad (2)$$

【００４１】

上記の関係式(１)を満たすイオン注入角度θを利用すると、半導体層３２６の幅狭トレンチ３８６を画定する側壁にはイオンが注入されない状態を得ることができる。つまり、半導体層３２６の幅狭トレンチ３８６を画定する側壁は、酸化層３８２の膜厚Ｔmaskによってイオン注入方向に遮蔽され、イオンはその側壁に届くことができない。

上記の関係式(２)を満たすイオン注入角度θを利用すると、半導体層３２６の幅広トレンチ３８４を画定する側壁は、その底部までイオンの注入方向に露出され、その側壁の底部に至るまでイオンが注入される状態を得ることができる。

上記の関係式(１)と(２)のいずれも満たす角度範囲でイオン注入角度θを設定すると、半導体層３２６の幅広トレンチ３８４を画定する側壁に沿って選択的にイオンを注入することができる。

【００４２】

なお、上記の関係式の左辺のcos(90°－φ)は、トレンチの長手方向に対して、傾斜した方向からイオンが注入される場合に、見かけ上のトレンチの幅が広くなることを考慮している。本実施例の場合、幅狭トレンチ３８６は円状であるので、その幅Wnarrowは、あらゆるφに対して一定となる。したがって、見かけ上のトレンチ幅が変動しないことから、上記の（１）式は、

$$Wnarrow < Tmask/\tan(90^\circ-\theta)$$

INTEL - 1004
Page 240 of 492

と単純化することができる。さらに、トレンチの長手方向とイオン注入方向が直交している場合には、ϕ＝90°であり、cos(90°－ϕ)＝１である。したがって、上記の（２）式は、

Wwide＞(Dtrench＋Tmask)/tan(90°－θ)

と単純化することができる。また、ＳＯＩ基板３２０を面内で回転させながらイオンを注入するいわゆる回転注入によって実施する場合、見かけ上の幅が最も短くなる条件、すなわちcos(90°－ϕ)＝１の条件を考慮すれば足りることになる。したがって、回転注入の場合も、上記の（２）式は、

Wwide＞(Dtrench＋Tmask)/tan(90°－θ)

と単純化することができる。

なお、上記の（２）式は、第１～第３製造方法において、トレンチにイオンを注入する工程のイオン注入角度を決定する際にも適用することができる。

【００４３】

本実施例では、図２７に示すように、トレンチ３８４、３８６を形成した段階で、酸化層３８２の膜厚Tmaskが約3.5μmから約3.0μmに減少していることを考慮して、ボロンイオンの注入角度を10°に設定する。これにより、幅広トレンチ３８４を画定する半導体層３２６の側壁に沿ってイオンが注入される一方、幅狭トレンチ３８６を画定する半導体層３２６の側壁にはイオンが注入されない状態を得ることができる。

【００４４】

次に、図２９に示すように、斜めイオン注入を実施した後に、約１１００℃、３０minの熱処理を実施する。これにより、幅広トレンチ３８４を画定する半導体層３２６の側壁に沿って注入されていたイオンが拡散するので、ｐ＋型のボディ拡散領域３５２が形成される。この熱処理の工程を適当な酸素雰囲気下で行うと、幅狭トレンチ３８６内は酸化シリコンからなる熱酸化領域３３４で充填される。これにより絶縁分離用トレンチ３３４が形成される。一方、幅広トレンチ３８４内には、左右の側壁から約0.50μmの熱酸化領域３３６が形成されるが、幅広トレンチ３８４の幅が十分に広いので充填はされない。幅広トレンチ３８４内に空隙が残存することになる。

【００４５】

さらに、このときの熱処理において形成される熱酸化領域３３４、３３６は、半導体層３２６側にも幅Ｗｅで広がっている。

この段階の平面図を図３０に示す。図３０に示すように、幅狭トレンチ３８６内を充填する熱酸化領域３３４は、隣り合う幅狭トレンチ３８６から半導体層３２６側に広がるので、各々の熱酸化領域３３４が連結する。これにより、矩形の一つの辺を形成する幅広トレンチ３８４の熱酸化領域３３６と、矩形の他の３つの辺を形成する幅狭トレンチ３８６の熱酸化領域３３４は一巡する。したがって、その内側には、他の領域から絶縁分離されている島状領域が形成される。なお、この島状領域が後にドリフト領域３２６となるのである。

【００４６】

次に、酸化層３８２と幅広トレンチ３８４の側壁に形成された熱酸化領域３３６をウェットエッチングによって除去する。このとき、幅狭トレンチ３３４内には、エッチング材がほとんど侵入できないので、幅狭トレンチ３３４の熱酸化領域３３４は充填されたまま残存する。一方、幅広トレンチ３８４内には、空隙を利用してエッチング材が侵入するので、熱酸化領域３３６は除去される。次に、例えば減圧ＣＶＤ法等を利用することによって、幅広トレンチ３８４を充填するＴＥＯＳ（Tetra Ethyl Ortho Silicate）膜等を形成する。これにより、幅広トレンチ３８４が絶縁体で充填された状態を得ることができる。

なお、この後の工程は、従来既知の製造方法を利用することによって、図１に示すＬＤＭＯＳを得ることができる。

【００４７】

上記の実施例では、横型のＬＤＭＯＳが形成されている島状領域において、その島状領域を区画する絶縁分離用トレンチを製造する方法を説明してきた。しかしながら、上記の

INTEL - 1004
Page 241 of 492

製造方法は、なにも横型のＬＤＭＯＳに限らず、さまざまな種類の半導体装置が形成されている島状領域の絶縁分離用トレンチにおいても有効な製造方法である。

図３１に、上記の実施例の製造方法を好適に利用することができる半導体装置の例を列挙する。

図３１（ａ）は、ｐ型チャネルが形成されるＬＤＭＯＳの一例である。

ドレイン電極Ｄとソース電極Ｓの間に順方向電圧を印加した状態で、ゲート電極Ｇにソース電極Ｓよりも負電圧を印加すると、ゲート電極Ｇに対向するボディ領域４４２にｐ型反転層が形成され、このＬＤＭＯＳはターンオンする。

【００４８】

図３１（ｂ）は、横型ＩＧＢＴの一例である。

カソード電極Ｋとアノード電極Ａの間に順方向電圧を印加した状態で、ゲート電極Ｇに正電圧を印加すると、カソード電極Ｋからドリフト領域４２６に向けて電子キャリアが注入されるとともに、アノード電極Ａからドリフト領域４２６に向けて正孔キャリアが注入される。これによりドリフト領域４２６内に伝導度変調が生じ、低いオン電圧が実現される。

【００４９】

図３１（ｃ）は、横型ダイオードの一例である。

アノード電極Ａ側にカソード電極Ｋよりも正電圧を印加すると、この間のｐｎ接合が順バイアスされて、このダイオードがターンオンされる。

【００５０】

図３１（ｄ）は、横型サイリスタの一例である。

カソード電極Ｋとアノード電極Ａの間に順方向電圧を印加した状態で、ゲート電極Ｇからトリガー電流を供給すると、このサイリスタがターンオンされる。

【００５１】

以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

【図面の簡単な説明】

【００５２】

【図１】実施例のＬＤＭＯＳの要部断面図を示す。

【図２】実施例の絶縁分離用トレンチを平面視したときの平面図を示す。

【図３】第１製造方法の製造工程を示す（１）。

【図４】第１製造方法の製造工程を示す（２）。

【図５】第１製造方法の製造工程を示す（３）。

【図６】第１製造方法の製造工程を示す（４）。

【図７】第１製造方法の製造工程を示す（５）。

【図８】第１製造方法の製造工程を示す（６）。

【図９】第１製造方法の製造工程を示す（７）。

【図１０】第１製造方法の製造工程を示す（８）。

【図１１】第１製造方法の製造工程を示す（９）。

【図１２】第２製造方法の製造工程を示す（１）。

【図１３】第２製造方法の製造工程を示す（２）。

【図１４】第２製造方法の製造工程を示す（３）。

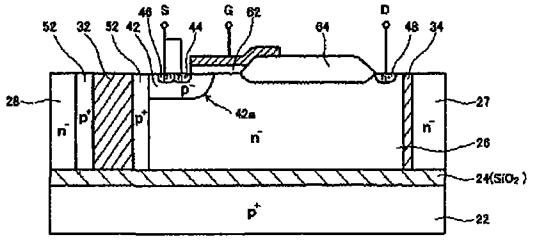
【図１５】第２製造方法の製造工程を示す（４）。

【図１６】第２製造方法の製造工程を示す（５）。

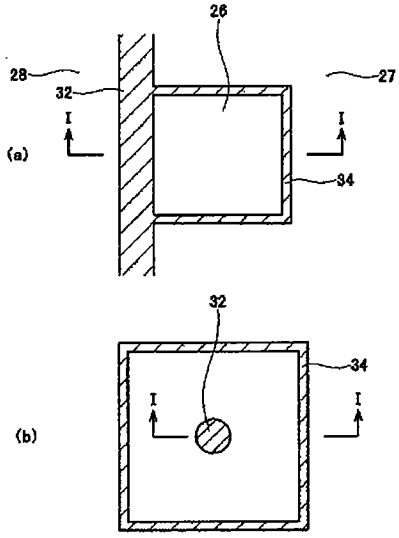
【図１７】第２製造方法の製造工程を示す（１）

【図１８】第３製造方法の製造工程を示す（２）。
【図１９】第３製造方法の製造工程を示す（３）。
【図２０】第３製造方法の製造工程を示す（４）。
【図２１】第３製造方法の製造工程を示す（５）。
【図２２】第３製造方法の製造工程を示す（６）。
【図２３】第３製造方法の製造工程を示す（７）。
【図２４】第４製造方法の製造工程を示す（１）。
【図２５】第１フォトレジスト膜の除去領域を平面視したときの平面図を示す。
【図２６】第４製造方法の製造工程を示す（２）。
【図２７】第４製造方法の製造工程を示す（３）。
【図２８】トレンチの長手方向とイオン注入方向との関係を示す。
【図２９】第４製造方法の製造工程を示す（４）。
【図３０】熱酸化領域を平面視したときの平面図を示す。
【図３１】変形例の要部断面図を示す。
【図３２】従来技術の要部断面図を示す。
【符号の説明】
【００５３】
２２：ｐ＋型の半導体層
２４：埋込み絶縁層２４
２６：ドリフト領域
３２、３４：絶縁分離用トレンチ
４２：ボディ領域
４４：ソース領域
４６：ボディコンタクト領域
４８：ドレイン領域
５２：ボディ拡散領域(イオン注入領域の一例)
６２：ゲート絶縁膜
９２：第１フォトレジスト膜
９４：レチクルガラスマスク
９６：第２フォトレジスト膜
１９８：硬化性反応物質

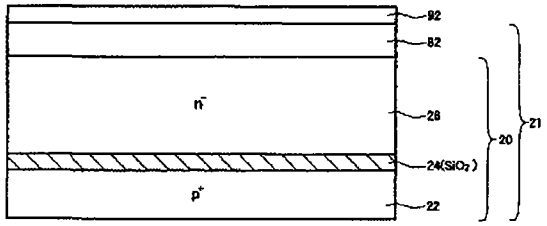
【図１】



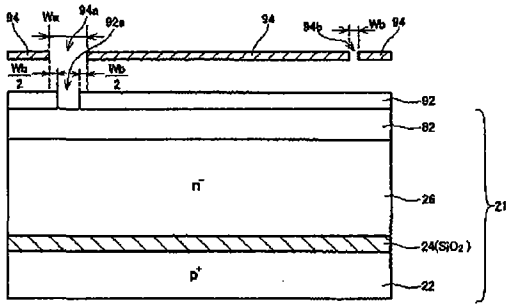
【図２】



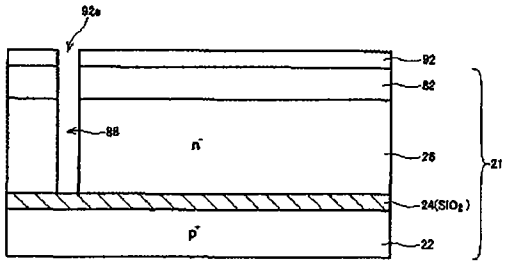
【図３】



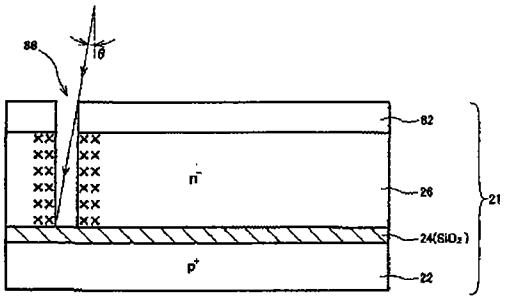
【図４】



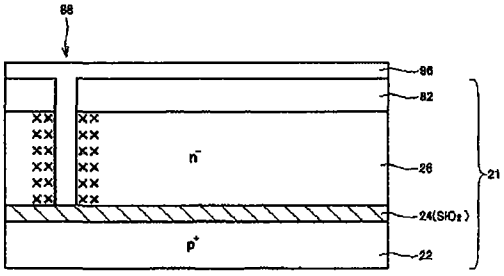
【図５】



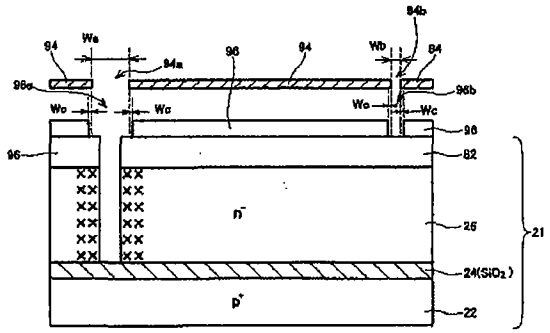
【図６】



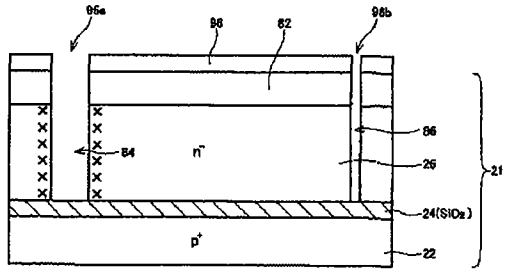
【図７】



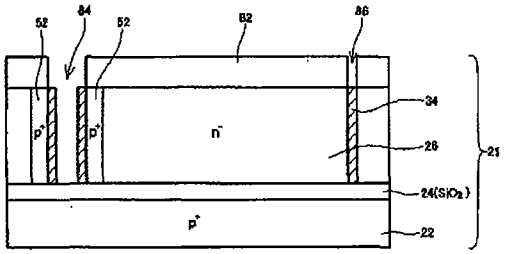
【図８】



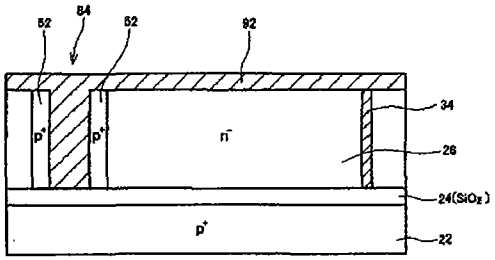
【図９】



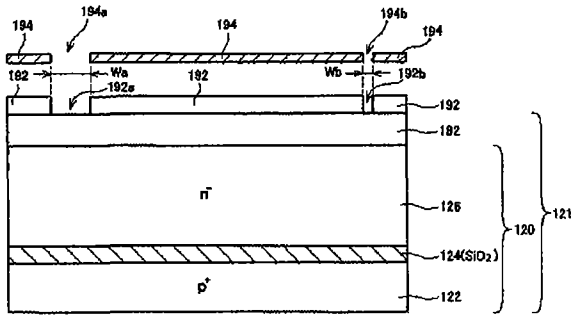
【図１０】



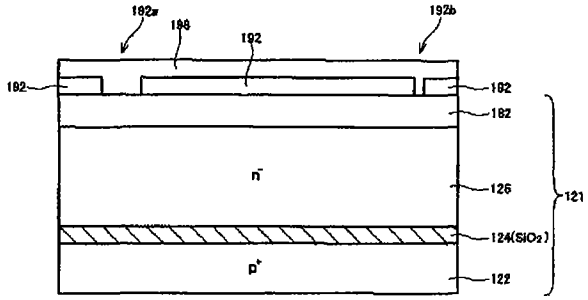
【図１１】



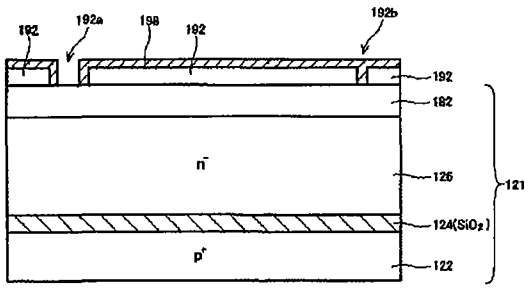
【図１２】



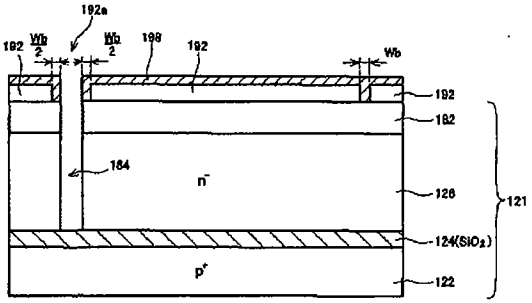
【図１３】



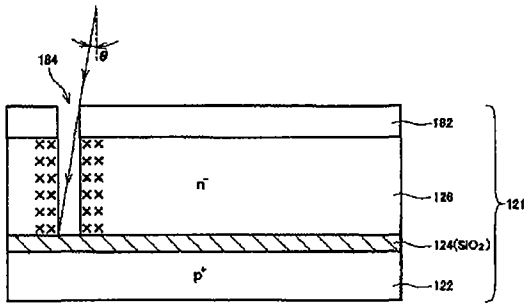
【図１４】



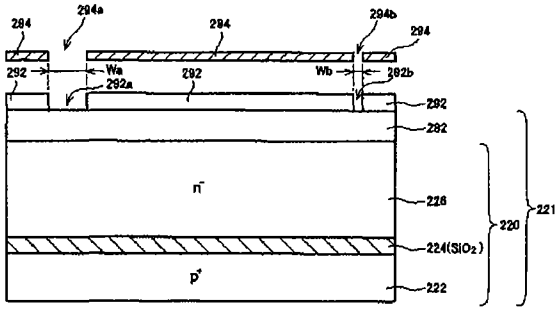
【図１５】



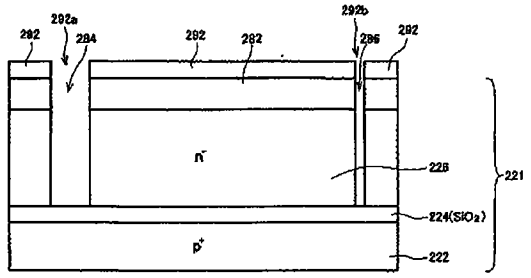
【図１６】



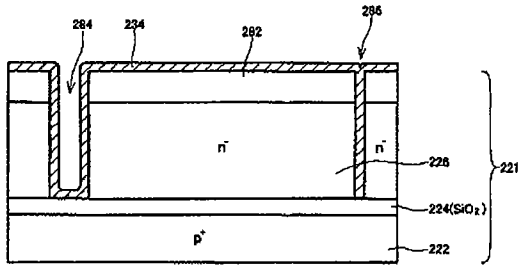
【図１７】



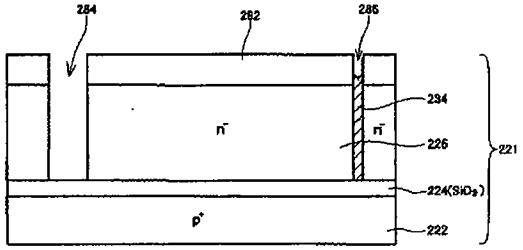
【図１８】



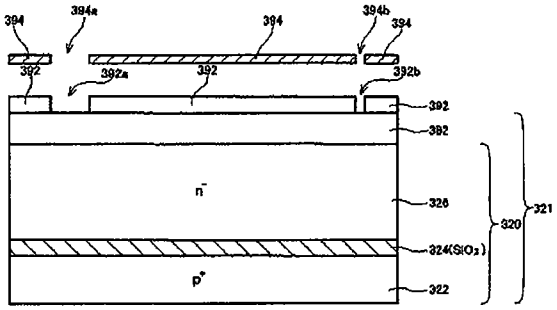
【図１９】



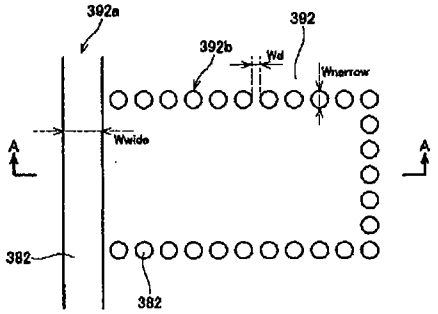
【図２０】



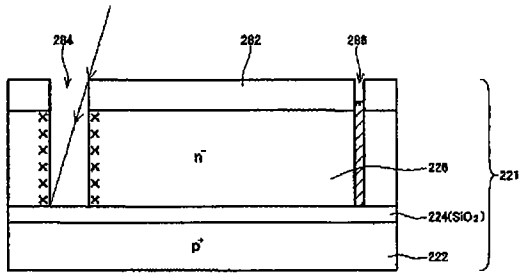
【図２４】



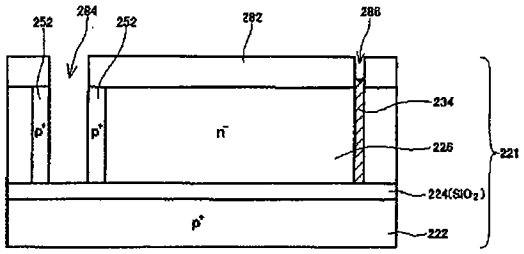
【図２５】



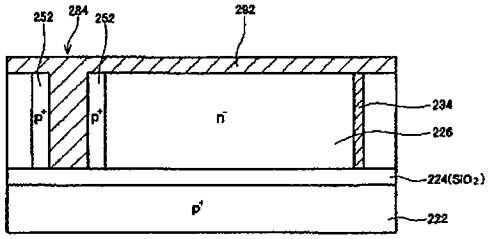
【図２１】



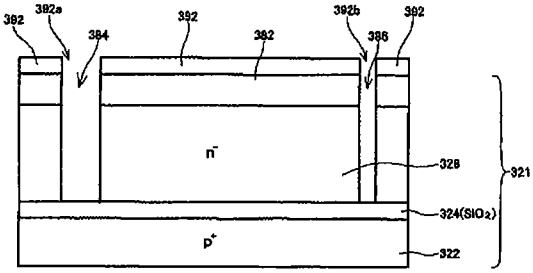
【図２２】



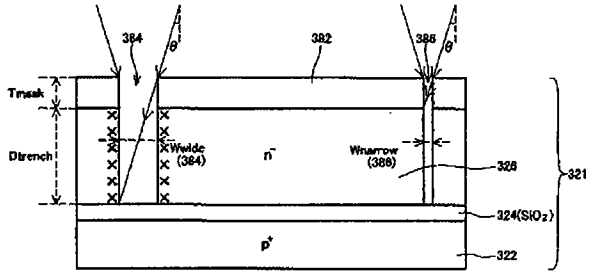
【図２３】



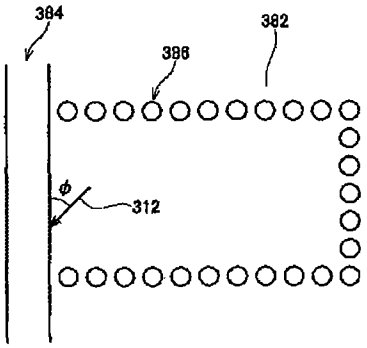
【図２６】



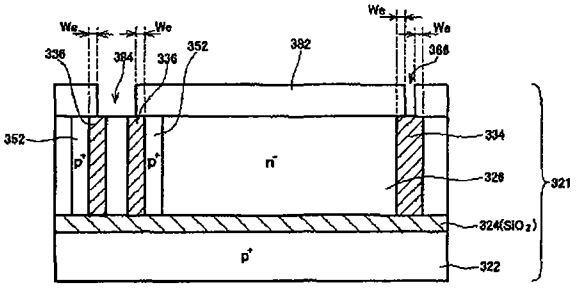
【図２７】



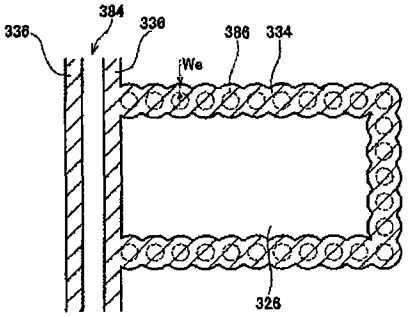
【図２８】



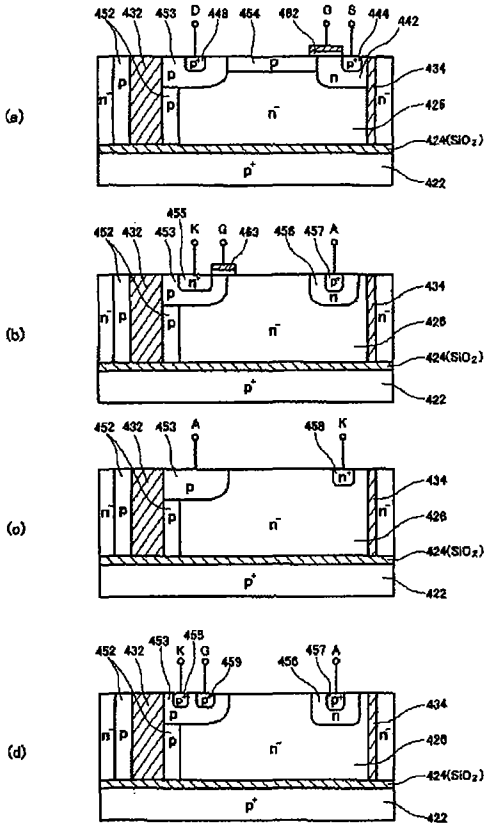
【図２９】



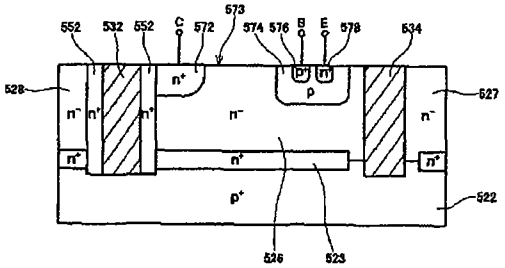
【図３０】



【図３１】



【図３２】



フロントページの続き

(51)Int.Cl.			F I			テーマコード（参考）
Ｈ０１Ｌ	21/329	(2006.01)	Ｈ０１Ｌ	29/91	Ａ	
Ｈ０１Ｌ	29/74	(2006.01)	Ｈ０１Ｌ	29/74	Ｇ	
Ｈ０１Ｌ	29/861	(2006.01)	Ｈ０１Ｌ	29/91	Ｌ	

(72)発明者　早川　清春
愛知県愛知郡長久手町大字長湫字横道４１番地の１　株式会社豊田中央研究所内
(72)発明者　石子　雅康
愛知県愛知郡長久手町大字長湫字横道４１番地の１　株式会社豊田中央研究所内

Ｆターム(参考) 5F005 AF01 AH03 BB01 BB02 CA02
5F032 AA06 AA35 AA44 AA77 AA78 BA02 BA05 BA08 CA17 DA03
DA23 DA25 DA27 DA33 DA34 DA44 DA67 DA71 DA74 DA77
5F110 AA30 BB12 CC02 DD05 DD13 GG02 GG12 GG37 HM12 NN62
QQ01 QQ17 QQ19

INTEL - 1004
Page 248 of 492

Electronic Acknowledgement Receipt

EFS ID:	3550461
Application Number:	12025504
International Application Number:	
Confirmation Number:	1386
Title of Invention:	SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME
First Named Inventor/Applicant Name:	Yuichiro SASAKI
Customer Number:	53080
Filer:	Michael E. Fogarty/Wes Patterson
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	079195-0378
Receipt Date:	01-JUL-2008
Filing Date:	04-FEB-2008
Time Stamp:	15:42:53
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes) /Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement Letter	079195-0378IDS.pdf	86880 de72616c10ea64437edc1be75a395d695d4fafc5	no	3

Warnings:	
Information:	

2	NPL Documents	079195-0378ISR.pdf	735099 b260951e6948a72672468af3dacfe4baae4b094a	no	14
Warnings:					
Information:					
3	Foreign Reference	079195-0378Ref1.pdf	2305995 2604cb8b9ebed945b0063d043b1188bb424a69c8	no	31
Warnings:					
Information:					
4	Foreign Reference	079195-0378Ref2.pdf	1657706 163981063bb333018c5950b5b1c3c16de5eb1072	no	26
Warnings:					
Information:					
5	Foreign Reference	079195-0378Ref3.pdf	1949669 de50a4e97250462ca6807c7a76ceb69a9a0a161a	no	27
Warnings:					
Information:					
		Total Files Size (in bytes):	6735349		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
12/025,504	02/04/2008	Yuichiro SASAKI	079195-0378

CONFIRMATION NO. 1386

53080
MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

PUBLICATION NOTICE



Date Mailed: 07/31/2008

Title:SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

Publication No.US-2008-0179683-A1
Publication Date:07/31/2008

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Office of Public Records. The Office of Public Records can be reached by telephone at (703) 308-9726 or (800) 972-6382, by facsimile at (703) 305-8759, by mail addressed to the United States Patent and Trademark Office, Office of Public Records, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently http://pair.uspto.gov/. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Managment, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

Docket No.: 079195-0378 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Yuichiro SASAKI, et al.	:	Confirmation Number: 1386
Application No.: 12/025,504	:	Group Art Unit: 2812
Filed: February 04, 2008	:	Examiner: Not Yet Assigned

For: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

LETTER TO SUBMIT FRONT PAGE OF INTERNATIONAL PUBLICATION AND ENGLISH-TRANSLATED INTERNATIONAL SEARCH REPORT

Mail Stop OIPE
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Attached are copies of the front page of the International Publication and the English translation of the International Search Report received from the International Bureau of WIPO for the corresponding PCT application of the above-referenced application. Please note that all references listed on the English translation of the International Search Report were previously submitted to the U.S. Patent and Trademark Office on July 1, 2008. It is requested that the U.S. Patent and Trademark Office records be updated to include these documents.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:kfm
Facsimile: 202.756.8087
Date: September 9, 2008

Electronic Acknowledgement Receipt

EFS ID:	3912115
Application Number:	12025504
International Application Number:	
Confirmation Number:	1386
Title of Invention:	SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME
First Named Inventor/Applicant Name:	Yuichiro SASAKI
Customer Number:	53080
Filer:	Michael E. Fogarty/Kathrina Maramba
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	079195-0378
Receipt Date:	09-SEP-2008
Filing Date:	04-FEB-2008
Time Stamp:	15:55:25
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Miscellaneous Incoming Letter	P04783002_MISC_0791950378f rntpgpubappengisr.PDF	272884 8ad41c3179bb565e07153dcfe75e8fc6e0e8f3df	no	6

Warnings:	
Information:	

Total Files Size (in bytes):	272884

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/025,504	02/04/2008	Yuichiro SASAKI	079195-0378	1386

53080 7590 07/20/2009

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

EXAMINER	
TRAN, TAN N	

ART UNIT	PAPER NUMBER
2826	

MAIL DATE	DELIVERY MODE
07/20/2009	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Office Action Summary	Application No.	Applicant(s)	
	12/025,504	SASAKI ET AL.	
	Examiner	Art Unit	
	TAN N. TRAN	2826	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE *1* MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *04 February 2008*.

2a)☐ This action is **FINAL**. 2b)☐ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *1-32* is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☐ Claim(s) _____ is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☒ Claim(s) *1-32* are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☐ The drawing(s) filed on _____ is/are: a)☐ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☐ All b)☐ Some * c)☐ None of:

1.☐ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☐ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☐ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date _____.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

DETAILED ACTION

Election/Restrictions

1. Restriction is required under 35 U.S.C. 121 and 372.

This application contains the following inventions or groups of inventions which are not so linked as to form a single general inventive concept under PCT Rule 13.1.

In accordance with 37 CFR 1.499, applicant is required, in reply to this action, to elect a single invention to which the claims must be restricted.

I. Claims 1 - 17, 32, 33, drawn to a semiconductor device, classified in class 257, subclass 368.

II. Claims 18 - 31, drawn to a method of manufacturing a semiconductor device, classified in class 438, subclass 199.

2. The inventions are distinct, each from the other because of the following reasons:

The inventions listed as Groups II, I do not relate to a single general inventive concept under PCT Rule 13.1 because, under PCT Rule 13.2, they lack the same or corresponding special technical features for the following reasons: the special technical feature of group II having implanting method in order to form a first impurity region in an upper portion of the first semiconductor region while group I does not comprise implanting method in order to form a first impurity region in an upper portion of the first semiconductor region.

Applicant is advised that the reply to this requirement to be complete must include (i) an election of a species or invention to be examined even though the requirement may be traversed (37 CFR 1.143) and (ii) identification of the claims encompassing the elected invention.

The election of an invention or species may be made with or without traverse. To preserve a right to petition, the election must be made with traverse. If the reply does not distinctly and specifically point out supposed errors in the restriction requirement, the election shall be treated as an election without traverse.

3. Any inquiry concerning this communication or earlier communications from the examiner should be directed to TAN N. TRAN whose telephone number is (571) 272-1923. The examiner can normally be reached on 8:30-5:00PM.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, **PURVIS SUE** can be reached on (571) 272-1236. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/TAN N TRAN/
Examiner, Art Unit 2826

OIPE
AUG 17 2009
PATENT & TRADEMARK OFFICE

Attorney Docket No.: **79195-378**
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	
	:	Customer No. 53080
Yuichiro SASAKI, et al.	:	
	:	Confirmation No.: 1386
Application No.: 12/025,504	:	
	:	Group Art Unit: 2826
Filed: February 4, 2008	:	Examiner: TAN N. TRAN
	:	

For: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

ELECTION UNDER 35 U.S.C. § 121

Mail Stop Amendment
Hon. Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In response to the restriction requirement set forth in the Office Action mailed July 20, 2009, having a shortened statutory period for response set to expire August 20, 2009, wherein the Examiner required restriction between the following Groups:

Group I: Claims 1-17, 32 and 33, drawn to a semiconductor device; and

Group II: Claims 18-31, drawn to a method of manufacturing a semiconductor device.

Applicants elect Group I for initial prosecution on the merits. Applicants also reserve the right to file a Divisional Application for the non-elected claims which the Examiner has indicated are patentably distinct.

Applicants believe that no extension of time is required. However, this conditional petition is being made to provide for the possibility that Applicants have inadvertently overlooked the need for a petition for extension of time.

The Commissioner is hereby authorized to charge any additional fees associated with this communication or credit any overpayment to Deposit Account No. 50-0417.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Date: 8/14/09

By: _____
Michael E. Fogarty
Registration No.: 36,139

600 13th Street, N.W., Suite 1200
Washington, D.C. 20005-3096
Telephone: 202 756 8000
Facsimile: 202 756 8087

WDC99 1757616-1.079195.0378

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/025,504	02/04/2008	Yuichiro SASAKI	079195-0378	1386

53080 7590 12/29/2009

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

EXAMINER	
TRAN, TAN N	
ART UNIT	PAPER NUMBER
2826	

MAIL DATE	DELIVERY MODE
12/29/2009	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Office Action Summary	Application No.	Applicant(s)	
	12/025,504	SASAKI ET AL.	
	Examiner	Art Unit	
	TAN N. TRAN	2826	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE *3* MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *17 August 2009*.

2a)☐ This action is **FINAL**. 2b)☒ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *1-33* is/are pending in the application.

4a) Of the above claim(s) *18-31* is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) *1-17,32 and 33* is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☐ The drawing(s) filed on _____ is/are: a)☐ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☒ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☒ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date *02/04/08;07/01/08*.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

DETAILED ACTION

Election/Restriction

1. Applicant's election without traverse of Group I, claims 1 - 17, 32, 33 is acknowledged.

Claim Objections

2. Claim 2 is objected to because of the following informalities:

In claim 2, lines 1, 2 "a junction depth of the second impurity region is substantially equal to or greater than that of the first impurity region" is unclear as to whether it is being referred to a height of the second impurity region is substantially equal to or greater than a thickness of the first impurity region.

Appropriate correction is required.

Claim Rejections - 35 USC § 103

3. The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

> (a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negatived by the manner in which the invention was made.

4. Claims 1 - 17, 32, 33 are rejected under 35 U.S.C. 103(a) as being unpatentable over Mathew et al (7,238,601).

With regard to **claims 1, 13, 32, 33,** Mathew et al. disclose a semiconductor device (figs. 3 - 7), comprising:

a first semiconductor region (12, 18) formed on a substrate (16) and having an upper surface and a side surface;

a first impurity region (referred herein below as "34A" by examiner's annotation) of a first conductivity type (the same conductivity type of region 12) formed in an upper portion of the first semiconductor region (12);

and a second impurity region (referred herein below as "34B" by examiner's annotation) of a first conductivity type (the same conductivity type of region 12) formed in a side portion of the first semiconductor region (12, 18),

Mathew et al. is silent that a resistivity of the second impurity region (34B) is substantially equal to that of the first impurity region (34A). However, it would have been obvious to one of ordinary skill in the art at the time of the claimed invention having a resistivity of the second impurity region is substantially equal to that of the first impurity region because the conductive layer 32 deposited on top and side of the region 12 the same time (see fig. 3) wherein the single layer 34 constituted by the region 12 and conductive layer 32, and wherein the regions (34A, 34B) are a substantially uniform regions and formed within the same single layer 34.

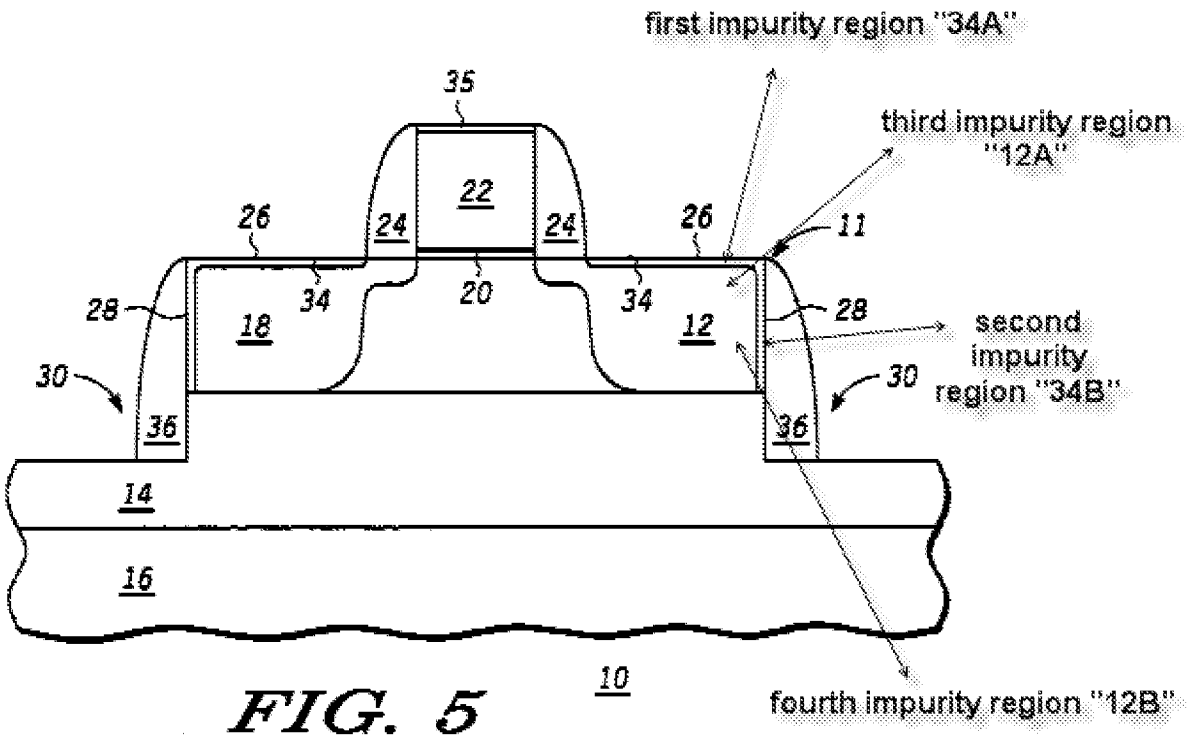


FIG. 5

With regard to **claim 2**, Mathew et al. disclose a junction depth of the second impurity region (34B) is substantially equal to than that of the first impurity region (34A).

With regard to **claim 3**, Mathew et al. disclose the first semiconductor region (12, 18) has a fin shape.

With regard to **claim 4**, Mathew et al. disclose the first semiconductor region (12, 18) is formed on an insulating layer (14) formed on the substrate (16).

With regard to **claim 5**, Mathew et al. disclose a gate insulating film (20) formed at least on a side surface of the first semiconductor region (12, 18) in a predetermined portion of the first semiconductor region (12, 18); and a gate electrode (22) formed on the gate insulating film (20),

wherein the first impurity region and the second impurity region are formed in another portion of the first semiconductor region other than the predetermined portion.

With regard to **claim 6**, Mathew et al. disclose the gate insulating film (20) is formed also on an upper surface of the first semiconductor region (12, 18) in the predetermined portion of the first semiconductor region (12, 18).

With regard to **claims 7, 11, 15, 16,** Mathew et al. are silent that the first impurity region and the second impurity region are a P-type region. However, it would have been obvious to one of ordinary skill in the art to form the first impurity region and the second impurity region are a P-type extension region, because it is conventional in the art for semiconductor interchange the n-type to the p-type semiconductor or the p-type to the n-type semiconductor.

With regard to **claim 8**, Mathew et al. disclose an insulative sidewall spacer (24) formed on a side surface of the gate electrode (22); a third impurity region (referred herein above as "12A" by examiner's annotation) of a first conductivity type formed in an upper portion of the first semiconductor region (12, 18); and a fourth impurity region (referred herein above as "12B" by examiner's annotation) of a first conductivity type formed in a side portion of the first semiconductor region, wherein the third impurity region (12A) and the fourth impurity region (12B) are formed in a portion of the first semiconductor region (12, 18) which is located outside of the insulative sidewall spacer (24) and is provided in the other portion of the first semiconductor region (12, 18); and a resistivity of the fourth impurity region (12A) is substantially equal to that than that of the third impurity region (12B) (because the first and fourth impurity regions are formed in the same single layer 12.

With regard to **claim 9**, Mathew et al. are silent that the third impurity region and the fourth impurity region are a P-type region. However, it would have been obvious to one of ordinary skill in the art to form the third impurity region and the fourth impurity region are a P-type region, because it is conventional in the art for semiconductor interchange the n-type to the p-type semiconductor or the p-type to the n-type semiconductor.

With regard to **claim 10**, Mathew et al. disclose an insulative sidewall spacer (24) formed on a side surface of the gate electrode (22), wherein the first impurity region (34A) and the second impurity region (34B) are formed in a portion of the first semiconductor region (12, 18) which is located outside of the insulative sidewall spacer (24) and is provided in the other portion of the first semiconductor region (12, 18).

With regard to **claim 12**, fig. 7 of Mathew et al. disclose a height of the side surface of the first semiconductor region is greater than a width of the upper surface of the first semiconductor region in a gate width direction.

With regard to **claim 14**, Mathew et al. disclose a gate electrode (22) formed on each of the plurality of semiconductor regions with a gate insulating film (20) interposed therebetween, wherein the gate electrode (22) extends across the plurality of semiconductor regions in a gate width direction.

With regard to **claim 17**, Mathew et al. disclose a third semiconductor region connecting together end portions of the plurality of semiconductor regions on each side of the semiconductor regions in a gate length direction.

Double Patenting

5. A rejection based on double patenting of the "same invention" type finds its support in the language of 35 U.S.C. 101 which states that "whoever invents or discovers any new and useful process ... may obtain a patent therefor ..." (Emphasis added). Thus, the term "same invention," in this context, means an invention drawn to identical subject matter. See *Miller v. Eagle Mfg. Co.*, 151 U.S. 186 (1894); *In re Ockert*, 245 F.2d 467, 114 USPQ 330 (CCPA 1957); and *In re Vogel*, 422 F.2d 438, 164 USPQ 619 (CCPA 1970).

A statutory type (35 U.S.C. 101) double patenting rejection can be overcome by canceling or amending the conflicting claims so they are no longer coextensive in scope. The filing of a terminal disclaimer cannot overcome a double patenting rejection based upon 35 U.S.C. 101.

Claims 1 – 17, 32 – 33 are provisionally rejected under 35 U.S.C. 101 as claiming the same invention as that of claims 1 – 17 of copending Application No. 12/168,686. This is a provisional double patenting rejection since the conflicting claims have not in fact been patented.

6. The nonstatutory double patenting rejection is based on a judicially created doctrine grounded in public policy (a policy reflected in the statute) so as to prevent the unjustified or improper timewise extension of the "right to exclude" granted by a patent and to prevent possible harassment by multiple assignees. A nonstatutory obviousness-type double patenting rejection is appropriate where the conflicting claims are not identical, but at least one examined application claim is not patentably distinct from the reference claim(s) because the examined application claim is either anticipated by, or would have been obvious over, the reference claim(s). See, e.g., *In re Berg*, 140 F.3d 1428, 46 USPQ2d 1226 (Fed. Cir. 1998); *In re Goodman*, 11 F.3d 1046, 29 USPQ2d 2010 (Fed. Cir. 1993); *In re Longi*, 759 F.2d 887, 225 USPQ 645 (Fed. Cir. 1985); *In re Van Ornum*, 686 F.2d 937, 214 USPQ 761 (CCPA 1982); *In re Vogel*, 422 F.2d 438, 164 USPQ 619 (CCPA 1970); and *In re Thorington*, 418 F.2d 528, 163 USPQ 644 (CCPA 1969).

A timely filed terminal disclaimer in compliance with 37 CFR 1.321(c) or 1.321(d) may be used to overcome an actual or provisional rejection based on a nonstatutory double patenting ground provided the conflicting application or patent either is shown to be commonly owned with this application, or claims an invention made as a result of activities undertaken within the scope of a joint research agreement.

Effective January 1, 1994, a registered attorney or agent of record may sign a terminal disclaimer. A terminal disclaimer signed by the assignee must fully comply with 37 CFR 3.73(b).

Claims 1 - 17, 32, 33 are provisionally rejected on the ground of nonstatutory obviousness-type double patenting as being unpatentable over claims 1 - 23 of copending Application No. 12/193,861. Although the conflicting claims are not identical, they are not patentably distinct from each other.

This is a provisional obviousness-type double patenting rejection because the conflicting claims have not in fact been patented.

Conclusion

7. Any inquiry concerning this communication or earlier communications from the examiner should be directed to TAN N. TRAN whose telephone number is (571) 272-1923. The examiner can normally be reached on 8:30-5:00PM.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, PURVIS SUE can be reached on (571) 272-1236. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would

like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/TAN N TRAN/

Primary Examiner, Art Unit 2826

Notice of References Cited	Application/Control No. 12/025,504	Applicant(s)/Patent Under Reexamination SASAKI ET AL.	
	Examiner TAN N. TRAN	Art Unit 2826	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-7,238,601	07-2007	Mathew et al.	438/596
*	B	US-2008/0308871	12-2008	Sasaki et al.	257/368
*	C	US-2009/0026540	01-2009	Sasaki et al.	257/344
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	12025504	SASAKI ET AL.
	Examiner	Art Unit
	TAN N TRAN	2826

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	12/17/2009								
	1	✓								
	2	✓								
	3	✓								
	4	✓								
	5	✓								
	6	✓								
	7	✓								
	8	✓								
	9	✓								
	10	✓								
	11	✓								
	12	✓								
	13	✓								
	14	✓								
	15	✓								
	16	✓								
	17	✓								
	18	N								
	19	N								
	20	N								
	21	N								
	22	N								
	23	N								
	24	N								
	25	N								
	26	N								
	27	N								
	28	N								
	29	N								
	30	N								
	31	N								
	32	✓								
	33	✓								

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	12025504	SASAKI ET AL.
	Examiner	Art Unit
	TAN N TRAN	2826

SEARCHED

Class	Subclass	Date	Examiner
257	327	12/17/09	TT
257	328	12/17/09	TT
257	329	12/17/09	TT
257	347	12/17/09	TT
257	348	12/17/09	TT
257	349	12/17/09	TT
257	E51.005	12/17/09	TT

SEARCH NOTES

Search Notes	Date	Examiner
EAST (Text search, inventor search, interference search - please see history printout)	12/17/09	TT

INTERFERENCE SEARCH

Class	Subclass	Date	Examiner
257	327	12/17/09	TT

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S1	3498	finfet (fin near fet)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/10/14 15:17
S2	1989142	concentration	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/10/14 15:18
S3	1338	S1 and S2	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/10/14 15:18
S4	928	S3 and @ad<"20070122"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/10/14 15:20
S5	20953	(high$2 near3 (dose resistance)) with (source drain)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/10/14 15:58
S6	111	S1 and S5	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/10/14 15:58
S7	77	S6 and @ad<"20070122"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/10/14 15:58

EAST Search History (Prior Art)

S8	28934	((high$2 near3 dose) (low$3 near6 resistance)) with (source drain)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/10/14 16:00
S9	273	S1 and S8	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/10/14 16:00
S10	190	S9 and @ad<"20070122"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/10/14 16:00

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L10	161	dose with (source drain) near side	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/12/09 15:41
L11	146	10 and @ad<"20070122"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/12/09 15:42
L12	109	(finfet fin) with ((source drain) near (extension tip))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/12/09 16:38
L18	310	(finfet fin) same ((source drain impurity diffus$4) near2 (extension tip))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/12/09 16:40
L19	182	18 and @ad<"20070122"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/12/09 16:41
L20	24	(finfet fin) same (((source drain impurity diffus$4) near2 (extension tip)) with (resistance resistivity resistive dose))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/12/09 17:12
L21	12	20 and @ad<"20070122"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/12/09 17:12

EAST Search History (Prior Art)

L22	1430	(finfet fin) same (((source drain impurity diffus$4)) with (resistance resistivity resistive dose))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/12/09 17:14
L23	716	22 and @ad<"20070122"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/12/09 17:14

EAST Search History (Interference)

		<This search history is empty>				

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L12	100	((YUICHIRO) near2 (SASAKI)).INV.	US-PGPUB; USPAT	OR	OFF	2009/12/17 18:03
L13	33	((KATSUMI) near2 (OKASHITA)).INV.	US-PGPUB; USPAT	OR	OFF	2009/12/17 18:03
L14	15	((KEIICHI) near2 (NAKAMOTO)).INV.	US-PGPUB; USPAT	OR	OFF	2009/12/17 18:03
L15	242	((HIROYUKI) near2 (ITO)).INV.	US-PGPUB; USPAT	OR	OFF	2009/12/17 18:04
L16	92	((BUNJI) near2 (MIZUNO)).INV.	US-PGPUB; USPAT	OR	OFF	2009/12/17 18:04
L17	339	12 or 13 or 14 or 15 or 16	US-PGPUB; USPAT	OR	OFF	2009/12/17 18:04
L18	13	17 and fin	US-PGPUB; USPAT	OR	OFF	2009/12/17 18:04
L27	1482	257/327	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/12/17 18:33
L28	2302	257/328	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/12/17 18:33
L29	1901	257/329	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/12/17 18:33
L30	7528	257/347	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/12/17 18:34

EAST Search History (Prior Art)

L31	671	257/348	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/12/17 18:34
L32	1169	257/349	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/12/17 18:34
L33	207	257/E51.005	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/12/17 18:34
L34	12238	27 or 28 or 29 or 30 or 31 or 32 or 33	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/12/17 18:34
L35	4118	34 and (resistance resistivity) with (source drain impurity diffus$3)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/12/17 18:35
L36	253	35 and (fin finfet)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/12/17 18:35

EAST Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L23	14155	first near semiconductor near (region area film layer)	US-PGPUB; USPAT; UPAD	OR	ON	2009/12/17 18:32

EAST Search History (Interference)

L24	5207	second near impurity near (region area film layer)	US-PGPUB; USPAT; UPAD	OR	ON	2009/12/17 18:32
L25	147226	(resistance resistance) with (equal greater)	US-PGPUB; USPAT; UPAD	OR	ON	2009/12/17 18:32
L26	2	(23 and 24 and 25).clm.	US-PGPUB; USPAT; UPAD	OR	ON	2009/12/17 18:33

Receipt date: 02/04/2008

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Substitute for form 1449/PTO)

ATTY. DOCKET NO.	SERIAL NO.
079195-0378	~~Not Yet Assigned~~ 12/025,504
APPLICANT: Yuichiro SASAKI, et al.	
FILING DATE: February 04, 2008	GROUP: 2826 ~~Not Yet Assigned~~

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			
		US			

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Code3-Number 4-Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
/TT/		**JP 2006-196821**	**07-27-2006**	**FUJITSU LTD**		**Japanese (w/English Abstract)**	

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
/TT/		**LENOBLE D., et al., "Enhanced performance of PMOS MUGFET via integration of conformal plasma-doped source/drain extensions," 2006 Symposium on VLSI Technology Digest of Technical Papers, 2 pages.**

EXAMINER	DATE CONSIDERED
/Tan Tran/	12/17/2009

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

Receipt date: 07/01/2008

SHEET 1 OF 1

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Substitute for form 1449/PTO)

ATTY. DOCKET NO.	SERIAL NO.
079195-0378	12/025,504

APPLICANT: Yuichiro SASAKI, et al.

FILING DATE	GROUP
February 04, 2008	~~2842~~ 2826

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
/TT/		US	6,031,249	02-29-2000	Yamazaki et al.	Corresponds to JP 10-79517
/TT/		US	2007/0007524 A1	01-11-2007	You et al.	Corresponds to JP 2007-13145
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Codes-Number 4-Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
/TT/		JP 10-79517	03-24-1998	SEMICONDUCTOR ENERGY LAB	Corresponds to US 6,031,249	Japanese w/English Abstract	
/TT/		JP 2007-13145	01-18-2007	SAMSUNG ELECTRONICS CO LTD	Corresponds to US 2007/0007524 A1	Japanese w/English Abstract	
/TT/		JP 2006-164997	06-22-2006	TOYOTA MOTOR CORP		Japanese w/English Abstract	

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
/TT/		International Search Report issued in International Patent Application No. PCT/JP2008/050253, dated April 01, 2008.

EXAMINER	DATE CONSIDERED
/Tan Tran/	12/17/2009

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

Docket No.: 079195-0378 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Yuichiro SASAKI, et al.	:	Confirmation Number: 1386
Application No.: 12/025,504	:	Group Art Unit: 2826
Filed: February 04, 2008	:	Examiner: Tan Tran

For: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

AMENDMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In response to the Office Action dated December 29, 2009, wherein a three-month shortened statutory period for response is set to expire on March 29, 2010, Applicant respectfully requests reconsideration of the above-identified application in view of the following amendments and remarks.

AMENDMENT TO THE CLAIMS

The following claim listing replaces all prior listings and versions of the claims:

LISTING OF CLAIMS

1. (Currently amended) A semiconductor device, comprising:

a first semiconductor region of a first conductivity type formed on a substrate and having an upper surface and a side surface;

a first impurity region of a [[first]] second conductivity type formed in an upper portion of the first semiconductor region and made of a semiconductor; and

a second impurity region of a [[first]] second conductivity type formed in a side portion of the first semiconductor region and made of a semiconductor, wherein

a resistivity of the second impurity region is substantially equal to or smaller than that of the first impurity region.

2. (Currently amended) The semiconductor device of claim 1, wherein

a width ~~junction depth~~ of the second impurity region along a direction perpendicular to the side surface of the first semiconductor region is substantially equal to or greater than that of the first impurity region along a direction perpendicular to the upper surface of the first semiconductor region.

3. (Original) The semiconductor device of claim 1, wherein the first semiconductor region has a fin shape.

4. (Original) The semiconductor device of claim 1, wherein the first semiconductor region is formed on an insulating layer formed on the substrate.

5. (Original) The semiconductor device of claim 1, further comprising:

a gate insulating film formed at least on a side surface of the first semiconductor region in a predetermined portion of the first semiconductor region; and

a gate electrode formed on the gate insulating film,

wherein the first impurity region and the second impurity region are formed in another portion of the first semiconductor region other than the predetermined portion.

6. (Original) The semiconductor device of claim 5, wherein the gate insulating film is formed also on an upper surface of the first semiconductor region in the predetermined portion of the first semiconductor region.

7. (Original) The semiconductor device of claim 5, wherein the first impurity region and the second impurity region are a P-type extension region.

8. (Currently amended) The semiconductor device of claim 5, further comprising:

an insulative sidewall spacer formed on a side surface of the gate electrode;

a third impurity region of a [[first]] second conductivity type formed in an upper portion of the first semiconductor region and made of a semiconductor; and

a fourth impurity region of a [[first]] second conductivity type formed in a side portion of the first semiconductor region and made of a semiconductor, wherein:

the first impurity region and the second impurity region are formed in a portion of the first semiconductor region which is located under the insulative sidewall spacer and is provided in the other portion of the first semiconductor region;

the third impurity region and the fourth impurity region are formed in a portion of the first semiconductor region which is located outside of the insulative sidewall spacer and is provided in the other portion of the first semiconductor region; and

a resistivity of the fourth impurity region is substantially equal to or smaller than that of the third impurity region.

9. (Original) The semiconductor device of claim 8, wherein the third impurity region and the fourth impurity region are a P-type source-drain region.

10. (Original) The semiconductor device of claim 5, further comprising an insulative sidewall spacer formed on a side surface of the gate electrode,

wherein the first impurity region and the second impurity region are formed in a portion of the first semiconductor region which is located outside of the insulative sidewall spacer and is provided in the other portion of the first semiconductor region.

11. (Original) The semiconductor device of claim 5, wherein the first impurity region and the second impurity region are a P-type source-drain region.

12. (Original) The semiconductor device of claim 5, wherein a height of the side surface of the first semiconductor region is greater than a width of the upper surface of the first semiconductor region in a gate width direction.

13. (Currently amended) A semiconductor device, comprising:

a plurality of semiconductor regions of a first conductivity type formed on a substrate and each having an upper surface and a side surface;

a first impurity region of a [[first]] second conductivity type formed in an upper portion of each of the plurality of semiconductor regions and made of a semiconductor; and

a second impurity region of a [[first]] second conductivity type formed in a side portion of each of the plurality of semiconductor regions and made of a semiconductor,

wherein a resistivity of the second impurity region is substantially equal to or smaller than that of the first impurity region.

14. (Original) The semiconductor device of claim 13, further comprising a gate electrode formed on each of the plurality of semiconductor regions with a gate insulating film interposed therebetween,

wherein the gate electrode extends across the plurality of semiconductor regions in a gate width direction.

15. (Original) The semiconductor device of claim 14, wherein the first impurity region and the second impurity region are a P-type extension region.

16. (Original) The semiconductor device of claim 14, wherein the first impurity region and the second impurity region are a P-type source-drain region.

17. (Original) The semiconductor device of claim 13, further comprising a third semiconductor region connecting together end portions of the plurality of semiconductor regions on each side of the semiconductor regions in a gate length direction.

18. (Withdrawn) A method for producing a semiconductor device, comprising:

a step (a) of forming on a substrate a first semiconductor region having an upper surface and a side surface; and

a step (b) of implanting the first semiconductor region with an impurity of a first conductivity type by a plasma doping method to thereby form a first impurity region in an upper portion of the first semiconductor region and a second impurity region in a side portion of the first semiconductor region,

wherein in the step (b), a plasma doping method is carried out under a first condition such that an implantation dose is equal to a first dose, and then a plasma doping method is carried out under a second condition such that the implantation dose is equal to a second dose smaller than the first dose.

19. (Withdrawn) The method for producing a semiconductor device of claim 18, wherein:

the step (b) is performed by using a plasma generated from a gas containing the impurity; and

a concentration of the gas under the first condition is higher than that of the gas under the second condition.

20. (Withdrawn) The method for producing a semiconductor device of claim 18, wherein after the step (b), an implantation dose of the second impurity region is substantially equal to or greater than an implantation dose of the first impurity region.

21. (Withdrawn) The method for producing a semiconductor device of claim 18, further comprising, before the step (a), a step of forming an insulating layer on the substrate,

wherein the first semiconductor region is formed on the insulating layer in the step (a).

22. (Withdrawn) The method for producing a semiconductor device of claim 18, wherein the side surface of the first semiconductor region is a surface perpendicular to the upper surface of the first semiconductor region.

23. (Withdrawn) The method for producing a semiconductor device of claim 18, wherein in the first impurity region, an implantation dose at a point in time when the plasma doping method is carried out under the second condition is decreased from that at a point in time when the plasma doping method is carried out under the first condition.

24. (Withdrawn) The method for producing a semiconductor device of claim 18, wherein:

the step (b) is performed by using a plasma generated from a gas containing the impurity; and

the gas containing the impurity contains molecules B_mH_n (m and n are natural numbers) composed of boron atoms and hydrogen atoms.

25. (Withdrawn) The method for producing a semiconductor device of claim 18, wherein:

the step (b) is performed by using a plasma generated from a gas containing the impurity; and

the gas containing the impurity is a gas obtained by diluting molecules including boron atoms with a rare gas.

26. (Withdrawn) The method for producing a semiconductor device of claim 18, wherein:

the step (b) is performed by using a plasma generated from a gas containing the impurity; and

a gas containing the impurity is a gas obtained by diluting molecules including the impurity with helium.

27. (Withdrawn) The method for producing a semiconductor device of claim 18, wherein:

the step (b) is performed by using a plasma generated from a gas containing the impurity; and

the gas containing the impurity is a mixed gas of B_2H_6 and He.

28. (Withdrawn) The method for producing a semiconductor device of claim 27, wherein a concentration by mass of B_2H_6 in the mixed gas is greater than or equal to 0.01% and less than or equal to 1%.

29. (Withdrawn) The method for producing a semiconductor device of claim 18, wherein:

the step (b) is performed by using a plasma generated from a gas containing the impurity; and

the gas containing the impurity contains BF_3, AsH_4 or PH_3.

30. (Withdrawn) The method for producing a semiconductor device of claim 18, further comprising, before the step (b), a step of implanting a semiconductor region which is similar to the first semiconductor region and is provided in each of a plurality of dummy substrates with the impurity by a plasma doping method under various conditions, so as to identify, as the first condition, a condition under which a sheet resistance of an impurity region formed in a side portion of the semiconductor region takes an intended value, and so as to identify, as the second condition, a condition under which a sheet resistance of an impurity region formed in an upper portion of the semiconductor region takes an intended value.

31. (Withdrawn) A method for producing a semiconductor device, comprising a step of implanting a semiconductor region with an impurity of a first conductivity type by a plasma doping method to thereby form an impurity region in the semiconductor region,

wherein the step of forming the impurity region comprises a step (a) of carrying out the plasma doping method under a first condition such that an implantation dose is equal to a first dose, and after the step (a), a step (b) of carrying out the plasma doping method under a second condition such that the implantation dose is equal to a second dose smaller than the first dose.

32. (Currently amended) A semiconductor device, comprising:

a first semiconductor region of a first conductivity type formed on a substrate and having an upper surface and a side surface;

a first impurity region of a [[first]] second conductivity type formed in an upper portion of the first semiconductor region and made of a semiconductor; and

a second impurity region of a [[first]] second conductivity type formed in a side portion of the first semiconductor region and made of a semiconductor, wherein

a sheet resistance of the second impurity region is substantially equal to or smaller than that of the first impurity region.

33. (Currently amended) A semiconductor device, comprising:

a first semiconductor region of a first conductivity type formed on a substrate and having an upper surface and a side surface;

a first impurity region of a [[first]] second conductivity type formed in an upper portion of the first semiconductor region and made of a semiconductor; and

a second impurity region of a [[first]] second conductivity type formed in a side portion of the first semiconductor region and made of a semiconductor, wherein

a spreading resistance of the second impurity region is substantially equal to or smaller than that of the first impurity region.

REMARKS

Status of Claims

Claims 1-33 are pending, of which claims 1, 13, 18, and 31-33 are independent. Claims 18-31 have been withdrawn from consideration for prosecution in this application through a Response to Restriction Requirement, filed on August 17, 2009.

Claims 1, 2, 8, 13, 32 and 33 have been amended to correct informalities in the claim language and to more clearly define the present subject matter. Care has been taken to avoid introducing new matter. Since no new matter or no new consideration requiring a new search has been introduced, entry of this amendment is respectfully solicited.

Claim Objection

Claim 2 was objected to for minor informalities. Applicants respectfully submit that the amendments made to claim 2 overcome this objection.

Rejection under 35 U.S.C. § 103(a)

Claims 1-17, 32 and 33 were rejected under 35 U.S.C. § 103(a) as being unpatentable over Mathew et al. (USP 7,238,601). This rejection is traversed for at least the following reasons.

Applicants respectfully submit that, at a minimum, Mathew fails to disclose first and second impurity regions of a second conductivity type and made of a semiconductor, as recited by independent claims 1, 13 and 32-33. The Examiner asserts that regions 34A and 34B of Mathew correspond to the claimed first and second impurity regions, respectively. However, the alleged regions 34A and 34B of Mathew are silicide region, a compound of a metal and a semiconductor, which is different from an **impurity** region made of a semiconductor. Further, it

is also clear to one of skill in the art that a silicide layer does not have "a conductivity type." Even if, *arguendo*, the alleged regions 34A and 34B were made of a metal and a p or n type semiconductor region (i.e., alleged first semiconductor region 12, 18), the conductivity type, if any, of the silicide regions 34A and 34B would be the same as the alleged first semiconductor region. In contrast, the claimed first and second impurity regions have a different conductivity type from the first semiconductor region.

Accordingly, claims 1, 13, 32 and 33 and all claims dependent thereon are patentable over the cited reference. Thus, it is requested that the Examiner withdraw the rejection of claims 1-17, 32 and 33 under 35 U.S.C. § 103(a).

Statutory-Type Double Patenting Rejection

Claims 1-17, 32 and 33 were provisionally rejected under 35 U.S.C. § 101 as allegedly claiming the same invention as that of claims 1-17 of copending Application No. 12/168,686. Applicants respectfully submit that since claims 1, 13, 32 and 33 have been amended, claims 1-17, 32 and 33 of the present application do not claim the same subject matter as that of claims 1-17 of copending Application No. 12/168,686. Accordingly, Applicants respectfully request that the Examiner withdraw the statutory-type double patenting rejection of claims 1-17, 32 and 33.

Nonstatutory-Type Double Patenting Rejection

Claims 1-17, 32 and 33 were provisionally rejected on the ground of nonstatutory obviousness-type double patenting as being unpatentable over claims 1-23 of copending Application No. 12/193,861. Applicants request that the Examiner hold this rejection in abeyance until allowable subject matter is indicated.

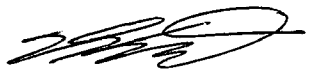
CONCLUSION

Having fully responded to all matters raised in the Office Action, Applicant submits that all claims are in condition for allowance, an indication for which is respectfully solicited. If there are any outstanding issues that might be resolved by an interview or an Examiner's amendment, the Examiner is requested to call Applicant's attorney at the telephone number shown below.

To the extent necessary, a petition for an extension of time under 37 C.F.R. 1.136 is hereby made. Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP



Takashi Saito
Limited Recognition No. L0123

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:TS:MaM
Facsimile: 202.756.8087
Date: March 29, 2010

Electronic Acknowledgement Receipt

EFS ID:	7310954
Application Number:	12025504
International Application Number:	
Confirmation Number:	1386
Title of Invention:	SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME
First Named Inventor/Applicant Name:	Yuichiro SASAKI
Customer Number:	53080
Filer:	Michael E. Fogarty/3328/Matilda mason
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	079195-0378
Receipt Date:	29-MAR-2010
Filing Date:	04-FEB-2008
Time Stamp:	20:23:39
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		079195-0378Amendment.pdf	421397 17edda28f3ab1a7bcdb8ec18a2be66d5fa082b4e	yes	14

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Amendment/Req. Reconsideration-After Non-Final Reject	1	1
	Claims	2	11
	Applicant Arguments/Remarks Made in an Amendment	12	14
Warnings:			
Information:			
	Total Files Size (in bytes):	421397	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number	Filing Date	☐ To be Mailed
12/025,504	02/04/2008	

APPLICATION AS FILED – PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY ☐ RATE ($)	SMALL ENTITY ☐ FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =			X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	

APPLICATION AS AMENDED – PART II

AMENDMENT 03/29/2010	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	SMALL ENTITY ADDITIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE ($)
Total (37 CFR 1.16(i))	* 33	Minus	** 33	= 0	X $ =		OR	X $52=	0
Independent (37 CFR 1.16(h))	* 6	Minus	***6	= 0	X $ =		OR	X $220=	0
☐ Application Size Fee (37 CFR 1.16(s))									
☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0

AMENDMENT	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)		RATE ($)	ADDITIONAL FEE ($)
Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
☐ Application Size Fee (37 CFR 1.16(s))									
☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/DORIS M. KING/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number	Filing Date	☐ To be Mailed
12/025,504	02/04/2008	

APPLICATION AS FILED – PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY ☐ RATE ($)	SMALL ENTITY ☐ FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =			X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	

APPLICATION AS AMENDED – PART II

AMENDMENT 03/29/2010	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	SMALL ENTITY ADDITIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE ($)
Total (37 CFR 1.16(i))	* 33	Minus	** 33	= 0	X $ =		OR	X $52=	0
Independent (37 CFR 1.16(h))	* 6	Minus	***6	= 0	X $ =		OR	X $220=	0
☐ Application Size Fee (37 CFR 1.16(s))									
☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0

AMENDMENT	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)		RATE ($)	ADDITIONAL FEE ($)
Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
☐ Application Size Fee (37 CFR 1.16(s))									
☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/DORIS M. KING/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Docket No.: 079195-0378 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Yuichiro SASAKI, et al.	:	Confirmation Number: 1386
Application No.: 12/025,504	:	Group Art Unit: 2826
Filed: February 04, 2008	:	Examiner: Tan Tran

For: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

INFORMATION DISCLOSURE STATEMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 37 C.F.R. 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the documents listed on the attached form PTO-1449. It is respectfully requested that the documents be expressly considered during the prosecution of this application, and that the documents be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

This Information Disclosure Statement is being filed more than three months after the U.S. filing date AND after the mailing date of the first Office Action on the merits, but before the mailing date of a Final Rejection or Notice of Allowance.

CERTIFICATION PARAGRAPH

The undersigned certifies that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign

application or, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 CFR 1.97(e)(2).

A copy of the United States Office Action is attached for the Examiner's information. Please note that the references **US 7,238,601** and **US 2009/0026540 A1** have been previously cited in a United States Office Action issued on December 29, 2009 in the present application.

Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:mjb
Facsimile: 202.756.8087
Date: May 24, 2010

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Substitute for form 1449/PTO)

ATTY. DOCKET NO.	SERIAL NO.
079195-0378	**12/025,504**

APPLICANT
Yuichiro SASAKI, et al.

FILING DATE	GROUP
February 04, 2008	**2826**

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Code3 -Number 4 -Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	
		United States Office Action issued in United States Patent Application No. 12/168,686 dated March 24, 2010	

EXAMINER	DATE CONSIDERED

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

Electronic Acknowledgement Receipt

EFS ID:	7674537
Application Number:	12025504
International Application Number:	
Confirmation Number:	1386
Title of Invention:	SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME
First Named Inventor/Applicant Name:	Yuichiro SASAKI
Customer Number:	53080
Filer:	Michael E. Fogarty/Margaret Barham
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	079195-0378
Receipt Date:	24-MAY-2010
Filing Date:	04-FEB-2008
Time Stamp:	16:26:16
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Transmittal Letter	P04783002_IDS_079195-0378.pdf	93686 04a33e8bcf7a78f4b1fd8d3d69a9c51892b6512c	no	3

Warnings:	
Information:	

2	NPL Documents	P04783002_NPL_079195-0378.pdf	380459 1b0d2fb880836ae697e4531d13e0ca391cf2fa29	no	11

Warnings:	
Information:	
Total Files Size (in bytes):	474145

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

53080 7590 06/16/2010

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

EXAMINER	
TRAN, TAN N	
ART UNIT	PAPER NUMBER
2826	

DATE MAILED: 06/16/2010

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/025,504	02/04/2008	Yuichiro SASAKI	079195-0378	1386

TITLE OF INVENTION: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1510	$300	$0	$1810	09/16/2010

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.

B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

A. Pay TOTAL FEE(S) DUE shown above, or

B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PTOL-85 (Rev. 08/07) Approved for use through 08/31/2010.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

53080 7590 06/16/2010

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/025,504	02/04/2008	Yuichiro SASAKI	079195-0378	1386

TITLE OF INVENTION: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1510	$300	$0	$1810	09/16/2010

EXAMINER	ART UNIT	CLASS-SUBCLASS
TRAN, TAN N	2826	257-327000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

❑ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

❑ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) the names of up to 3 registered patent attorneys or agents OR, alternatively, 1_____

(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. 2_____ 3_____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. The following fee(s) are submitted:

❑ Issue Fee

❑ Publication Fee (No small entity discount permitted)

❑ Advance Order - # of Copies _____

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**

❑ A check is enclosed.

❑ Payment by credit card. Form PTO-2038 is attached.

❑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)

❑ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.

❑ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/025,504	02/04/2008	Yuichiro SASAKI	079195-0378	1386

53080 7590 06/16/2010

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

EXAMINER	
TRAN, TAN N	
ART UNIT	PAPER NUMBER
2826	

DATE MAILED: 06/16/2010

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 63 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 63 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

Notice of Allowability	Application No.	Applicant(s)	
	12/025,504	SASAKI ET AL.	
	Examiner	Art Unit	
	TAN N. TRAN	2826	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to *amendment filed on 03/29/10*.

2. ☒ The allowed claim(s) is/are *1-17,32 and 33*.

3. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
   a) ☒ All b) ☐ Some* c) ☐ None of the:
      1. ☒ Certified copies of the priority documents have been received.
      2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
      3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

4. ☐ A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   (a) ☐ including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
      1) ☐ hereto or 2) ☐ to Paper No./Mail Date _____.
   (b) ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☐ Notice of Draftperson's Patent Drawing Review (PTO-948)
3. ☒ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date 05/24/10
4. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material
5. ☐ Notice of Informal Patent Application
6. ☐ Interview Summary (PTO-413), Paper No./Mail Date _____ .
7. ☒ Examiner's Amendment/Comment
8. ☒ Examiner's Statement of Reasons for Allowance
9. ☐ Other _____.

/TAN N TRAN/
Primary Examiner, Art Unit 2826

DETAILED ACTION

EXAMINER'S AMENDMENT

1. Cancel the non-elected claims 18 - 31. (elected without traverse)

Allowable Subject Matter

2. Claims 1 – 17, 32, 33 are allowed over prior art of record.

Reasons for Allowance

3. The following is an examiner's statement of reasons for allowance:

After further search and consideration of Applicants' response filed on 03/29/10, it is determined that the prior art of record neither anticipates nor renders obvious the claimed subject matter of the instant application as a whole either taken alone or in combination, in particular, prior art of record does not teach or suggest "a semiconductor device, comprising: a first semiconductor region of a first conductivity type formed on a substrate and having an upper surface and a side surface; a first impurity region of a second conductivity type formed in an upper portion of the first semiconductor region and made of a semiconductor; and a second impurity region of a second conductivity type formed in a side portion of the first semiconductor

region and made of a semiconductor, wherein a resistivity of the second impurity region is substantially equal to or smaller than that of the first impurity region" as recited in original claim 1, 13, 32, 33.

Claims 2 – 12, 14 - 17 are also allowed as being directly dependent of the allowed independent base claims 1, 13.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled ""Comments on Statement of Reasons for Allowance.

4. Any inquiry concerning this communication or earlier communications from the examiner should be directed to TAN N. TRAN whose telephone number is (571) 272-1923. The examiner can normally be reached on 8:30-5:00PM.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, PURVIS SUE can be reached on (571) 272-1236. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would

like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/TAN N TRAN/
Primary Examiner, Art Unit 2826

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 1386

SERIAL NUMBER	FILING or 371(c) DATE RULE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
12/025,504	02/04/2008	438	2826	079195-0378

APPLICANTS

Yuichiro SASAKI, Osaka, JAPAN;
Katsumi OKASHITA, Osaka, JAPAN;
Keiichi NAKAMOTO, Osaka, JAPAN;
Hiroyuki ITO, Chiba, JAPAN;
Bunji MIZUNO, Nara, JAPAN;

**** CONTINUING DATA ***************************

This application is a CON of PCT/JP2008/050253 01/11/2008

**** FOREIGN APPLICATIONS ***************************

JAPAN 2007-011572 01/22/2007

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****

04/24/2008

Foreign Priority claimed ☑ Yes ☐ No 35 USC 119(a-d) conditions met ☑ Yes ☐ No Verified and Acknowledged /TAN N TRAN/ Examiner's Signature	☐ Met after Allowance Initials	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
		JAPAN	13	33	6

ADDRESS

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096
UNITED STATES

TITLE

SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

FILING FEE RECEIVED		
2440	FEES: Authority has been given in Paper No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L2	2339460	semiconductor	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/06/10 14:14
L3	7960	resistance with ohm with (small$3 greater)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/06/10 14:15
L4	3085085	substrate	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/06/10 14:15
L5	1816	2 and 3 and 4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/06/10 14:15
L7	1481	5 and @ad<"20070122"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/06/10 14:16
L10	5	("20030170969" | "5652160" | "6015747" | "6093612" | "6645861").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2010/06/10 14:51
L19	1	"10079517"	JPO	OR	OFF	2010/06/10 15:11
L21	1	"2007013145"	JPO	OR	OFF	2010/06/10 15:11
L22	1	"2006164997"	JPO	OR	OFF	2010/06/10 15:12
L23	1	"2006196821"	JPO	OR	OFF	2010/06/10 15:13

EAST Search History (Prior Art)

L26	3085085	substrate	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/06/10 15:16
L27	3549483	resistance	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/06/10 15:16
L30	4085	finfet (fin near fet)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/06/10 15:21
L31	1456	30 and 26 and 27	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/06/10 15:21
L32	917	31 and @ad<"20070122"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/06/10 15:22
L42	1563	257/327	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/06/10 16:16
L43	2476	257/328	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/06/10 16:16

Receipt date: 05/24/2010

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Substitute for form 1449/PTO)

ATTY. DOCKET NO.	SERIAL NO.
079195-0378	**12/025,504**

APPLICANT
Yuichiro SASAKI, et al.

FILING DATE	GROUP
February 04, 2008	**2826**

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				
		US				

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Codes3-Number 4-Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	
/TT/		**United States Office Action issued in United States Patent Application No. 12/168,686 dated March 24, 2010**	

EXAMINER	DATE CONSIDERED
/Tan Tran/	06/10/2010

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.
1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

Issue Classification

Application/Control No.	Applicant(s)/Patent Under Reexamination
12025504	SASAKI ET AL.
Examiner	**Art Unit**
TAN N TRAN	2826

ORIGINAL		INTERNATIONAL CLASSIFICATION	
CLASS	SUBCLASS	CLAIMED	NON-CLAIMED
257	327	H 0 1 L 29 / 78 (2006.01.01)	

CROSS REFERENCE(S)

CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)				
257	328	329	347	348	349
257	E51.005				

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
1	1	17	17	19	33										
2	2		18												
3	3		19												
4	4		20												
5	5		21												
6	6		22												
7	7		23												
8	8		24												
9	9		25												
10	10		26												
11	11		27												
12	12		28												
13	13		29												
14	14		30												
15	15		31												
16	16	18	32												

NONE		**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	19	
/TAN N TRAN/ Primary Examiner.Art Unit 2826	06/10/2010	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	1D

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	12025504	SASAKI ET AL.
	Examiner	Art Unit
	TAN N TRAN	2826

SEARCHED

Class	Subclass	Date	Examiner
257	327	06/10/10	TT
257	328	06/10/10	TT
257	329	06/10/10	TT
257	347	06/10/10	TT
257	348	06/10/10	TT
257	349	06/10/10	TT
257	E51.005	06/10/10	TT

SEARCH NOTES

Search Notes	Date	Examiner
EAST (Text search, inventor search, interference search - please see history printout)	06/10/10	TT

INTERFERENCE SEARCH

Class	Subclass	Date	Examiner
257	327	06/10/10	TT
257	328	06/10/10	TT
257	329	06/10/10	TT
257	347	06/10/10	TT
257	348	06/10/10	TT
257	349	06/10/10	TT
257	E51.005	06/10/10	TT

Docket No.: 079195-0378 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 53080
Yuichiro SASAKI, et al.	:	Confirmation Number: 1386
Application No.: 12/025,504	:	Group Art Unit: 2826
Filed: February 04, 2008	:	Examiner: Tan Tran

For: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

INFORMATION DISCLOSURE STATEMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

This Information Disclosure Statement is being filed more than three months after the U.S. filing date and after the mailing date of a Final Rejection or Notice of Allowance, but before payment of the Issue Fee.

REQUEST TO CONSIDER REFERENCES AFTER CLOSE OF PROSECUTION AND BEFORE PAYMENT OF ISSUE FEE

In accordance with the provisions of 37 C.F.R. 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the references listed on the attached form PTO-1449. It is respectfully requested that the references be expressly considered during the prosecution of this application, and that the references be made of record therein and appear among the "References Cited" on any patent to issue therefrom. Please charge the processing fee under 1.17(p) of **$180.00** to Deposit Account 500417.

CERTIFICATION PARAGRAPH

The undersigned certifies that each item of information contained in this Information Disclosure Statement was first cited in a communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement as described in 37 CFR 1.97(e)(1).

Each reference was cited in a corresponding Chinese application Office Action and its relevance discussed therein. A copy of the Chinese Office Action is attached for the Examiner's information.

Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty
Registration No. 36,139

Please recognize our Customer No. 53080 as our correspondence address.

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 MEF:mjb
Facsimile: 202.756.8087
Date: August 5, 2010

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Substitute for form 1449/PTO)

ATTY. DOCKET NO.	SERIAL NO.
079195-0378	12/025,504

APPLICANT: Yuichiro SASAKI, et al.

FILING DATE	GROUP
February 04, 2008	2826

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US	7,023,021 B2	04-04-2006	YAMAZAKI et al.	Corresponds to CN 1314715 A
		US	7,074,656 B2	07-11-2006	YEO et al.	Corresponds to CN 1542930 A
		US	6,970,373 B2	11-29-2005	DATTA et al.	Corresponds to CN 1890798 A
		US	2006/0057792 A1	03-16-2006	MATHEW et al.	
		US				
		US				
		US				
		US				
		US				

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Codes3-Number 4-Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
		CN 1314715 A	09-26-2001		Corresponds to US 7,023,021 B2		X
		CN 1542930 A	11-03-2004		Corresponds to US 7,074,656 B2		X
		CN 1890798 A	01-03-2007		Corresponds to US 6,970,373 B2		X
		WO 2006/064772 A1	06-22-2006	MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.		JAPAN (w/ English abstract)	

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	
		Chinese Office Action issued in Chinese Patent Application No. CN 200880002383.9 dated July 16, 2010	

EXAMINER	DATE CONSIDERED

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
H01L 29/786
H01L 27/12 H01L 21/00
G02F 1/136

[12]发明专利申请公开说明书

[21]申请号 01117390.4

[43]公开日 2001年9月26日

[11]公开号 CN 1314715A

[22]申请日 2001.2.21 [21]申请号 01117390.4

[30]优先权

[32]2000.2.22 [33]JP [31]44973/2000

[71]申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

[72]发明人 山崎舜平 小山润

[74]专利代理机构 中国专利代理(香港)有限公司

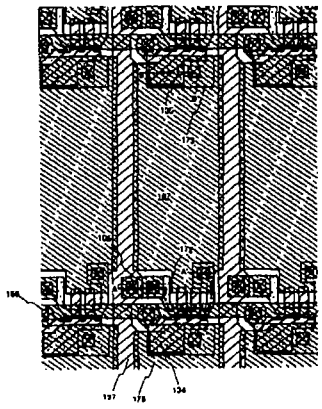
代理人 罗 朋 张志醒

权利要求书6页 说明书34页 附图页数25页

[54]发明名称 半导体器件及其制造方法

[57]摘要

本发明在不增加掩膜数量和不用黑掩膜的情况下，提高了反射型显示器件或透射型显示器件的像素的孔径比。设置像素电极(167)使其部分交叠源布线(137)，该源布线(137)用于对像素之间的间隙屏蔽光，设置薄膜晶体管使其部分交叠栅布线(166)，该栅布线(166)用于对薄膜晶体管沟道区屏蔽光，因此实现了高的像素孔径比。



ISSN1008-4274

知识产权出版社出版

权 利 要 求 书

1.一种半导体器件，包括：

形成在绝缘表面上的半导体层，至少具有源区、漏区和置于源区和漏区之间的沟道形成区；

在所述半导体层上形成的第一绝缘膜；

在所述第一绝缘膜上形成的至少一个电极，并与所述沟道形成区交叠；

在所述第一绝缘膜上形成的源布线；

至少覆盖所述电极和所述源布线的第二绝缘膜；

在所述第二绝缘膜上形成的栅布线，并连接到所述电极。

2.根据权利要求 1 的半导体器件，其特征在于，所述栅布线与所述半导体层的部分交叠，该半导体层至少包含所述沟道形成区。

3.根据权利要求 1 的半导体器件，其特征在于，所述电极包括栅极。

4. 根据权利要求 1 的半导体器件，其特征在于，所述电极和所述源布线包括相同的材料。

5. 根据权利要求 1 的半导体器件，其特征在于，所述栅布线的材料包括从由多晶硅、W、WSi_x、Al、Cu、Ta、Cr 和 Mo 所构成的组中选出的一种或多种元素。

6. 根据权利要求 1 的半导体器件，其特征在于，第一绝缘膜包括栅绝缘膜。

7. 根据权利要求 1 的半导体器件，其特征在于，所述第二绝缘膜还包括包含硅作为主成分的第一绝缘层和包含有机树脂材料的第二绝缘层。

8. 根据权利要求 1 的半导体器件，其特征在于，所述半导体器件是从由个人计算机、摄像机、手提信息终端、数字相机、数字唱机和电子游戏机所构成的组中选出的一种。

9.一种半导体器件，包括：

形成在绝缘表面上的半导体层，至少具有源区、漏区和置于源区和漏区之间的沟道形成区；

在所述半导体层上形成的第一绝缘膜；

在所述第一绝缘膜上形成的至少一个电极，并与所述沟道形成区交叠；

在所述第一绝缘膜上形成的源布线；

INTEL - 1004
Page 324 of 492

至少覆盖所述电极和所述源布线的第二绝缘膜；

在所述第二绝缘膜上形成的栅布线，并连接到所述电极。

在所述第二绝缘膜上形成连接电极，并连接到所述源布线和所述半导体层；

在所述第二绝缘膜上形成像素电极，并连接到所述半导体层。

10. 根据权利要求 9 的半导体器件，其特征在于，所述像素电极与所述源布线交叠。

11. 根据权利要求 9 的半导体器件，其特征在于，所述栅布线与所述半导体层的部分交叠，该半导体层至少包含所述沟道形成区。

12. 根据权利要求9的半导体器件，其特征在于，所述电极包括栅极。

13. 根据权利要求 9 的半导体器件，其特征在于，所述电极和所述源布线包括相同的材料。

14. 根据权利要求 9 的半导体器件，其特征在于，所述像素电极、所述连接电极和所述栅布线包括相同的材料。

15. 根据权利要求 9 的半导体器件，其特征在于，所述栅布线的材料包括从由多晶硅、W、WSi_x、Al、Cu、Ta、Cr 和 Mo 所构成的组中选出的一种或多种元素。

16. 根据权利要求 9 的半导体器件，其特征在于，第一绝缘膜包括栅绝缘膜。

17. 根据权利要求 9 的半导体器件，其特征在于，所述第二绝缘膜还包括包含硅作为主成分的第一绝缘层和包含有机树脂材料的第二绝缘层。

18. 根据权利要求 9 的半导体器件，其特征在于，在连接到所述像素电极的所述半导体层和连接到相邻像素的栅布线的所述电极之间，用所述第一绝缘膜作为电介质，包含所述像素电极的一个像素形成存储电容器。

19. 根据权利要求 9 的半导体器件，其特征在于，将提供 p 型导电率的杂质元素掺杂到与所述像素电极连接的所述半导体层。

20. 根据权利要求 9 的半导体器件，所述半导体器件是从由个人计算机、摄像机、手提信息终端、数字相机、数字唱机和电子游戏机所构成的组中选出的一种。

21.一种半导体器件，包括：

INTEL - 1004
Page 325 of 492

邻接半导体层的第一绝缘膜，所述半导体层至少具有源区、漏区和置于源区和漏区之间的沟道形成区；

至少一个电极，包含在第一绝缘膜上形成的栅极；

源布线，形成在所述第一绝缘膜上；

第二绝缘膜，至少覆盖所述电极和所述源布线；

栅布线，电连接道所述电极；和

像素电极，电连接到所述半导体层，

其特征在于，所述栅布线和所述像素电极形成在所述第二绝缘膜上。

22. 根据权利要求 21 的半导体器件，其特征在于，所述栅布线与所述半导体层的部分交叠，该半导体层至少包含所述沟道形成区。

23. 根据权利要求 21 的半导体器件，其特征在于，所述电极和所述源布线包括相同的材料。

24. 根据权利要求 21 的半导体器件，其特征在于，所述栅布线的材料包括从由多晶硅、W、WSi_x、Al、Cu、Ta、Cr 和 Mo 所构成的组中选出的一种或多种元素。

25. 根据权利要求 21 的半导体器件，其特征在于所述第一绝缘膜包括栅绝缘膜。

26. 根据权利要求 21 的半导体器件，其特征在于，所述第二绝缘膜还包括包含硅作为主成分的第一绝缘层和包含有机树脂材料的第二绝缘层。

27. 根据权利要求 21 的半导体器件，其特征在于，所述半导体器件是从由个人计算机、摄像机、手提信息终端、数字相机、数字唱机和电子游戏机所构成的组中选出的一种。

28.一种半导体器件，包括一对衬底和置于衬底之间的液晶，所述一对衬底之一至少具有像素部分和驱动电路，所述像素部分包括：

在绝缘表面上形成的半导体层，至少具有源区、漏区和置于源区和漏区之间的沟道形成区；

在所述半导体层上形成的第一绝缘膜；

在所述第一绝缘膜上形成的至少一个电极，并至少与所述沟道形成区交叠；

在所述第一绝缘膜上形成的源布线；

INTEL - 1004
Page 326 of 492

至少覆盖所述电极和所述源布线的第二绝缘膜；

在所述第二绝缘膜上形成的栅布线，并连接到所述电极；

在所述第二绝缘膜上形成的连接电极，并连接到所述源布线和所述半导体层；

在所述第二绝缘膜上形成的像素电极，并连接到所述半导体层，以及

其特征在于，所述另一个衬底包括光屏蔽膜，在该屏蔽膜中将红色滤色器和蓝色滤色器层叠，使其与所述第一半导体层交叠。

29. 根据权利要求 28 的半导体器件，还包括在所述第二绝缘膜上的公用导线，其特征在于，设置所述像素电极和所述公用导线，使得产生的电场基本上平行于所述衬底表面。

30. 根据权利要求 28 的半导体器件，所述半导体器件是反射型液晶显示器件，其中所述像素电极包括含 Al 或 Ag 的膜或它们的叠层膜。

31. 根据权利要求 28 的半导体器件，所述半导体器件是透射型液晶显示器件，其中所述像素电极包括透明的导电膜。

32. 根据权利要求 28 的半导体器件，所述半导体器件是从由个人计算机、摄像机、手提信息终端、数字相机、数字唱机和电子游戏机所构成的组中选出的一种。

33. 一种半导体器件，包括一对衬底和置于衬底之间的液晶，所述一对衬底之一至少具有像素部分和驱动电路，所述像素部分包括：

在绝缘表面上形成的半导体层，至少具有源区、漏区和置于源区和漏区之间的沟道形成区；

在所述半导体层上形成的第一绝缘膜；

在所述第一绝缘膜上形成的至少一个电极，并至少与所述沟道形成区交叠；

在所述第一绝缘膜上形成的源布线；

至少覆盖所述电极和所述源布线的第二绝缘膜；

在所述第二绝缘膜上形成的栅布线，并连接到所述电极。

在所述第二绝缘膜上形成的像素电极，并电连接到所述半导体层。

34. 根据权利要求 33 的半导体器件，还包括在所述第二绝缘膜上的公用导线，其特征在于，设置所述像素电极和所述公用导线，使得产生的电场基本上

INTEL - 1004
Page 327 of 492

平行于所述衬底表面。

35. 根据权利要求 33 的半导体器件，所述半导体器件是反射型液晶显示器件，其中所述像素电极包括含 Al 或 Ag 的膜或它们的叠层膜。

36. 根据权利要求 33 的半导体器件，所述半导体器件是透射型液晶显示器件，其中所述像素电极包括透明的导电膜。

37. 根据权利要求 33 的半导体器件，所述半导体器件是从由个人计算机、摄像机、手提信息终端、数字相机、数字唱机和电子游戏机所构成的组中选出的一种。

38.一种制造半导体器件的方法，包括步骤：

在绝缘表面上形成包括晶体半导体膜的半导体层；

在所述半导体层上形成第一绝缘膜；

在所述第一绝缘膜上形成电极和源布线，所述电极与所述半导体层的部分交叠；

形成第二绝缘膜，至少覆盖所述电极和所述源布线；和

形成连接到电极并与所述半导体层的部分交叠的栅布线、用于将所述半导体层连接到所述源布线的连接电极和与所述源布线交叠的像素电极。

其特征在于，所述栅布线、所述连接电极和所述像素电极都在所述第二绝缘膜上形成。

39.根据权利要求 38 的制造半导体器件的方法，其特征在于，所述第二绝缘膜还包括由氧化硅、氮化硅或氮氧化硅制成的第一绝缘膜和由聚酰亚胺、丙烯酸、聚酰胺、氨基聚酰亚胺和苯并环丁烯制成的第二绝缘膜的叠层膜。

40. 根据权利要求 38 的制造半导体器件的方法，其特征在于，所述半导体器件是从由个人计算机、摄像机、手提信息终端、数字相机、数字唱机和电子游戏机所构成的组中选出的一种。

41. 一种制造半导体器件的方法，包括步骤：

在绝缘表面上形成第一半导体层和第二半导体层，每种半导体层包括晶体半导体膜；

在所述第一和第二半导体层上形成第一绝缘膜；

形成与所述第一半导体层交叠的第一电极、与所述第二半导体层交叠的第二电极和在所述第一绝缘膜上的源布线；

INTEL - 1004
Page 328 of 492

形成至少覆盖所述第一电极、所述第二电极和所述源布线的第二绝缘膜；以及

形成连接到所述第一电极并与所述第一半导体层交叠的栅布线、用于将所述第一半导体层连接到所述源布线的连接电极和与所述源布线交叠的像素电极，

其特征在于，所述栅布线、所述连接电极和所述像素电极都在所述第二绝缘膜上形成。

42. 根据权利要求 41 的制造半导体器件的方法，其特征在于，连接到所述像素电极的所述第二半导体层与连接到相邻像素电极的栅布线的所述第二电极交叠。

43. 根据权利要求 41 的制造半导体器件的方法，其特征在于，所述第二绝缘膜还包括由氧化硅、氮化硅或氮氧化硅制成的第一绝缘膜和由聚酰亚胺、丙烯酸、聚酰胺、氨基聚酰亚胺和苯并环丁烯制成的第二绝缘膜的叠层膜。

44. 根据权利要求 41 的制造半导体器件的方法，其特征在于，所述半导体器件是从由个人计算机、摄像机、手提信息终端、数字相机、数字唱机和电子游戏机所构成的组中选出的一种。

INTEL - 1004
Page 329 of 492

01.02.25

说　　明　　书

半导体器件及其制造方法

本发明涉及半导体器件及其制造方法，该半导体器件具有由薄膜晶体管（下文缩写为 TFTs）构成的电路。例如，本发明涉及以液晶显示板为代表的光电器件以及包含该光电器件作为其部件的电子设备。

在本说明书中，术语“半导体器件”通常指能够利用半导体特性工作的器件；光电器件、半导体电路和电子设备都包含在半导体器件中。

通过在具有绝缘表面的衬底上形成半导体薄膜（厚度大约几个纳米到大约几百纳米）构成 TFT 的技术近来已引起人们的关注。TFT 被广泛用于电子设备例如 IC 和光电器件。特别是迫切需要发展 TFT 作为液晶显示器件的开关元件。

在液晶显示器件中，有源矩阵液晶显示器件已特别引起关注，在该有源矩阵液晶显示器件中，为了得到高质量的图像，以矩阵的形式排列像素电极，并且用 TFTs 作为开关元件分别连接到像素电极。

有源矩阵液晶显示器件主要分为两个已知类型：透射型和反射型。

特别地，与透射型液晶显示器件相比，由于不用背景光显示，因此反射型液晶显示器件在小功率消耗方面是有利的。正是这个优点，反射型液晶显示器件越来越多地用做便携计算机或摄像机的直观式显示器。反射型液晶显示器件利用液晶的光调制效应来选择其中入射光线在像素电极被反射变为往器件外输出的状态或其中入射光线不往器件外输出状态来显示亮区或黑区。反射型液晶显示器件进一步组合亮区和黑区来显示图像。通常，反射型液晶显示器件中的像素电极由具有高的光反射能力的金属材料例如铝制成，并电连接到开关元件例如 TFT。

传统的反射型液晶显示器件中的像素结构示于图 23。在图 23 中，通过布图，将两个导线、也就是栅布线（扫描线）11 和电容器导线 12 形成为线形，源布线（信号线）14 通过布图也形成为线形。当栅布线 11 在纵向排列时，源布线 14 在横向排列，在源布线 14 和栅布线 11 之间设置有层间绝缘膜以使这些导线彼此绝缘。源布线 14 和栅布线 11 彼此部分交叉。这种传统结构的特征

INTEL - 1004
Page 330 of 492

在于包含作为有源层的半导体层 10 的 TFT 被设在了这些导线的交叉点附近。

通常，已知在源布线 14 之间与源布线 14 同时形成像素电极 15。当采用这样的结构时，需要用光屏蔽膜（也称为黑衬质）13 对源布线 14 和像素电极 15 之间的区来屏蔽光。

此外，在传统结构中，将由铬等制成的金属膜布图为所需要的形状，以便得到光屏蔽膜 13。采用传统方法的结果，用于形成光屏蔽膜的步骤和掩膜数量增加了。为了用光屏蔽膜 13 得到足够的光屏蔽，需要在光屏蔽膜 13 和像素电极之间设置层间绝缘膜，使它们彼此绝缘。与光屏蔽膜类似，当构成层间绝缘膜的层的数量增加时，制造步骤相应增加，导致制造费用增加。此外，层间绝缘膜的层的数量增加在层间绝缘性能的保持方面是不利的。

对于另一种传统结构，已知的是其中将层间绝缘膜设为覆盖源布线 11，在绝缘膜上再设置像素电极。然而当采用这种结构时，层的数量增加导致步骤增加，最后导致制造费用增加。

此外，在显示性能方面，希望像素有大量的存储电容器和高的孔径比。每个像素的高孔径比提高了光线的利用效率，减小了功率消耗和显示器件的尺寸。

近来，像素尺寸变得更小以得到高清晰图像。像素尺寸的减小增加了为一个像素要形成的 TFT 和导线的区域，因此反倒降低了像素孔径比。

这样，为了得到的具有确定的像素尺寸每个像素的高孔径比，有效布局对于像素的电路结构所需的电路元件是必要的。

如上所述，为了用少量的掩膜实现具有高孔径比的反射型液晶显示器件或透射型液晶显示器件，需要一种不同于任何传统结构的完全新颖的像素结构。

本发明就是要满足这样的需要，在不增加掩膜数量和制造步骤的情况下，通过本发明实现具有高像素孔径比的像素结构的液晶显示器件。

为了解决传统技术的上述问题，设计了下面的措施。

本发明的特征是不用黑衬质而能对 TFTs 和像素之间的区屏蔽光的像素结构。本发明的特征在于，作为对 TFT 屏蔽光的方法之一是在第一绝缘膜上形成栅极和源布线，作为有源层的大部分半导体层由形成在不同于第一绝缘膜的第二绝缘膜上的栅布线覆盖。本发明的特征在于，并且作为对像素之间的区屏蔽光的方法之一是设置像素电极，使其与源布线交叠。此外，本发明的特征还在

INTEL - 1004
Page 331 of 492

于，作为对 TFT 屏蔽光的方法之一是在相对衬底（counter substrate）上配置滤色器（红色滤色器或红色滤色器和蓝色滤色器的叠层膜）作为光屏蔽膜，使其与元件衬底（element substrate）上的 TFTs 交叠。

本说明书中所公开的本发明的结构涉及半导体器件，包括：

在绝缘表面上的半导体层（第一半导体层１７２），具有源区、漏区和夹在源区和漏区之间的沟道形成区；

半导体层（第一半导体层１７２）上的第一绝缘膜；

第一绝缘膜上的电极（包含栅极的第一电极１３４），与沟道形成区交叠；

第一绝缘膜上的源布线；

覆盖电极（包含栅极的第一电极１３４）和源布线的第二绝缘膜；和

第二绝缘膜上的栅布线１６６，与电极连接（包含栅极的第一电极１３４）。

此外，在本说明书中所公开的本发明的结构涉及半导体器件，包括：

在绝缘表面上的半导体层（第一半导体层１７２），具有源区、漏区和夹在源区和漏区之间的沟道形成区；

半导体层（第一半导体层１７２）上的第一绝缘膜；

第一绝缘膜上的电极（包含栅极１３４的第一电极），与沟道形成区交叠；

第一绝缘膜上的源布线；

覆盖电极和源布线的第二绝缘膜；

第二绝缘膜上的与电极连接的栅布线；

第二绝缘膜上的连接电极１６５，连接到源布线和半导体层（具体地说是源区或漏区）；和

第二绝缘膜上的像素电极１６７，连接到半导体层（具体地说是源区或漏区）。

此外，在上述结构中，排列像素电极，使其与源布线交叠，像素电极和源布线之间夹有第二绝缘膜，以此在像素电极和源布线之间屏蔽光（或减少光泄露）。

此外，在上面提到的各个结构中，半导体器件的特征在于，半导体层具有与栅布线交叠的区，半导体层和栅布线之间夹有第一绝缘膜。

此外，在上述半导体层中，当半导体层和栅布线之间夹有第一绝缘膜时，与栅布线交叠的半导体层的区的特征在于，至少包含沟道形成区、位于沟道形

INTEL - 1004
Page 332 of 492

成区和漏区之间的区、或位于沟道形成区和源区之间的区。保护这个半导体层区不受外界光线的照射。

在多栅结构的情况下，其中在一个半导体层上存在多个栅极，当其间夹有第一绝缘膜时，在半导体层上存在多个沟道形成区。希望设置栅布线使其与存在于一个沟道形成区和另一个沟道形成区之间的区交叠。

此外，本发明的特征在于，为了不增加掩膜数量，在第一绝缘膜上用同样的材料形成电极和源布线，在第二绝缘膜上用相同的材料形成像素电极、连接电极和栅布线。

此外，在上面提到的各个结构中，半导体器件的特征在于，栅布线是由包含从已掺杂给与导电率的杂质元素的多晶硅、W、WSi_x、Al、Cu、Ta、Cr 和 Mo 所构成的组中选出的元素作为主成分的膜或它们的叠层膜制成。

此外，在上面提到的各个结构中，半导体器件的特征在于，第一电极和半导体层之间用于绝缘的第一绝缘膜是栅绝缘膜。

此外，在上面提到的各个结构中，半导体器件的特征在于，用于绝缘源布线和栅布线的第二绝缘膜包含含硅作为主成分的第一绝缘层和由有机树脂材料制成的第二绝缘层。

此外，在上面提到的各个结构中，半导体器件的特征在于，包含像素电极的一个像素形成存储电容器，该电容器由连接到像素电极的半导体层（第二半导体层 173）和连接到相邻像素的栅布线的电极（第二电极 135）以及利用第一绝缘膜作为电介质构成。此外，最好将提供 p 型导电率的杂质元素掺杂到这个半导体层（第二半导体层 173）。

此外，本发明的另一个结构涉及包含 TFTs 的半导体器件，每个 TFT 包括形成在绝缘表面上的半导体层、形成在半导体层上的绝缘膜和形成在绝缘膜上的栅极，其特征在于，栅极包含作为下层的具有楔形端部的第一导电层和作为上层的具有比第一导电层的宽度更窄的第二导电层，该半导体层包含与第二导电层交叠、其间夹有绝缘膜的沟道形成区、与沟道形成区接触的第三杂质区、与第三杂质区接触的第二杂质区和与第二杂质区接触的第一杂质区。

此外，在第一导电层的斜面和水平平面之间形成的角度（也称为楔形角）比第二导电层的斜面和水平平面之间形成的角度小。为了方便，在本说明书中，将具有楔形角的斜面称为楔形，具有楔形的部分称为楔形部分。

INTEL - 1004
Page 333 of 492

此外，在上述结构中，第三杂质区的特征为：与第一导电层交叠，其间夹有绝缘膜。第三杂质区是通过使杂质元素穿过其端部具有楔形部分的第一导电层和绝缘膜，从而将杂质元素掺杂到半导体层而形成的。在掺杂中，位于半导体层上的材料层越厚，离子注入越浅。因此，掺杂到半导体层的杂质浓度受具有楔形的导电层厚度影响，导致杂质元素浓度的变化。随着第一导电层的厚度增加，半导体层中的杂质浓度降低。同样，随着第一导电层的厚度降低，半导体层中的杂质浓度增加。

此外，在上述结构中，半导体器件的特征在于，第一杂质区是源区或漏区。

此外，在上述结构中，半导体器件的特征在于，与第二杂质区交叠的绝缘膜的区包含楔形部分。第二杂质区是通过穿过绝缘膜将杂质元素注入半导体层而形成的。因此，第二杂质区的杂质浓度受绝缘膜的楔形部分影响，使第二杂质区的杂质浓度分布变化。随着绝缘膜的厚度增加，第二杂质区中的杂质浓度降低。同样，随着绝缘膜的厚度降低，第二杂质区中的杂质浓度增大。尽管第二杂质区与第三杂质区一样是通过掺杂形成的，由于第二杂质区不与第一导电层交叠，因此第二杂质区中的杂质浓度比第三杂质区中的杂质浓度高。在沟道的纵向上，第二杂质区的宽度与第三杂质区的宽度一样，或比第三杂质区的宽度宽。

此外，上述结构的特征在于，TFT 是 n 沟道 TFT 或 p 沟道 TFT。而且，在本发明中，用 n 沟道 TFT 形成像素 TFT。另外，用这些 n 沟道 TFTs 或 p 沟道 TFTs 形成包含 CMOS 电路的驱动电路。

而且，在本说明书中所公开的本发明的结构涉及一种半导体器件，包括一对衬底和保持在这对衬底之间的液晶。

其特征在于在这对衬底之一上提供像素部分和驱动电路，和

像素部分包含：

绝缘表面上的半导体层，包含源区、漏区和夹在源区和漏区之间的沟道形成区；

半导体层上的第一绝缘膜；

第一绝缘膜上的电极，与沟道形成区交叠；

在第一绝缘膜上的源布线；

第二绝缘膜，覆盖电极和源布线；

INTEL - 1004
Page 334 of 492

第二绝缘膜上的栅布线，连接到电极；

第二绝缘膜上的连接电极，连接到源布线和半导体层；和

第二绝缘膜上的像素电极，连接到半导体层，以及

另一个衬底具有光屏蔽膜，其中将红色滤色器和蓝色滤色器层叠使其与第一半导体层交叠。

此外，在上述结构中，该半导体器件提供了一种 IPS 型液晶显示器件，包括第二绝缘膜上的公用导线，其中配置像素电极和公用导线，使得产生平行于衬底表面的电场。

此外，在上述结构中，提供了反射型液晶显示器件，其中像素电极由包含铝或银作主成分的膜或它们的叠层膜制成。

此外，在上述结构中，该半导体器件提供了透射型液晶显示器件，其中像素电极由透明导电膜制成。

此外，作为本发明的另一特征，本发明的半导体器件的特征在于，分别在不同的绝缘膜上形成包含栅极的第一电极 134 和栅布线 166，在第一绝缘膜上形成第一电极 134 和源布线 137，在不同于第一绝缘膜的第二绝缘膜上形成栅布线 166 和像素电极 167。

此外，在实现上述结构的制造工艺中，本发明的结构涉及制造半导体器件的方法，其特征包括：

第一步，在绝缘表面上，由晶体半导体膜形成半导体层；

第二步，在半导体层上，形成第一绝缘膜；

第三步，在第一绝缘膜上，形成与半导体层和源布线交叠的电极；

第四步，形成覆盖电极和源布线的第二绝缘膜；以及

第五步，形成连接到电极并与第二绝缘膜上的半导体层交叠的栅布线、用于连接半导体层与源布线的连接电极，和与源布线交叠的像素电极。

此外，在实现上述结构的制造工艺中，本发明的另一结构涉及制造半导体器件的方法，其特征包括：

第一步，在绝缘表面上形成第一半导体层 172 和第二半导体层 173，每一层都由晶体半导体膜制成；

第二步，在第一和第二半导体层上，形成第一绝缘膜；

第三步，形成与第一半导体层交叠的第一电极 134、与第二半导体层交叠

INTEL - 1004
Page 335 of 492

的第二电极135、和第一绝缘膜上的源布线137。

第四步，形成覆盖第一电极134、第二电极135和源布线137的第二绝缘膜；以及

第五步，在第二绝缘膜上，形成连接到第一电极134并与第一半导体层172交叠的栅布线166、用于连接第一半导体层与源布线的连接电极165和与源布线交叠的像素电极167。

此外，在上述结构中，该方法的特征在于连接到像素电极的半导体层与连接到相邻像素的栅布线的第二电极交叠。

在附图中

图1是根据本发明的像素部分的顶视图（实施例1）；

图2A至2C是表示有源矩阵衬底的制造工艺的示意图（实施例1）；

图3A至3C是表示有源矩阵衬底的制造工艺的示意图（实施例1）；

图4是表示有源矩阵衬底的制造工艺的示意图（实施例1）；

图5是表示反射型液晶显示器件的截面结构示意图（实施例2）；

图6是根据本发明的像素部分的顶视图（实施例1）；

图7A和7B分别是有源矩阵衬底的顶视图和截面图（实施例3）；

图8A和8B是端子部分的截面图（实施例3）；

图9A至9C是显示透射型液晶显示器件的截面结构示意图（实施例4）；

图10是端子部分的截面图（实施例5）；

图11是根据本发明的有源矩阵衬底的截面图（实施例6）；

图12是根据本发明的有源矩阵衬底的截面图（实施例7）；

图13是根据本发明的像素部分的顶视图（实施例8）；

图14是根据本发明的像素部分的截面视图（实施例8）；

图15是根据本发明的像素部分的顶视图（实施例10）；

图16是根据本发明的像素部分的截面视图（实施例10）；

图17是根据本发明的像素部分的顶视图（实施例11）；

图18是根据本发明的像素部分的截面视图（实施例11）；

图19是根据本发明的像素部分的截面视图（实施例12）；

图20A至20F是表示电设备实例的示意图（实施例13）；

图21A至21D是表示电设备实例的示意图（实施例13）；

INTEL - 1004
Page 336 of 492

图22A至22C是表示电设备实例的示意图（实施例13）；

图23是表示传统实例的示意图；

图24A至24D是表示有源矩阵衬底制造方法的放大的截面视图；以及

图25是像素部分的顶视图（实施例4）。

下面将参考附图描述本发明的实施例。

作为基本结构，本发明的液晶显示器件包含元件衬底和相对衬底，在衬底之间留有预定间隙并相互粘接以及容纳在间隙中的光电材料（液晶材料或其类似物）。

图1示出了根据本发明的像素结构的具体实例。这里示出的是反射型液晶显示器件的一个实例。

元件衬底包含横向排列的栅布线166、纵向排列的源布线137、具有在栅布线166和源布线137的交点附近的具有像素TFT的像素部分，以及具有n沟道TFT或p沟道TFT的驱动电路。

图1中示出的栅布线166连接到在横向排列的岛状第一电极134。栅极布线166设置在与之接触的第二绝缘膜上。源布线137与之类似，岛状第一电极134形成在与之接触的第一绝缘膜（也是下文的栅绝缘膜）上。

连接电极165就像像素电极167、175和栅布线166那样形成在第二绝缘膜（也是下文的层间绝缘膜）上。

由于本发明的像素结构，可以使TFT的有源层与栅布线交叠，从而使TFT的有源层屏蔽光。

为了达到为电极衬底上的TFT屏蔽光的目的，至少要将第一半导体层172的沟道形成区设置在能由栅布线166来屏蔽光线的位置。除了沟道形成区，希望存在于沟道形成区和漏区（例如LDD区和偏移区）之间的区以及存在于沟道形成区和源区之间的区也由栅布线166来屏蔽光线。由于图1所示的像素结构是多栅极结构，多个沟道形成区存在于一个半导体层中。因此，还希望存在于一个沟道形成区和另一个沟道形成区之间的区也由栅布线166屏蔽光线。

栅布线166以接触的方式形成在绝缘膜上，该绝缘膜不同于在其上提供作为栅电极的第一电极134的绝缘膜。在图1所示的像素结构中，第一电极134不仅作为穿过栅绝缘膜与第一半导体层交叠的栅电极，而且作为构成相邻像素的存储电容器的一个电极。

INTEL - 1004
Page 337 of 492

具有本发明的像素结构，像素之间的区主要通过将像素电极 167 的端部与源布线 137 交叠来屏蔽光线。

间隙，例如像素电极 167 和连接电极 165 之间的间隙以及像素电极 167 和栅布线 166 之间的间隙都通过设置在相对衬底上的滤色器来屏蔽光线。对于布图在预导向置（在元件衬底上 TFT 的位置）的滤色器，包括在相对衬底上提供的红色滤色器、红色滤色器和兰色滤色器的叠层膜、或红色滤色器的叠层膜、兰色滤色器以及绿色滤色器。

具有这样的结构，元件衬底上的 TFT 主要通过栅布线 166 屏蔽光线。而且，像素之间的间隙可以通过设置在相对衬底上的滤色器（红色滤色器、红色滤色器和兰色滤色器的叠层膜，或红色滤色器的叠层膜、蓝色滤色器和绿色滤色器）来屏蔽光线。

像素电极 167 的存储电容器是通过连接到像素电极 167 的第二半导体层 173 和第二电极 135 构成，利用覆盖第二半导体层 173 的绝缘膜作为电介质。将提供 p 型导电率的杂质元素掺杂到第二半导体层 173 的一部分。掺杂的结果是当电压加到第二电极 135 时，形成了沟道形成区，从而形成存储电容器。而且，在第二电极 135 与像素电极 167 交叠的区域中，形成了用层间绝缘膜 157 和 158 作为电介质的存储电容器。尽管这里的存储电容器是用第二电极 135 形成的，但并非特别限制存贮电容器；可以有选择地采用其中提供了电容器导线或电容器电极的像素结构。

形成元件衬底所需的掩膜数量可设为 5，其中元件衬底包含具有图 1 所示的像素结构的像素部分和驱动电路。具体地说，第一掩膜用来布图第一半导体层 172 和第二半导体层 173；第二掩膜用来布图第一电极 134、第二电极 135 和源布线 137；当掺杂提供 p 型导电率的杂质元素以形成 p 沟道 TFT 和驱动电路的存储电容器时，第三掩膜用来覆盖 n 沟道 TFT；第四掩膜用来形成到达第一半导体层、第二半导体层、第一电极和第二电极的接触孔；第五掩膜用来布图连接电极 165 和 205、栅布线 166、像素电极 167 和 175。

就像上面所描述的，当采用图 1 所示的像素结构时，可以用少量的掩膜得到高像素孔径比（大约 78%）的反射型液晶显示器件。

如果用透明导电膜作像素电极，需要另外的掩膜以布图成所希望的形状。然而，可以用该方法制造透射型的液晶显示器件。同样，当制造透射型液晶显

INTEL - 1004
Page 338 of 492

示器件时，也可以用少量的掩膜得到大约56%的像素孔径比。

公用导线和像素电极的设置要使得产生平行于衬底表面的电场，由此来制造IPS系统的透射型液晶显示器件。

通过下面的实施例将进一步详细描述具有上述结构的本发明。

[实施例1]

实施例 1 中详细解释了同时在同一个衬底上制造像素部分和驱动电路的TFTs（n沟道TFT和p沟道TFT）的方法，其中驱动电路的TFTs是形成在像素部分周围的。

首先，如图 2A 所示，利用如氧化硅膜、氮化硅膜或氮氧化硅膜之类的绝缘膜制成的基膜 101 形成在由例如硼硅酸钡玻璃或硼硅酸铝玻璃之类的玻璃制成的衬底100上，典型的玻璃如Corning公司的#7059玻璃或#1737玻璃。例如，形成用等离子CVD来由SiH_4、NH_3和N_2O制造的厚10到200nm（最好在50和100nm之间）的氮氧化硅膜101a的叠层膜，以及用相同的方法由SiH_4和N_2O制造厚50到200nm（最好在100和150nm之间）的氢化氮氧化硅膜101b。实施例1中示出了基膜101的两层结构，但也可以形成单层膜和两层以上的叠层膜结构。

用激光结晶法或公知的热结晶法，从具有非晶结构的半导体膜制造晶体半导体膜，通过晶体半导体膜形成岛状半导体层 102 至 106。岛状半导体膜 102 至106的厚度可以从25到80nm（最好在30nm和60nm之间）。对于晶体半导体膜材料没有限制，但最好用硅或硅锗合金（SiGe）来形成晶体半导体膜。

可以用激光作为用激光结晶法制造晶体半导体膜的激光源，所述激光例如脉冲透射型或连续透射型准分子激光、YAG激光或YVO_4激光。当用这些类型的激光时，可以用通过光学系统将从激光器发射的激光会聚成线形，然后将激光照到半导体膜的方法。可以由操作者合理地选择结晶化条件，但当用准分子激光时，脉冲发射频率设到 30Hz，并且激光的能量强度设为从 100mJ/cm^2 到400mJ/cm^2（典型地在200 mJ/cm^{2}和300 mJ/cm^{2}之间）。此外，当用YAG激光时，利用其第二谐波，并且脉冲发射频率设为从1Hz到10kHz，激光的能量强度可以设为从300 J/cm^{2}到600 J/cm^2（典型地在350 mJ/cm^{2}和500 mJ/cm^{2}之间）。然后将会聚成线形、具有100μm至1000μm例如400μm宽度的激光照到衬底的整个表面上，用80%到98%的线形激光覆盖率完成上述过程。

INTEL - 1004
Page 339 of 492

形成覆盖在岛状半导体层 102 至 106 上的栅绝缘膜 107。栅绝缘膜 107 是用包含硅、厚度为 40 至 150nm 的绝缘膜，通过等离子体 CVD 或溅射法形成。在实施例 1 中形成了厚 120nm 的氮氧化硅膜。栅绝缘膜并不限于这种氮氧化硅膜，当然可以用其它包含硅的绝缘膜，也可以采用单层或叠层结构。例如，当用氧化硅膜时，可以在 40Pa 的反应压力下，将衬底温度设为 300℃ 至 400℃，在 0.5 至 0.8W/cm^2 的电功率系数下，通过高频（13.56MHz）放电，用 TEOS（原硅酸四乙酯）和 O_2 的混合物，通过等离子 CVD 形成氧化硅膜。经过后续的对氧化硅膜进行温度在 400℃ 至 500℃ 之间的热退火，就得到了具有优异特性的栅绝缘膜。

然后为了形成栅极，在栅绝缘膜 107 上形成第一导电膜 108 和第二导电膜 109。在实施例 1 中，第一导电膜是用钽膜形成的，具有 50 至 100nm 的厚度，第二导电膜是用钨膜形成的，具有 100 至 300nm 的厚度。

TaN 膜是用溅射法，即在氮气氛中进行钽靶的溅射形成的。钨膜是用钨靶通过溅射形成的，也可以用六氟化钨（WF_6）通过热 CVD 来形成。为了用它作为栅极，无论用哪种方法，都必须使膜的电阻变低，最好使钨膜的电阻率等于或低于 20μΩ.cm。电阻率可以通过扩大钨膜的晶粒来使其降低，但在钨膜中有许多杂质元素例如氧的情况下，结晶被抑制，膜变成了高阻膜。因此，在溅射中，采用 99.9999%或 99.99%纯度的钨靶。此外，在钨膜的形成过程中，当充分注意了在膜形成时没有从气相引入杂质时，可以得到 9 至 20μΩ.cm 的电阻率。

需要说明的是，尽管在实施例 1 中第一导电膜 108 是钽膜，第二导电膜是钨膜，但导电膜并不限于这些。这两个导电膜也可以用下列材料形成，这些材料是：从由钽、钨、钛、钼、铝和铜所组成的组中选出的元素，从由上述元素中的一个作为主成分构成的合金材料中选出的合金材料，或从上述元素的化合物中选出的化合物材料。而且，也可以用半导体膜，典型的是其中掺杂了杂质元素例如磷的多晶硅膜。除了实施例 1 所用的组合之外，其它最佳组合的例子包含：用氮化钽（TaN）形成第一导电膜，将其与由钨膜形成的第二导电膜相结合；用氮化钽（TaN）形成第一导电膜，将其与由铝膜形成的第二导电膜相结合；和用氮化钽（TaN）形成第一导电膜，将其与由铜膜形成的第二导电膜相结合。

INTEL - 1004
Page 340 of 492

下一步由抗蚀剂形成掩膜 110 至 116，为了形成电极和导线，进行第一刻蚀工序。实施例 1 中用 ICP（电感耦合等离子体）刻蚀法，即用 CF_4 和 Cl_2 的混合气体作为刻蚀气体，在 1Pa（压力下）通过给线圈形电极施加 500W 的射频（RF）电功率（13.56MHz），产生等离子体，又施加 100 W 的 RF 电功率到衬底的侧面（测试片部分），有效地施加了负的自偏压。在混合 CF_4 和 Cl_2 的情况下，将钨膜和氮化钽膜刻蚀到接近同一水平线。

用合适的抗蚀剂掩膜图形，在上述刻蚀条件下，根据施加到衬底侧面的偏压的效应，使第一导电层和第二导电层的边缘部分成为楔形，楔形部分的角度从 15°到 45°。完成腐蚀后，为了在栅绝缘膜上没有任何剩余，可以增加大约 10%到 20%的刻蚀时间。氮氧化硅膜相对于钨膜的选择率从 2 到 4（典型的是 3），因此用这种过刻蚀工艺，能够将氮氧化硅膜的暴露表面刻蚀大约 20 至 50nm。这样，根据第一刻蚀工序，就形成了由第一导电层和第二导电层形成的第一形状的导电层 118 至 124（第一导电层 118a 至 124a 和第二导电层 118b 至 124 b）。参考标号 117 代表栅绝缘膜，通过 20 至 50nm 的刻蚀，使栅绝缘膜 117 的没有被第一形状的导电层 118 至 124 覆盖的区域变得更薄。

此外，实施例 1 中的第一形状导电层 118 至 124 是用一次刻蚀形成的，但它们也可以通过多次刻蚀来形成。

然后进行第一掺杂工序，添加提供 n 型导电率的杂质元素。（看图 2B）掺杂的方法可以采用离子掺杂或离子注入。离子掺杂是在掺杂量从 1×10^{13} 至 5×10^{14} 原子/cm^2 和 60 至 100keV 的加速电压条件下进行的。用周期表 15 族元素，典型的是磷（P）或砷（As），作为提供 n 型导电率的杂质元素，这里用的是磷（P）。在这种情况下，就 n 型导电率而言，导电层 118 至 122 变为给予杂质元素的掩膜，以自对准方式形成第一杂质区 125 至 129。将提供 n 型导电率的杂质元素掺杂到第一杂质区 125 至 129，浓度在 1×10^{20} 至 1×10^{21} 原子/cm^3 的范围内。

下面进行第二刻蚀工序，如图 2C 所示。同样用 ICP 刻蚀方法，用 CF_4 、Cl_2 和 O_2 的混合物作为刻蚀气体，在 1Pa 的压力下，通过给线圈形电极施加 500W 的射频电功率（13.56MHz），产生等离子体，又将 50W（13.56MHz）的射频电功率施加到衬底的侧面（测试片部分），就施加了比第一刻蚀工序更低的自偏压。在上述刻蚀条件下对钨膜进行各向异性刻蚀，对钽（第一导电层）以更慢的刻蚀速度进行各向异性刻蚀，形成第二形状的导电层 131 至 137（第一导

INTEL - 1004
Page 341 of 492

电层 131a 至 137a 和第二导电层 131b 至 137b)。参考标号 130 代表栅绝缘膜，没有被第二形状的导电层 131 至 137 覆盖的区域另外再刻蚀大约 20 至 50nm，形成更薄的区。

此外，实施例 1 中图 2C 所示的第二形状的导电层 131 至 137 是用一次刻蚀形成的，但它们也可以通过刻蚀两次或更多次来形成，例如，在用 CF_4 和 Cl_2 的气体混合物刻蚀后，还可以用 CF_4 、Cl_2 和 O_2 的气体混合物再进行刻蚀。

在 CF_4 和 Cl_2 混合气体作用下，W 膜或 TaN 膜的刻蚀反应可以通过产生的自由基和离子型以及反应产物的蒸汽压来评估。比较钨和钽的氟化物和氯化物的蒸汽压，钨的氟化物（WF_6）（的蒸汽压）非常高，WCl_5、TaF_5 和 $TaCl_5$ 的蒸汽压具有相同的量级。因此钨膜和钽膜都用 CF_4 和 Cl_2 的混合气体来刻蚀。然而，如果往气体混合物中添加适量的 O_2，CF_4 和 O_2 反应，就形成 CO 和 F，并产生大量的 F 自由基或 F 离子。结果，提高了具有高氟化物蒸汽压的钨膜的刻蚀速度。另一方面，即使 F 增加了，钽的刻蚀速度不会相对提高。此外，相对于 W，TaN 更容易氧化，因此由于 O_2 的添加，氧化了 TaN 的表面。由于 TaN 的氧化物不与氟和氯反应，因此进一步降低了 TaN 膜的刻蚀速度。因此使 W 膜和 TaN 膜具有不同的刻蚀速度变为可能，也使 W 膜的刻蚀速度比 TaN 膜的刻蚀速度大变为可能。

然后进行第二掺杂工序，如图 3A 所示。在这种情况下，使掺杂量比第一掺杂工序的掺杂量小，在高加速电压的条件下来掺杂提供 n 型导电率的杂质元素。例如，用 70 至 120keV 的加速电压和 1×10^{13} 原子/cm^3 的掺杂量进行掺杂，在图 2B 的岛状半导体层中的第一杂质区的内侧，形成了新的杂质区。对于杂质元素，用第二导电层 131b 至 135b 作掩膜进行掺杂，使得杂质元素也掺杂到第一导电层 131a 至 135a 下面的区域中。因此就形成了与第一导电层 131a 至 135a 重叠的第三杂质区 143 至 147 以及在第一杂质区和第三杂质区之间的第二杂质区 143 至 147。提供 n 型导电率的杂质元素的掺杂量要使得在第二杂质区中的浓度从 1×10^{17} 变到 1×10^{19} 原子/cm^3，第三杂质区中的浓度从 1×10^{16} 变到 1×10^{18} 原子/cm^3。

此外，这里例举一个用抗蚀剂作掩膜进行第二掺杂工序的实例，但也可以在去除抗蚀剂掩膜后进行第二掺杂工序。

然后，用具有与上述单一导电型相反的导电型的杂质元素进行掺杂，在形

INTEL - 1004
Page 342 of 492

成p沟道TFTs的岛状半导体层104中形成了第四杂质区151至156，如图3B所示。对于杂质元素，用第二导电层132和135作为掩膜，以自对准方式形成杂质区，形成n沟道TFTs的岛状半导体层103、105和106的整个表面由抗蚀剂掩膜148至150覆盖。以不同的浓度将磷掺杂到杂质区151至156，并且这里用乙硼烷（B_2H_6）进行离子掺杂，因而同样将硼以2×10^{20}到2×10^{21}原子/cm^3的浓度掺杂到第四杂质区151至156。实际上，包含在第四杂质区中的硼受楔形导电层和位于半导体层上面的绝缘膜的厚度影响，与第二掺杂工序类似，掺杂到第四杂质区的杂质元素的浓度也是变化的。

通过上述工序在各自的岛状半导体层中形成了杂质区。与岛状半导体层交叠的第二导电层131至134起栅极的作用。此外，参考标号137代表起岛状源布线作用的区，参考标号134代表起栅布线作用的区，参考标号135代表起电容器导线作用的区。

然后进行激活掺杂到各自岛状半导体层中的杂质元素的工序，如图3C所示，目的是控制导电类型。这个工序是用退火炉进行热退火。另外，也可以采用激光退火和快速热退火（RTA）。热退火是用等于或低于1ppm最好等于或低于0.1ppm的氧浓度，在400℃到700℃温度的，典型地在500℃和550℃之间的氮气氛中进行的。在实施例1中，热处理是在500℃进行了4个小时。然而，在用于导线131至137的导线材料对于热很脆弱的情况下，最好在形成层间绝缘层（用硅作主要组分）之后再进行激活，以保护导线等。

激活步骤后的像素部分的顶视图如图6所示。与图1至图5相对应的部分用相同的标号来表示。图3中的C-C’线对应于图6中切线C-C’的截面图。图3中的D-D’线对应于图6中切线D-D’的球面图。

另外，在包含3%和100%之间的氢的气氛中，在300℃到450℃进行1到12小时的热处理，进行岛状半导体层的氢化。这个工序是一种用热激励的氢来终结在岛状半导体层中的不饱和键的工序。也可以采用等离子体氢化（用经等离子体激励的氢）作为另一种氢化方式。

当采用激光退火方法作为激活工艺时，在由氮氧化硅膜形成保护膜后，可以用激光例如YAG激光照射，进行上述的氢化。

形成厚100到200nm的第一层间绝缘膜157，使其与氮氧化硅邻接。然后在第一层间绝缘膜157上形成由有机绝缘材料构成的第二层间绝缘膜158。然

INTEL - 1004
Page 343 of 492

后进行刻蚀，以形成接触孔。

然后在驱动电路 406 中形成岛状半导体层的用于与源区形成接触的源布线 159 至 161 和用于与漏区形成接触的漏布线 162 至 164。此外，在像素部分 407 中，形成像素电极 167、栅布线 166 和连接电极 165。（参见图 4）用连接导线 165，在岛状源布线 137 和像素 TFT404 之间建立电连接。同样在栅布线 166 和第一电极之间建立电连接。像素电极 167 形成了与对应于像素 TFT 有源层（对应于图 1 中的第一半导体层 172）的岛状半导体层和形成存储电容器的岛状半导体层（对应于图 1 中的第二半导体层 173）的电连接。注意相邻像素之间共用像素电极 167。

这样在同一衬底上可以形成具有 n 沟道 TFT401、p 沟道 TFT402 和 n 沟道 TFT403 的驱动电路 406 以及具有像素 TFT404 和存储电容器 405 的像素部分 407。为了方便，在整个说明书中，这种衬底都指有源矩阵衬底。

驱动电路 406 的 n 沟道 TFT401 具有：沟道形成区 168；与第二导电层 131 交叠的第三杂质区 143，该杂质区 143（GOLD（栅极交叠的 LDD Gate-Overlapped-LDD）区）形成栅极；在栅极外侧形成的第二杂质区 141（LDD 轻掺杂漏极（Lightly-Doped-Drain）区）；和起源区或漏区作用的第一杂质区 125。P 沟道 TFT402 具有：沟道形成区 169；与第二导电层 132 交叠的第四杂质区 153，该杂质区形成栅极；在栅极外侧形成的第四杂质区 152；和起源区或漏区作用的第四杂质区 151。n 沟道 TFT403 具有：沟道形成区 170；与第二导电层 133 交叠的第三杂质区 145，该杂质区（GOLD 区）形成栅极；形成在栅极外侧的第二杂质区 140（LDD 区）；和起源区或漏区作用的第一杂质区 127。

像素部分的像素 TFT404 具有：沟道形成区 171；与第二导电层 139 交叠的第三杂质区 146，该杂质区（GOLD 区）形成栅极；形成在栅极外侧的第二杂质区 141（LDD 区）；和起源区或漏区作用的第一杂质区 128。此外，将提供 n 型导电率的杂质元素掺杂到起存储电容器 405 的一个电极作用的半导体层中，其浓度和第四杂质区中的浓度一样。由第二电极 135 和电极之间的绝缘层（栅绝缘膜）形成存储电容器 405。此外，因为第二电极 135 是存储电容器 405 的电极，也起相邻像素薄膜晶体管的栅极的作用，所以要将提供 p 型导电率的杂质元素掺杂到半导体膜 106 中。同样地，第一电极 134 起像素电极 167 的栅极的作用，也起像素电极 175 的存储电容器的电极的作用。对于在像对角线为

INTEL - 1004
Page 344 of 492

4 英寸或更小的显示面板中所需的小的存储电容器来说，这个特征是适用的。而且，应当注意图 13 所示的像素结构对于大尺寸显示面板也是适用的。

由实施例 1 制造的有源矩阵衬底的像素部分的顶视图如图 1 所示。其各部分对应于图 2A 至图 6。图 1 的 A-A’线对应于图 4 所示的 A-A’线，图 1 的 B-B’线对应于图 6 所示的 B-B’线。

然后，采用具有本发明的像素电极的有源矩阵衬底，在不同的层中形成部分起栅极和栅布线作用的第一电极 134，使得通过栅布线 166 来为半导体膜屏蔽光线。

此外，采用具有本发明的像素结构，将源布线设置成在像素电极的边缘部分与之交叠，使得不用黑色衬质就能为像素电极之间的间隙屏蔽光线。

上面提到的像素结构使提供具有大面积的像素电极以提高孔径比成为可能。

此外，根据实施例 1 所示的工艺，通过用五层光掩膜（岛状半导体层布图、第一导线布图（包含第一电极 134、第二电极 135 和源布线 137）、p 沟道 TFT 的源区和漏区布图、接触孔布图、第二导线布图（包含像素电极 167、连接电极 165 和栅布线 166））就能够制造有源矩阵衬底。结果，减少了工序，也有助于制造费用的降低和产量的增加。

此外，在这个实施例中尽管给出了栅极和源布线同时形成的实例，但也可以形成另外的掩膜，使栅极和第一电极在不同的制造步骤中分别形成。具体地说，首先形成与作为栅极的半导体层交叠的部分。在成功地将 n 型或 p 型杂质元素掺杂到作为栅极的部分并激活这部分后，形成第一电极，使得第一电极与栅极交叠。此时，不用形成接触孔，仅通过将第一电极重叠在栅极上，形成栅极和第一电极之间的接触。此外，与第一电极同时形成源布线。这里允许采用具有低阻的铝或铜作为第一电极和源布线的材料。

[实施例 2]

在下面的实施例 2 中说明了用实施例 1 中制造的有源矩阵衬底制造有源矩阵液晶显示器件的工艺。用图 5 来说明。

在首先根据实施例 1 得到图 4 的有源矩阵衬底之后，在图 4 的有源矩阵衬底上形成导向膜 567 并进行研磨工序。

准备相对衬底 569。在相对衬底 569 上形成滤色器层 570 和 571 以及涂层

INTEL - 1004
Page 345 of 492

573。形成滤色器层，以致具有红色的滤色器层 570 和具有蓝色的滤色器层 571 彼此交叠，而且同样作为光屏蔽膜。当采用实施例 1 的衬底时，需要至少屏蔽 TFTs 之间的空间和连接电极以及像素电极，因此，最好将红色滤色器和蓝色滤色器安排以致相互重叠并屏蔽所需的位置。

此外，通过与连接电极 165 相结合，交叠红色滤色器层 570、蓝色滤色器层 571 和绿色滤色器层 572，形成垫片。通过将色料混入丙烯酸树脂形成厚 1 到 3μm 的各个滤色器。用感光材料做掩膜能形成预定图形。考虑到 1 到 4μm 的涂层厚度，垫片的高度可以从 2 到 7μm，最好在 4 至 6μm 之间。当有源矩阵衬底和相对衬底粘接到一起时，通过这个高度形成间隙。通过光固化或热固化有机树脂材料形成涂层，例如用像聚酰亚胺和丙烯酸树脂之类的材料。

可以随意地确定垫片的位置，例如垫片可以设在相对的衬底上，使其与连接电极上面的位置对准，如图 5 所示。此外，垫片也可以设在相对的衬底上，使其与驱动电路的 TFTs 上面的位置对准。垫片可以设置在驱动电路部分的整个表面上，还可以设置成覆盖源布线和漏布线的位置上。

在形成涂层 573 后，通过布图形成相对电极 576，在形成导向膜 574 后进行研磨工序。

然后，将其上形成了像素部分和驱动电路的有源矩阵衬底和相对衬底用密封胶 568 粘接在一起，在密封胶 568 中混入了填料，并且通过填料和垫片保持一定的间隙，将两个衬底粘接在一起。然后在两个衬底之间注入液晶材料 575，并用密封材料（图中未示出）完全密封。所用液晶材料可以用已知的液晶材料。这样就完成了图 5 所示的有源矩阵液晶显示器件。

[实施例 3]

参考图 7A 的顶视图来说明用实施例 2 得到的有源矩阵液晶显示器件（图 5）的结构。其中与图 5 对应的部分用相同的参考标号来表示。

在图 7A 所示的顶视图中，在有源矩阵衬底 201 上形成像素部分、驱动电路、粘接有 FPC（柔性印刷电路）的外输入端子 203、用于连接外输入端子 203 和各个电路的输入区的导线 204 等。有源矩阵衬底 201 和其上形成了滤色器等的相对衬底 569 互相粘接，中间夹有端部密封材料 568。

由红色滤色器或红色滤色器和蓝色滤色器的叠层膜构成的光屏蔽膜 207 形成在栅布线侧驱动电路 205 和源布线侧驱动电路 206 的上表面上，面对相对衬

INTEL - 1004
Page 346 of 492

底。设置形成在像素部分 407 表面上的、面对相对衬底的滤色器 208，使得每个红（R）、绿（G）、蓝（B）滤色器对应于每个像素。在实际显示器中，通过三色滤色器，也就是红色滤色器、绿色滤色器和蓝色滤色器来实现彩色显示。这三种颜色的滤色器的排列是任意的。

图 8A 显示了图 7A 所示的外输入端子 203 沿 F-F’ 线的截面图。为了减小层间电容器和导线电阻来防止出现由于导线断裂而导致的缺陷，外端子 203 形成在有源矩阵衬底的侧边上，通过形成在与像素电极同一层的导线 209 连接到形成在与栅布线同一层的导线 211，中间夹有绝缘膜 158。

将包含基膜 212 和导线 213 的 FPC 用各向异性导电树脂 214 与外输入端子粘接在一起。此外，通过加强板 215 增强了机械强度。

图 8B 是图 8A 所示的外端子区的截面图，图中详细显示了外输入端子 203。设置在有源矩阵衬底侧边上的外输入端子 203 包含形成在与第一电极和源布线同一层的导线 211 和形成在与像素电极同一层的导线 209。很显然这里只显示了端子区结构的一个实例，并且外端子区也可以由导线 211 或导线 209 构成。例如，当外端子区由形成在与第一电极和源布线同一层的导线 211 构成时，需要移去覆盖导线 211 的层间绝缘膜。由与像素电极层相同的层制成的导线 209 具有三层结构，即钛膜 209a、铝膜 209b 和锡膜 209c。FPC 由基膜 212 和导线 213 形成。用各向异性导电粘合剂将导线 213 和形成在与像素电极同一层的导线 209 彼此粘接在一起，其中导电粘合剂由热固性粘合剂 214 和分散在其中的导电颗粒 216 构成，从而形成电连接结构。

另一方面，图 7B 是图 7A 所示外输入端子 203 沿 E-E’ 线的截面图。导电颗粒 216 的外径比导线 209 的间距小。据此，假如分散在粘合剂 214 中的导电颗粒 216 的量合适的话，可以在不引起与相邻导线短路的情况下形成与 FPC 面上的相应导线电连接。

如上所述制造的有源矩阵液晶显示器件可以用作各种电设备的显示区。

[实施例 4]

不用任何附加制造工序，就可以将实施例 1 中制造的有源矩阵衬底应用到反射型显示器件。另一方面，当制造透射型液晶显示器件时，用于为像素部分的每个像素设置的像素电极用透明电极形成。在这个实施例中，参考图 9A 至 9C 来描述用于透射型液晶显示器件的有源矩阵衬底的制造方法。

INTEL - 1004
Page 347 of 492

关于有源矩阵衬底的制造，接着实施例 1 的工序，实施直到形成到达半导体层接触孔的制造工序。接着形成用于连接源布线 137 和源区的连接电极 165、栅布线 300 和用于连接漏极和像素电极的连接电极 301（图 9A）。这些电极和导线是通过在布图前用溅射或真空蒸发形成导电金属膜而得到的。下面参考图 9B，用连接 301 作为例子，详细描述该结构。形成厚 50 至 150nm 的钛膜 301a 来形成与半导体层的接触，该半导体层形成岛状半导体层的源区或漏区。形成厚 300 至 400nm 的铝膜 301b 使其与钛膜 301a 交叠，然后在上面形成厚 100 至 200nm 的钛膜 301c 或氮化钛（TiN）膜，以便得到三层结构。此后，在三层结构的整个表面上形成透明导电膜，然后须用光掩膜进行布图处理和进行刻蚀处理以便形成像素电极 303。该像素电极 303 是形成在由有机树脂材料制成的第二层间绝缘膜上的，并具有与像素 TFT404 的连接电极 301 交叠的部分，使其不穿过接触孔，由此形成电连接。

用另一种方法，可以在下列工序中形成连接部分。首先，在第二层间绝缘膜上形成透明导电膜。然后，在布图处理后进行刻蚀处理，形成像素电极，通过形成局部与像素电极接触的连接电极形成连接部分，使其不穿过接触孔。作为透明导电膜的材料，可以用氧化铟（In_2O_3）或氧化铟和氧化锡的合金（In_2O_3-SnO_2；ITO）等通过溅射、真空蒸发等形成。用盐酸溶液进行这类材料的刻蚀处理。由于在 ITO 的刻蚀中可能产生残留，可以选择用氧化铟和氧化锌合金（In_2O_3-ZnO）来提高刻蚀加工性。与 ITO 相比，由于氧化铟和氧化锌合金具有优异的表面光滑度和热稳定性，使用氧化铟和氧化锌合金能避免铝膜 301b 从接触连接电极 301 端面上的像素电极 303 处引起腐蚀反应。同样地，氧化锌也是用作透明导电膜的合适材料。另外，可以将镓（Ga）掺杂到氧化锌中（ZnO：Ga）来加强可见光的透射率和导电率。

图 25 是像素的顶视图。图 25 所示的像素具有大约 56%的孔径比。与图 9A 至 9C 中相对应的部件用相同的的参考标号来表示。

图 9C 是透射型液晶显示器件端子部分的截面图。设置在有源衬底侧边上的外输入端子包含由与第一电极和源布线相同的层制成的导线 311 和由与像素电极相同的层制成的导线 309。当然，这只是一个显示端子区结构的例子；外输入端子可以用导线 133 或导线 309 形成。例如，当用由与第一电极和源布线相同的层制成的导线 311 形成外输入端子时，需要移去交叠的层间绝缘膜。

INTEL - 1004
Page 348 of 492

由与像素电极相同的层制成的导线309具有三层结构：钛膜309a、铝膜309b和钛膜 309C。在形成导线 309 后，在暴露铝的区域进行氧化处理，以便防止铝膜309b 接触像素电极303 以引起腐蚀反应。

由基膜312 和导线313 形成FPC。用各向异性导电粘合剂将导线313 和由与像素电极相同的层制成的导线 309 彼此粘接在一起，其中导电粘合剂由热固性粘合剂314 和分散在其中的导电颗粒316 构成，因此形成电连接结构。

如上所述，在实施例 1 中用五个光掩膜制造用于反射型液晶显示器件的有源矩阵衬底，然而用额外的光掩膜（总共六个光掩膜）可以制造用于透射型液晶显示器件的有源矩阵衬底。这个实施例描述为实施与实施例 1 相同的制造工艺；这个结构是可以应用到实施例2 的。

[实施例 5]

在这个实施例中，图 10 中示出了将银和铝的叠层结构用作第二导线的例子。除了第二导线图形，实施例 5 的结构与实施例 1 的结构是一样的。下面只描述与实施例 1 不同的部分。

在这个实施例中，用包含高反射率的银的叠层结构作为引导电极 609。引导电极 609 与未示出的像素电极、连接电极和栅布线同时制造。609a 层是由铝制成的具有低电阻的导电层，而 609b 层是包含银作为主成分并具有高反射率的导电层。这样的结合能够实现具有高反射率和低导线电阻的有源矩阵衬底。

这个实施例可与实施例 1 到 4 的任意一个进行自由组合。

[实施例 6]

参考图 11，在实施例 6 中说明了一个具有不同于实施例 1 的有源矩阵衬底的 TFT 结构的例子。

如图 11 所示，在有源矩阵衬底上形成驱动电路 857 和像素部分 858，驱动电路 857 具有逻辑电路部分 855 和取样电路 856，逻辑电路部分 855 包含第一 p 沟道 TFT850 和第二 n 沟道 TFT851，取样电路 856 由第二 n 沟道 TFT852 制成，像素部分 858 具有像素 TFT853 和存储电容器 854。驱动电路 857 的逻辑电路部分 855 的 TFT 形成如移位寄存电路或缓冲电路之类的电路，取样电路 856 的 TFT 基本上形成模拟开关。

在基膜 802 上的岛状半导体层 803 到 806 中，通过形成沟道形成区、源区、漏区和 LDD 区来形成这些 TFTs，其中基膜 802 是形成在衬底 801 上的。形成

INTEL - 1004
Page 349 of 492

基膜和岛状半导体层的方式与实施例 1 相同。在栅绝缘膜 808 上形成栅极 809 至 812，在它们的边缘部分具有楔形形状，用这些部分形成 LDD 区。与实施例 1 一样，这种楔形能用 ICP 刻蚀装置，通过钨膜的各向异性刻蚀技术形成。此外，源布线 813 和第二电极（电容器电极）815 也具有楔形。

为了提高 n 沟道 TFTs 的可靠性，利用楔形部分形成 LDD 区，通过 LDD 区防止由于热载流子效应降低导通电流。关于 LDD 区，用离子掺杂法来形成，即杂质元素的离子通过电场加速，穿过栅极的边缘部分和穿过边缘部分附近的栅绝缘膜掺杂到半导体膜。

第一 LDD 区 835、第二 LDD 区 834 和源区或漏区 833 形成在第一 n 沟道 TFT851 中的沟道形成区 832 的外侧，形成的第一 LDD 区 835 要与栅极 810 重叠。此外，由于上层栅绝缘膜和栅极的膜厚不同，包含在第一 LDD 区 835 和第二 LDD 区 834 中的 n 型杂质元素比第二 LDD 区 834 的高。同样形成具有同样结构的第二 n 沟道 TFT852，该第二 n 沟道 TFT852 由沟道形成区 836、与栅极交叠的第一 LDD 区 839、第二 LDD 区 838 和源区或漏区 837 构成。另一方面，p 沟道 TFT850 具有单漏极结构，形成杂质区 829 至 831，其中 p 型杂质掺杂到沟道形成区 828 的外侧。

为了减小断开电流，用多栅结构形成像素 TFT，其中像素 TFT 是由像素部分 858 中的 n 沟道 TFT 形成的，在沟道形成区 840 的外侧形成与栅极重叠的第一 LDD 区 843、第二 LDD 区 842 和源区或漏区 841。此外由岛状半导体层 807、由与栅绝缘膜 808 相同的层形成的绝缘层和第二电极 815 共同形成存储电容器 854。将 p 型杂质掺杂到岛状半导体层 807，由于低电阻率，可以使施加到第二电极的电压更低。

用厚 50 到 500nm、并用有机材料例如氧化硅、氮化硅或氮氧化硅制成的第一层间绝缘膜 816 和用有机绝缘材料例如聚酰亚胺、丙烯酸、氨基聚酰亚胺或 BCB（苯并环丁烯）制成的第二层间绝缘膜 817 形成层间绝缘膜。通过用有机绝缘材料形成第二层间绝缘膜，可以得到好的水平面。此外，有机树脂材料通常具有低的介电常数，因此可以减小寄生容量。然而，有机树脂材料是吸湿的，不适合做保护膜。因此最好形成与第一层间绝缘膜 816 结合的第二层间绝缘膜。

然后形成具有预定图形的抗蚀剂掩膜，形成用于到达各自岛状半导体层的

INTEL - 1004
Page 350 of 492

源区或漏区的接触孔。接触孔用干法腐蚀形成。在这种情况下，用 CF_4、O_2 和 He 作为刻蚀气体，首先刻蚀由有机树脂材料制成的层间绝缘膜。下一步用 CF_4 和 O_2 作为刻蚀气体，刻蚀保护绝缘膜。另外，通过开关 CHF_3 刻蚀气体来提高关于岛状半导体层的选择性，刻蚀栅绝缘膜。这样可以形成好的接触孔。

然后用溅射或真空蒸发形成导电金属膜，形成抗蚀剂掩膜图形，通过刻蚀形成源极和漏布线 818 至 823、像素电极 827、栅布线 826 和连接电极 825。这样就能形成具有图 1 所示像素结构的像素部分的有源矩阵衬底。此外，用实施例 6 的有源矩阵衬底可以制造在实施例 2 中示出的有源矩阵液晶显示器件。

此外，尽管在这个实施例中给出的是栅极和源布线同时形成的一个例子，但也可以再形成另一个掩膜，在不同的制造步骤中分别形成栅极和第一电极。具体地，首先形成与作为栅极的半导体层重叠的部分。在成功地将 n 型或 p 型杂质元素掺杂到作为栅极的部分并激活这部分后，形成第一电极，使其与栅极交叠。至此，不用形成接触孔，仅将第一电极叠置在栅极上，就形成了栅极和第一电极之间的接触。此外，源布线与第一电极同时形成。这就允许采用具有低电阻的铝或铜作为第一电极和源极的材料。

[实施例 7]

参考图 12，在实施例 7 中介绍另一个具有不同于实施例 1 的有源矩阵衬底的 TFT 结构的实例。

如图 12 所示，在有源矩阵衬底上形成驱动电路 957 和像素部分 958，驱动电路 957 具有逻辑电路部分 955 和取样电路 956，逻辑电路部分 955 包含第一 p 沟道 TFT950 和第二 n 沟道 TFT951，取样电路 956 由第二 n 沟道 TFT952 制成，像素部分 958 具有像素 TFT953 和存储电容器 954。驱动电路 957 的逻辑电路部分 955 的 TFT 形成如移位寄存电路或缓冲电路之类的电路，取样电路 956 的 TFT 基本上形成模拟开关。

关于在实施例 7 中示出的有源矩阵衬底，首先在衬底 901 上形成基膜 902，该基膜由如氧化硅膜或氮氧化硅膜之类的膜形成，具有 50 至 200nm 的厚度。然后由经激光晶化或热晶化制成的晶体半导体膜形成岛状半导体层 903 至 907。在岛状半导体层上形成栅绝缘膜 908。然后将提供 n 型导电率的杂质元素典型的是磷（P）有选择地掺杂到岛状半导体层 904 和 905，形成 n 沟道 TFTs，并掺杂到岛状半导体层 907 中，形成存储电容器，掺杂浓度为 1×10^{16} 到 1×10^{19}

INTEL - 1004
Page 351 of 492

原子/cm^3。

通过用具有钨或氮化钽作为组分的材料形成栅极 909 至 912、第二电极（电容器电极）915 和源布线 913。栅极、第二电极和源布线也可以用具有低电阻率的材料例如铝分别形成。然后将提供 n 型导电率的杂质元素，典型的是磷（P），以 1×10^{19} 到 1×10^{21} 原子/cm^3 的浓度有选择地掺杂到岛状半导体层 903 至 907 的外侧、栅极 909 至 912 的外侧和第二电极 915 的外侧。这样就分别在第一 n 沟道 TFT951 和第二 n 沟道 TFT952 中形成了沟道形成区 931 和 934、LDD 区 933 和 936 以及源极或漏极区 932 和 935。像素电极 TFT953 的 LDD 区 939 是以自对准方式、用栅极 912 形成的，并形成在沟道形成区 937 的外侧。与第一和第二沟道 TFTs 类似，形成源区或漏区 938。

与实施例 3 类似，通过用有机材料例如氧化硅、氮化硅或氮氧化硅制成第一层间绝缘膜 916 和用有机绝缘材料例如聚酰亚胺、丙烯酸、氨基聚酰亚胺或 BCB（苯并环丁烯）形成的第二层间绝缘膜 917 形成层间绝缘膜。然后形成具有预定图形的抗蚀剂掩膜，在各自的岛状半导体层中形成用于到达源区或漏区的接触孔。然后用溅射法或真空蒸发法形成导电金属膜，并形成源布线和漏布线 918 至 923、像素电极 927、栅布线 926 以及连接电极 925。这样就形成了图 1 所示的具有像素结构的像素部分的有源矩阵衬底。此外，用实施例 7 的有源矩阵衬底也能够制造实施例 2 所示的有源矩阵液晶显示器件。

逻辑电路部分 955 的第一 n 沟道 TFT951 具有这样一种结构，即在漏极侧形成与栅极交叠的 GOLD 区。通过该 GOLD 区减轻了在漏极区附近产生的高电场区，防止了热载流子的产生，从而能防止 TFT 的劣化。具有这种结构的 n 沟道 TFT 适合于用在缓冲电路和移位寄存电路中。另一方面，在取样电路部分 956 中的第二 n 沟道 TFT952 的结构中，在源极侧和漏极侧形成了 GOLD 区和 LDD 区，从而避免了在通过极性倒置来工作的模拟开关中由于热载流子而引起的劣化。另外，这个结构的目的在于减小关断电流。像素 TFT953 具有 LDD 结构，并通过多栅形成，并且这个结构的目的在于减小关断电流。另一方面，用单漏极结构形成 p 沟道 TFT，并且在沟道形成区 928 的外侧掺杂了 p 型杂质元素，从而形成杂质区 929 和 930。

这样，应随所需要的具体情况，用像素部分和驱动电路来优化构成每个电路的 TFTs，并且图 12 所示的有源矩阵衬底具有这样的结构，即是在特别考虑

INTEL - 1004
Page 352 of 492

提高每个电路的操作特性和可靠性的情况下设计的。

此外，在这个实施例中尽管列举了栅极和源布线同时形成的例子，但也可以形成另外的掩膜，使栅极和第一电极可以在不同的制造步骤中分别形成。具体地说，首先形成与半导体层交叠的作为栅极的部分，在成功地将 n 型或 p 型杂质元素掺杂到作为栅极的部分并激活这部分后，形成第一电极使其与栅极交叠。至此，不用形成接触孔，仅在栅极上交叠第一电极就形成了栅极和第一电极之间的接触。此外，与第一电极同时形成源布线。允许用具有低电阻的铝或铜作为第一电极和源布线的材料。

[实施例 8]

在这个实施例中，图 13 示出了具有不同于图 1 所示的像素结构。图 14 中示出了它的截面结构，说明沿 A-A’ 线和 G-G’ 线得到的横截面。只有存储电容器的结构不同于实施例 1，本实施例中的其它结构与实施例 1 中的结构都相同。

在这个实施例中，用第二半导体层 1002 和电容器电极 1005、用第二半导体层 1002 上的绝缘膜作为电介质形成存储电容器。第一半导体层用参考标号 1001 表示，电容器电极 1005 连接到存储导线 1009，电容器电极 1005 与第一电极 1004 和源布线 1006 在同一个绝缘膜上同时形成。此外，电容器导线与像素电极 1011、连接电极 1010 和栅布线 1007 在同一个绝缘膜上同时形成。

在这个实施例中，就像在像素 TFT 中那样，将提供 n 型导电率的杂质元素通过 1014 掺杂到杂质区 1012。这个结构甚至可以用于大尺寸显示板例如对角线为 10 英寸或更大的显示板。

此外，在这个实施例中尽管给出了栅极和源布线同时形成的例子，但可以形成另外的掩膜，在不同的制造步骤中分别形成栅极、第一电极和电容器导线。具体地说，首先形成与半导体层交叠的作为栅极的部分。在成功地将 n 型或 p 型杂质元素掺杂到作为栅极的部分并激活这部分后，形成第一电极使其与栅极交叠。至此，不用形成接触孔，仅在栅极上交叠第一电极就形成了栅极和第一电极之间的接触。此外，源布线和电容器导线与第一电极同时形成。这就允许用具有低电阻的铝或铜作为第一电极和源布线的材料。此外，将 n 型或 p 性杂质元素掺杂到与电容器导线交叠的半导体层部分，以便增加存储电容器。

根据本实施例，可以在不增加掩膜数量的情况下，通过改变实施例 1 的掩

INTEL - 1004
Page 353 of 492

膜设计来制造有源矩阵衬底。

本实施例可以和实施例 1 至 5 中的任一个自由地组合。

[实施例 9]

实施例 9 描述了制造晶体半导体层的另一种方法，，该晶体半导体层用于形成实施例 1 描述的有源矩阵衬底的 TFT 的半导体层。在这个实施例中，可以采用日本专利 No.7-130652 中公开的用催化元素的晶化方法，下面将列举一个实例。

用实施例中描述的方法在玻璃衬底上形成厚 25 至 80nm 的基膜和非晶半导体层。例如，形成厚 55nm 的非晶硅膜。通过旋涂法用包含 10ppm（以重量计）催化元素的水溶液形成包含催化元素的层。催化元素包含镍（Ni）、锗（Ge）、铁（Fe）、钯（Pd）、锡（Sn）、铅（Pb）、钴（Co）、铂（Pt）、铜（Cu）和金（Au）。除了旋涂，还可以用溅射或真空蒸发形成包含催化元素的层 170，使得催化元素层的厚度为 1 至 5nm。

在晶化步骤中，首先在 400℃ 至 500℃ 热处理 1 小时，降低非晶硅膜的氢含量，使其不高于 5 原子%（原子百分数），然后在退火炉中，氮环境下进行 550℃ 至 600℃ 的热退火，退火时间为 1 至 8 小时。依照上面提到的工艺，就能得到包括晶体硅膜的晶体半导体层。

与实施例 1 类似，通过用上述的晶体半导体层形成岛状半导体层，就能形成有源矩阵衬底。然而，在晶化过程中，如果使用了促进硅晶化的催化元素，就有少量（大约为 1×10^{17} 到 1×10^{19} 原子/cm^3）的催化元素保留在了岛状半导体层中。在这种状态下完成 TFT 当然是可能的，但最好至少从沟道形成区除去遗留的催化元素，除去的方法之一是用磷的吸收效应。

为了这个目的，可以将用磷进行吸收处理的步骤和图 3C 所说的激活步骤同时进行。吸收用的磷（P）的浓度可以接近高浓度 n 杂质区的杂质浓度。激活步骤的热退火允许催化元素从 n 沟道 TFT 和 p 沟道 TFT 分离到包含磷（P）的杂质区。结果，催化元素以 1×10^{17} 至 1×10^{19} 原子/CM^3 的浓度分离在杂质区中。这样制造的 TFT 具有降低的关断电流值和高的结晶度。因此可以得到高的场效应渗透率和优异的特性。

这个实施例可以和实施例 1 至 8 中的任一结构自由结合。

[实施例 10]

INTEL - 1004
Page 354 of 492

在这个实施例中，不同于实施例 1 的像素结构（IPS 系统）如图 15 所示，它的截面结构如图 16 所示，截面是沿 A-A’ 线和 H-H’ 线得到的截面。

这个实施例显示了 IPS（In-Plane Switching）（平面开关）系统（也指水平电场系统）的有源矩阵液晶显示器件的一个实例。IPS 系统的特征在于像素电极和共用导线都形成在一对衬底上，在水平方向施加电场。结果，控制液晶分子的纵轴，使其导向在完全平行于衬底表面的方向上。IPS 系统的应用允许增大视角。

在图 15 中，第一半导体层用参考标号 1101 表示，第二半导体层用 1102，第一电极用 1104，第二电极用 1105，源布线用 1106，栅布线用 1107，公用导线用 1108 和 1109，连接电极用 1110，像素电极用 1111。设置像素电极 1111 和公用导线 1108 及 1109，要使得产生的电场平行于衬底的表面。设置的公用导线 1108 和 1109 要与源布线 1106 交叠，结果是提高了像素部分的孔径比。

如图 16 所示，在覆盖第一半导体层 1101 和第二半导体层 1102 的绝缘膜上同时形成第一电极 1104、第二电极 1105 和源布线 1106。在覆盖源布线 1106 的层间绝缘膜上同时形成像素电极 1111、连接电极 1110、栅布线 1107 和公用导线 1109。

第一电极 1104 电连接到栅布线 1107。与第一半导体层 1101 重叠的第一电极 1104 起栅极的作用。

尽管在这个实施例中示出了长方形的像素电极，但像素电极和公用电极可以具有 V 形电极结构，以便进一步增加视角。由第二半导体层 1102、覆盖半导体层 1102 的绝缘膜和第二电极 1105 形成存储电容器。第二电极 1105 电连接到相邻像素的栅布线。此外，将提供 p 型导电率的杂质元素掺杂到第二半导体层 1102。

通过改变实施例 1 的掩膜图形，用实施例 1 的制造工艺可以得到本实施例的像素结构。

在用实施例 1 得到图 15 和 16 所示的状态后，用实施例 2 描述的方法得到液晶显示器件。用与实施例 2 类似的方式，用设置在相对衬底上的滤色器对像素之间的间隙屏蔽光。然而，由于采用 IPS 系统，需要改变导向处理等。

[实施例 11]

在这个实施例中，不同于实施例 10 的 IPS 系统的像素结构示于图 17 中。

INTEL - 1004
Page 355 of 492

它的截面结构示于图 18 中，说明沿 J-J’线和沿 K-K’线得到的截面。只有这个实施例的像素电极结构不同于实施例 10，除了像素电极之外的其它结构基本上与实施例 10 相同。

在图 17 中，第一半导体层用参考标号 1201 表示，第二半导体层用 1202，第一电极用 1204，第二电极用 1205，源布线用 1206，栅布线用 1207，公用导线用 1208 和 1209，第一连接电极用 1210，像素电极用 1211，第二连接电极用 1212 和 1213。设置像素电极 1211 和公用导线 1208 及 1209，以使得产生平行于衬底的表面的电场。作为像素电极 1211，采用具有透光性的导电膜（ITO 膜等）。设置用于布图具有透光性的导电膜的另外的掩膜，使得第二电极与像素电极重叠以形成电连接。采用具有透光性的导电膜作为像素电极以提高孔径比。此外，设置的公用导线 1208 和 1209 要与源布线 1206 交叠，以便提高像素部分的孔径比。

如图 18 所示，在覆盖第一半导体层 1201 和第二半导体层 1202 的绝缘膜上同时形成第一电极 1204、第二电极 1205 和源布线 1206。此外，在覆盖源布线 1206 的层间绝缘膜上同时形成第一连接电极 1210、栅布线 1207、公用导线 1209 和第二连接电极 1213 和 1212。

第一电极 1204 电连接到栅布线 1207，与第一半导体层 1201 重叠的第一电极 1204 的一部分起栅极的作用。

尽管在本实施例中示出了长方形的像素电极，像素电极 1211 和公用电极也可以具有 V 形电极结构，以进一步增大视角。

由第二半导体层 1202、覆盖第二半导体层 1202 的绝缘膜和第二电极 1205 形成存储电容器。第二电极 1205 电连接到相邻像素的栅布线。此外，将提供 p 型导电率的杂质元素掺杂到第二半导体层 1202。

如果改变实施例 1 的掩膜图形，用与实施例 1 相同的制造工艺，可以得到本实施例的像素结构。

在用实施例 1 得到图 15 和 16 所示的状态后，用实施例 2 中描述的方法可以得到液晶显示器件。与实施例 2 类似，用设置在相对衬底上的滤色器对像素之间的间隙屏蔽光线。然而，由于在本实施例中采用 IPS 系统，必须改变导向处理等。

[实施例 12]

INTEL - 1004
Page 356 of 492

在本实施例中，不同于实施例 1 的存储电容器的截面结构示于图 19。只有本实施例的存储电容器的结构不同于实施例 1，除了存储电容器之外的其它结构基本上与实施例 1 相同。用与实施例 1 相同的参考标号表示的部分对应于实施例 1 的部分。

首先，在继续实施例实施例 1 的制造工序，形成了层间绝缘膜 157 之后，提供用于选择刻蚀以便部分移去层间绝缘膜 157 的另外的掩膜。选择刻蚀的结果是，选择性地留下了由有机树脂制成的层间绝缘膜 1300 和层间绝缘膜 157。然后，紧接着形成像素电极 1302。

在这个例子中，与实施例 1 一样，存储电容器是由包含杂质区 154 至 156 的半导体膜和电容器电极、用第一绝缘膜作为电介质形成的。另外，由电容器电极 1301 和像素电极 1302、用层间绝缘膜 157 作为电介质形成另一个存储电容器。与在像素 TFT 中一样，将提供 n 型或 p 型导电率的杂质元素掺杂到杂质区 154 至 156。

具有这样的结构，存储电容器的数量可以进一步增加。

这个实施例可以和实施例 1 到 9 中的任意一个进行自由组合。

[实施例 13]

根据本发明的 CMOS 电路和像素部分可用于各种光电器件（有源矩阵型液晶显示器件和有源矩阵型 EC 显示器件）。因此本发明可以应用到所有在显示部分包含这种光电器件的电设备。

下面给出了这些电设备的实例：摄像机、数字相机、投影机（背投式或前投式）、头戴式显示（护目型显示）、汽车导航系统、汽车立体声系统、个人计算机和手提信息终端（例如便携计算机、手提电话或电子记事薄）。这些例子示于图 20、21 和 22。

图 20A 是个人计算机，它包含主体 2001、图象输入部分 2002、显示部分 2003 和键盘 2004 等。本发明可以应用到图象输入部分 2002、显示部分 2003 或其它驱动电路。

图 20B 是摄像机，它包含主体 2101、显示部分 2102、声频输入部分 2103、控制开关 2104、电池 2105 和图象接收部分 2106 等。本发明可以应用到显示部分 2102 或其它驱动电路。

图 20C 是便携计算机，它包含主体 2201、相机部分 2202、图象接收部分

INTEL - 1004
Page 357 of 492

2203、控制开关 2204 和显示部分 2205。本发明可以应用到显示部分 2205 或其它信号控制电路。

图 20D 是头戴型显示的一部分（右手型），它包含主体 2301、信号线 2302、头固定带 2303、显示部分 2304、光学系统 2305 和显示部件 2306 等。本发明可以应用到显示部件 2306。

图 20E 是用记录媒体的唱机，在记录媒体上记录节目（下文称记录媒体），该唱机包含主体 2401、显示部分 2402、扬声器部分 2403、记录媒体 2404 和控制开关 2405 等。须说明的是这个唱机用记录媒体例如 DVD（数字通用盘）或 CD，可以进行欣赏音乐、欣赏电影、玩游戏或上网。本发明可以应用到显示部分 2402 或其它驱动电路。

图 20F 是数字相机，它包含主体 2501、显示部分 2502、目镜部分 2503、控制开关 2504 和图象接收部分（图中未示出）等。本发明可以应用到显示部分 2502 或其他驱动电路。

图 21A 是前投式投影机，包括：显示部件 2601；和屏幕 2602。本发明可以应用到由一部分显示部件 2601 或其它驱动电路构成的液晶显示器件 2808。

图 21B 是背投式投影机，包括：主体 2701；显示部件 2702；反光镜 2703 和屏幕 2704。本发明可以应用到包括一部分显示部件 2702 或其它驱动电路的液晶显示器件 2808。

图 21C 是一个示意图，显示了一个图 21A 和图 21B 的显示部件 2601 和 2702 的结构实例。每个显示部件 2601 或 2702 包括：光源系统 2801；反光镜 2802 和 2804 至 2806；分色镜 2803；棱镜 2807；液晶显示器件 2808；分相板 2809 和投射光系统 2810。投射光系统 2810 包括多个具有投射镜头的光学透镜，尽管本实施例显示的是 3 片式的例子，但本发明并不限于这个例子，例如可以用单片式。此外，如图 21C 中的箭头所示，工作人员可以在光路中合理地配置光学透镜、能使光偏振的膜、调整相差的膜和 IR 膜等。

图 21D 是显示图 21C 中光源系统 2801 的一个结构实例示意图。在本实施例中，光源系统 2801 包括：反射器 2811；光源 2812；透镜阵列 2813 和 2814；偏振转化元件 2815 和聚光镜 2816。注意图 21D 中示出的光源系统只是一个实例，其结构并不限于这个实例，例如，工作人员可以合理地配置光学透镜、能使光偏振的膜、调整相差的膜和 IR 膜等。

INTEL - 1004
Page 358 of 492

图 21 所示的投影机用的是透射型光电器件，没有说明反射型光电器件的应用实例。

图 22A 是手提电话，包括：主体 2901、声频输出部分 2902、声频输入部分 2903、显示部分 2904、操作开关 2905 和天线 2906 等。本发明可以应用到声频输出部分 2902、声频输入部分 2903、显示部分 2904 或其它驱动电路。

图 22B 是便携记事本（电子记事薄），包括：主体 3001、显示部分 3002 和 3003、记录媒介 3004、操作开关 3005 和天线 3006 等。本发明可以应用到显示部分 3002 和 3003 或其它驱动电路。

图 22C 是显示器，包括：主体 3101、支撑座 3102 和显示部分 3103 等。本发明可以应用到显示部分 3103。本发明的显示器对于大尺寸（对角线等于或大于 10 英寸，尤其等于或大于 30 英寸）屏幕特别有利。

这样，本发明的应用范围是非常广的，将本发明应用到所有领域中的电设备是可能的。此外，用实施例 1 至 12 的任意组合构成的产品可以实现本发明的电设备。

[实施例 14]

在实施例 1 中进行一次刻蚀的条件下，尽管进行了用于形成第一形状的导电层的第一刻蚀处理，但也可以进行多次刻蚀处理以防止绝缘膜的厚度减小和提高外形的一致性。在本实施例中，列举了一个进行两次第一刻蚀处理来形成第一形状导电层的实例。

在本实施例中，虽然在栅极的两侧形成了楔形以及在沟道形成区的两侧形成了 LDD 区，但下面参考图 24A 至 24D 将详细描述本实施例，其中图 24A 至 24D 是说明在制造工序中，仅表示栅极周围一侧的扩大的截面图。为了简单。基膜和衬底在图 24A 至 24D 中未示出。

首先，接着实施例 1 的制造工序，得到图 24A 所示的状态。设定第一导电膜的厚度为 20 至 100nm 以及第二导电膜的厚度为 100 至 400nm 就足够了。在本实施例中，由厚 30nm 的 TaN 制成的第一导电膜和由厚 370nm 的 W 制成的第二导电膜互相交叠。为了得到非常高的热阻，最好用 TaN 作为第一导电膜的材料。

下一步，用抗蚀剂形成第一形状掩膜 1405a。然后，用 ICP 方法进行刻蚀以形成第一形状的第二导电膜 1404a。用 CF_4、Cl_2 和 O_2 的混合气体作为相对于

INTEL - 1004
Page 359 of 492

TaN 具有高选择率的刻蚀气体，其结果就得到图 24A 所示的状态。表 1 示出了各种刻蚀条件和第二导电膜（W）的刻蚀率、第一导电膜（TaN）的刻蚀率或第二导电膜（W）的楔形角之间的关系。

INTEL - 1004
Page 360 of 492

表1：W和N的刻蚀率（E.R）和W的楔形角

	ICP	偏压	压力	CF_4	Cl_2	O_2	W E.R（1）	TaN E.R（2）	W/TaN 选择率 (1)/(2)	W 楔形角
No.	[W]	[W]	[Pa]	[SCCM]			[nm/分钟]	[nm/分钟]		度
1	500	20	1.0	30	30	0	58.97	66.43	0.889	80
2	500	60	1.0	30	30	0	88.71	118.46	0.750	25
3	500	100	1.0	30	30	0	111.66	168.03	0.667	18
4	500	20	1.0	25	25	10	124.62	20.67	6.049	70
5	500	60	1.0	25	25	10	161.72	35.81	4.528	35
6	500	100	1.0	25	25	10	176.90	56.32	3.008	32
7	500	150	1.0	25	25	10	200.39	80.32	2.495	26
8	500	200	1.0	25	25	10	218.20	102.87	2.124	22
9	500	250	1.0	25	25	10	232.12	124.97	1.860	19
10	500	20	1.0	20	20	20	—（*）	14.83	—	—
11	500	60	1.0	20	20	20	193.02	14.23	13.695	37
12	500	100	1.0	20	20	20	235.27	21.81	10.856	29
13	500	150	1.0	20	20	20	276.74	38.61	7.219	26
14	500	200	1.0	20	20	20	290.10	45.30	6.422	24
15	500	250	1.0	20	20	20	300.34	50.25	6.091	22

表格中的（*）符号表示由于在刻蚀过程中表面性质的改变，无法测量该参数。

说明书中的术语“楔形角”表示在水平平面和材料层的侧面之间形成的夹角，如图24A的右上方所示。

通过设定第一刻蚀条件，例如表1中4到15的条件之一，就可以自由设定水平平面和第二导电层（W）之间形成的角度（楔形角α1）在19度和70度之间，刻蚀时间可以有操作者合理地设定。

在图24A中，半导体层用参考标号1401表示，绝缘膜用1402表示，第一导电膜用1403表示。

下一步，在第二刻蚀条件下，用剩下的掩膜进行刻蚀，以便形成第一形状

INTEL - 1004
Page 361 of 492

的第一导电膜 1403。在第二刻蚀条件下进行刻蚀过程中，绝缘膜 1402 也被刻蚀到一定的深度，生成第一形状的绝缘膜 1402a。在这个实施例中，将 CF_4 和 Cl_2 的混合气体用作第二刻蚀条件的刻蚀气体。对于第二刻蚀条件，例如可以采用表 1 中条件 1 至 3 中的任一个。如上所述，在进行两次刻蚀的条件下，通过第一刻蚀处理，能防止绝缘膜 1402 的厚度减小。

下一步，进行第一掺杂处理。通过离子掺杂法，用第一形状的第一导电层 1403a 和第一形状的第二导电层 1404a 作为掩膜，将给予一种导电率的杂质元素掺杂到半导体层 1410 中，在本实施例中是掺杂提供 n 型导电率的磷（图 24B）。在图 24B 中，在第二刻蚀条件下，尽管在刻蚀过程中第二导电层 1404a 也被刻蚀到一定深度，但图 24B 所示的第二导电层 1404a 具有与图 24A 所示的第二导电层 1404a 相同的形状，因为刻蚀量是很小的。

下一步，用留下的掩膜 1405a 进行第二刻蚀，以便得到图 24C 所示的状态。在本实施例中，在用 CF_4 和 Cl_2 的混合气体作为刻蚀气体，在第一刻蚀条件下，作为第二刻蚀处理进行刻蚀之后，再用 CF_4、Cl_2 和 O_2 的混合气体作为刻蚀气体，在第二刻蚀条件下进行刻蚀。对于这些刻蚀条件，可以采用表 1 中的任一个条件，刻蚀时间可以合理地设定。通过选择刻蚀条件，可以自由设定在沟道的纵向上每个导电层的宽度。第二刻蚀处理允许第二形状的掩膜 1405b、第二形状的第一导电膜 1403b 和第二形状的绝缘膜 1402b 的形成。

第二形状的第二导电层 1404b 形成了比楔形角 α 1 更大的楔形角 α 2，然而，第二形状的第一导电层 1403b 形成了非常小的楔形角 β 。而且在第二形状的绝缘膜 1402b 中，部分地形成了楔形角 γ 。

下一步，在移去掩膜 1405b 之后，进行第二掺杂处理（图 24D）。第二掺杂处理以比第一掺杂处理低的浓度进行掺杂。在本实施例中，用第二形状的第二导电层 1404b 作为掩膜，通过离子掺杂方法，将提供 n 型导电率的磷掺杂到半导体层 1401 中。

第二掺杂处理的结果，形成了杂质区 1401a 至 1401c。与夹在绝缘膜和第一导电层之间的第二导电层交叠的部分半导体层作为沟道形成区。尽管未示出，但是在沟道形成区的两侧以对称的方式形成了杂质区 1401a 至 1401c。

在掺杂中，位于半导体上的材料层变得越厚，离子的注入越浅。据此，与夹在绝缘膜之间的第一导电层交叠的杂质区 1401c，也就是说，第三杂质区

INTEL - 1004
Page 362 of 492

（GOLD 区）受具有楔形角β侧面的楔形部分的影响，使掺杂到半导体层的杂质元素的浓度产生变化。当材料层的厚度增加时，杂质浓度减小，当材料层的厚度减小时，杂质浓度增加。

类似地，杂质区 1401b，也就是说，第二杂质区（LDD 区）受第二形状的绝缘膜 1402b 的厚度影响，使掺杂到半导体层的杂质浓度产生变化。具体地说，杂质区 1401b 受具有楔形角γ侧面的楔形部分或其它楔形部分的影响，使掺杂到半导体层的杂质元素的浓度产生变化。没有与第一导电层交叠的杂质区 1401b 具有比杂质区 1401c 更高的浓度。此外，在沟道的纵向上，杂质区 1401b 的宽度与杂质区 1401c 的宽度一样，或比杂质区 1401c 的宽度更大。

杂质区 1401a，也就是说，第一杂质区包含除了用第一掺杂处理掺杂的杂质元素之外，还包含用第二掺杂处理掺杂的杂质元素。结果，杂质区 1401a 变为高浓度杂质区，起源区或漏区的作用。

作为后续的步骤，可以按图 3B 所示的实施例 1 的制造工序来进行制造有源矩阵衬底。

通过上面的方法，形成了像素 TFTs 和驱动电路的 TFTs。

本实施例可以和实施例 1 至 4 和实施例 7 至 13 中的任一个进行自由组合。

当用 SF_6 和 Cl_2 的混合气体代替本实施例的刻蚀气体（CF_4 和 Cl_2 的混合气体），或用 SF_4、Cl_2 和 O_2 的混合气体代替 SF_4 、Cl_2 和 O_2 的混合气体的情况下，由于这些气体的选择率对于绝缘膜 1402 非常高，从而防止了厚度的进一步减小。

根据本发明，在不增加掩膜数量和制造步骤的情况下，通过本发明可以实现具有高孔径比的像素结构，从而能获得具有该像素结构的液晶显示器件。

INTEL - 1004
Page 363 of 492

说 明 书 附 图

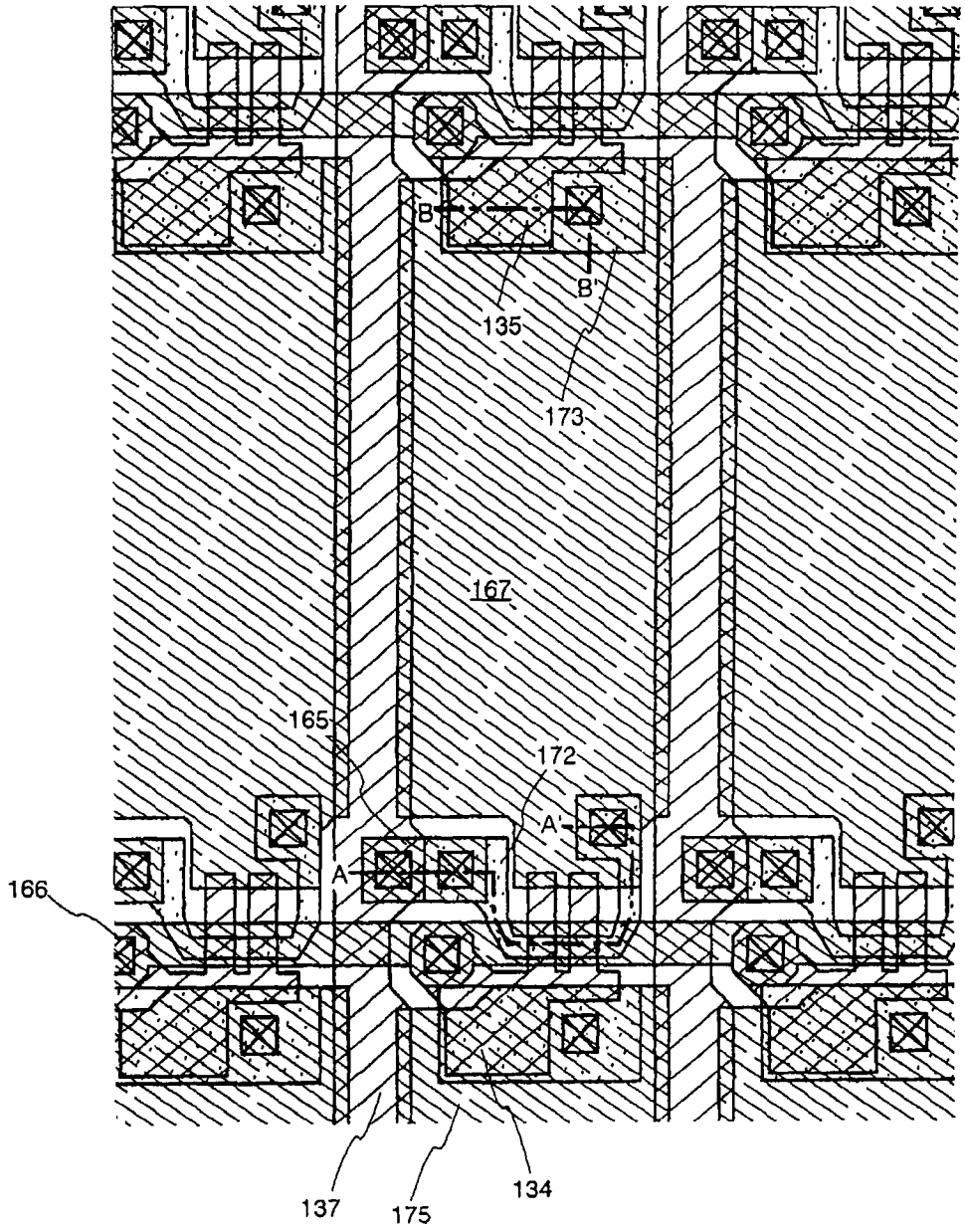


图 1

INTEL - 1004
Page 364 of 492

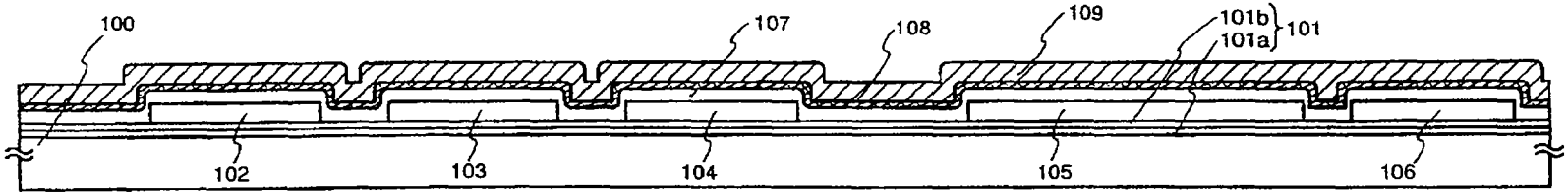


图 2A

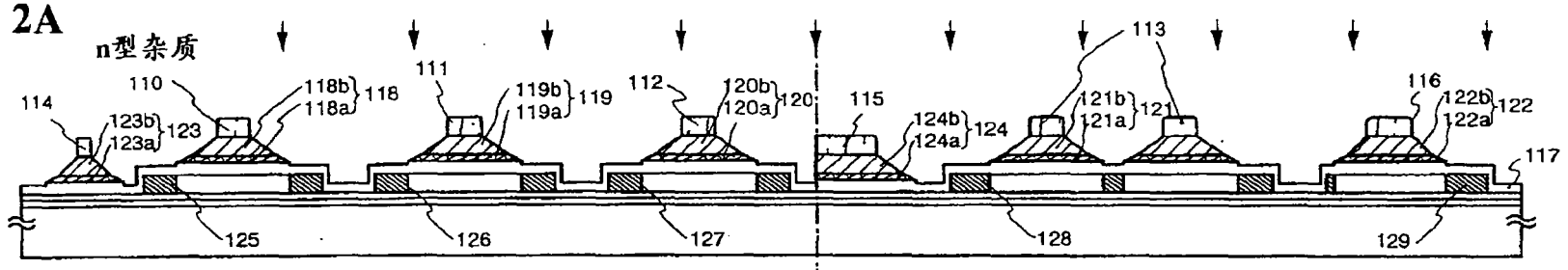


图 2B

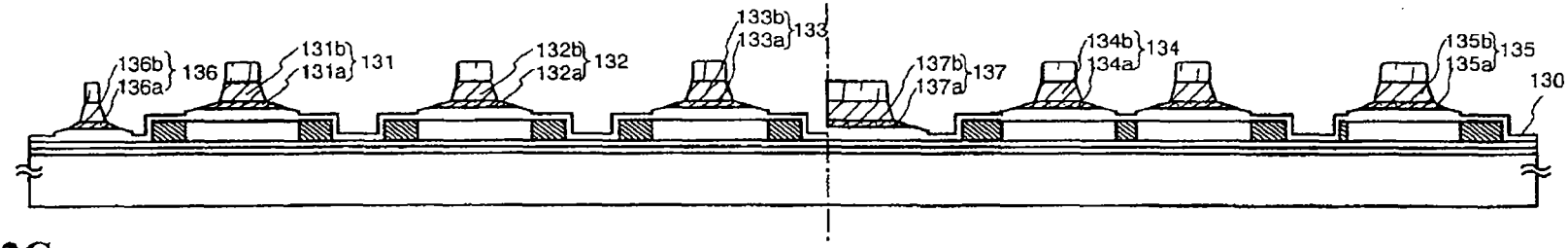


图 2C

INTEL - 1004
Page 365 of 492

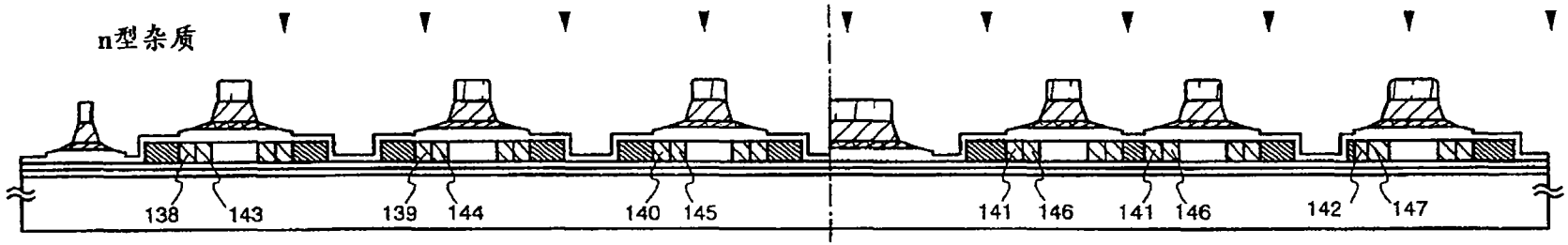


图 3A

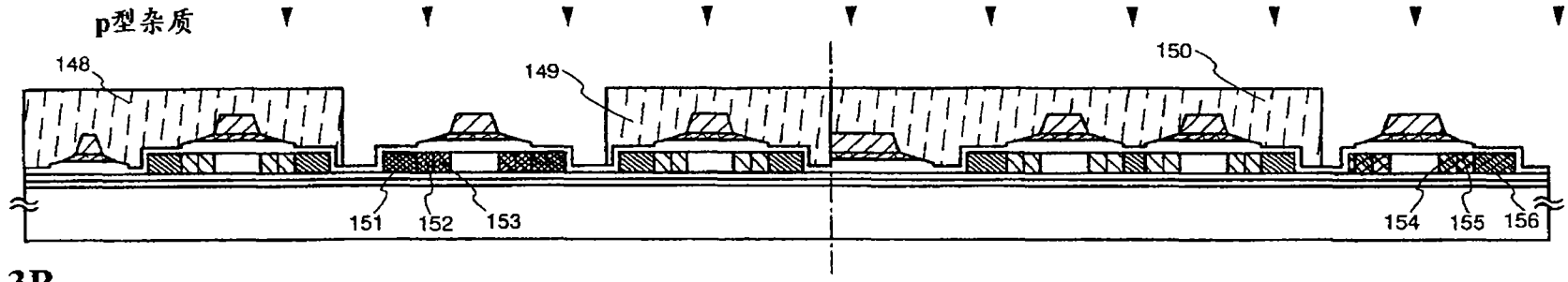


图 3B

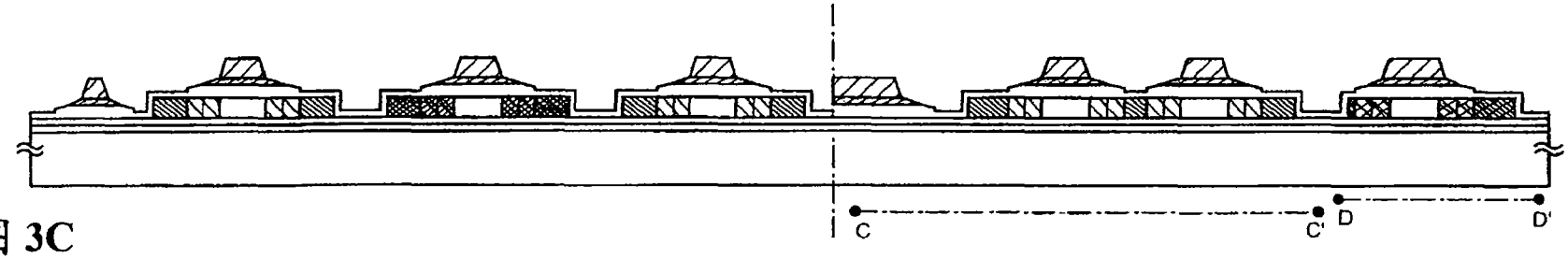


图 3C

INTEL - 1004
Page 366 of 492

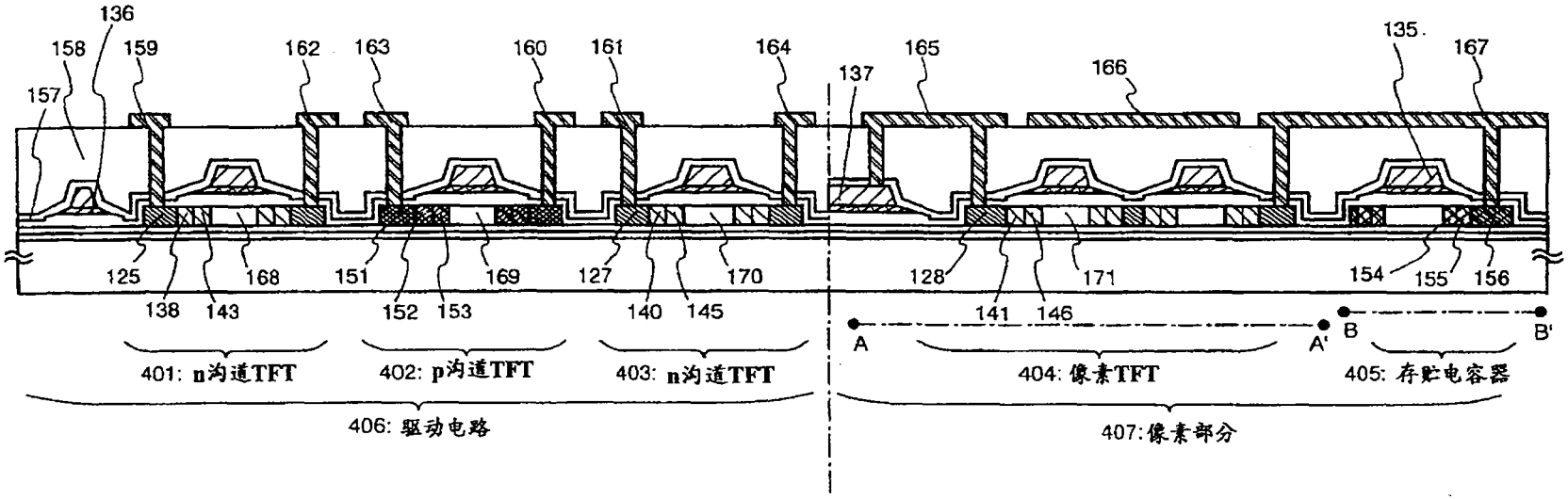

136
158
159
162
163
160
161
164
137
165
166
135
167
157
125
138
143
168
151
152
153
169
127
140
145
170
128
141
146
171
154
155
156
A
A'
B
B'
401: n沟道TFT
402: p沟道TFT
403: n沟道TFT
404: 像素TFT
405: 存贮电容器
406: 驱动电路
407:像素部分

图 4

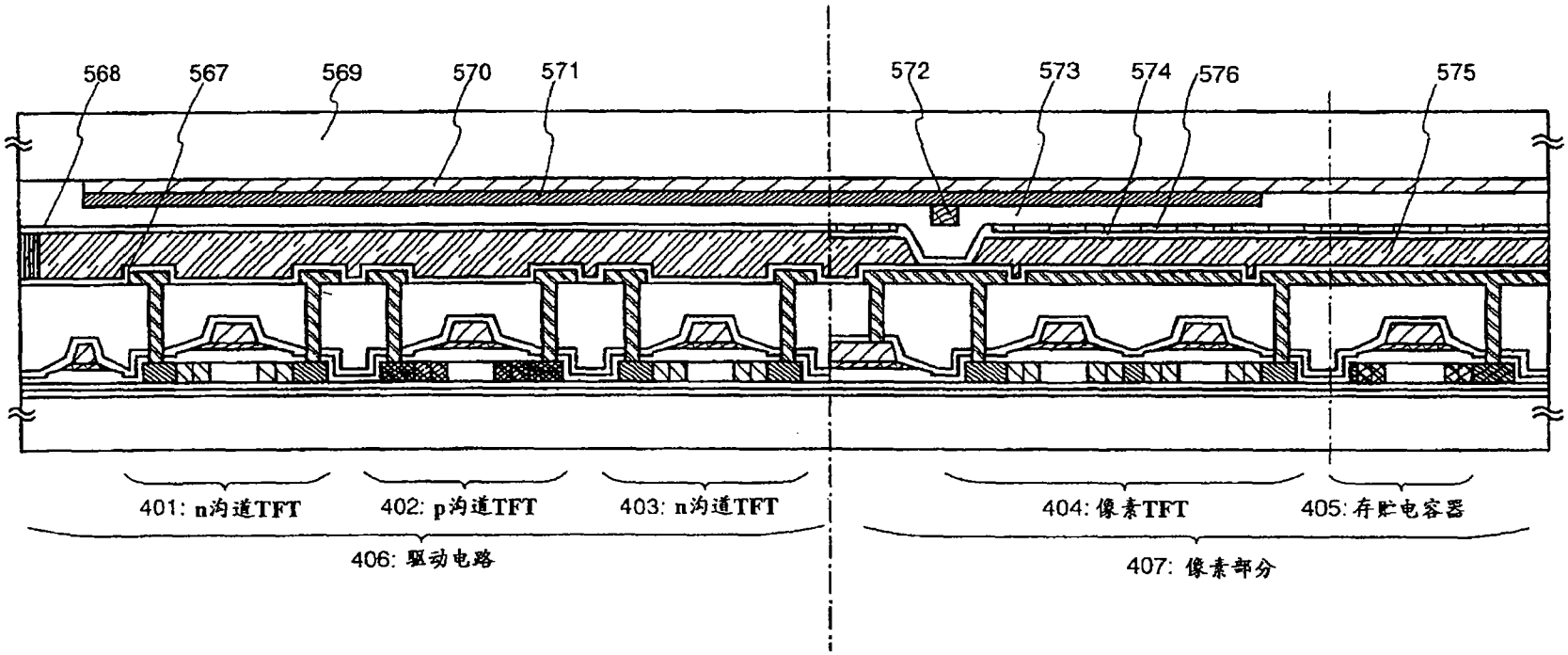

568
567
569
570
571
572
573
574
576
575
401: n沟道TFT
402: p沟道TFT
403: n沟道TFT
404: 像素TFT
405: 存贮电容器
406: 驱动电路
407: 像素部分

图 5

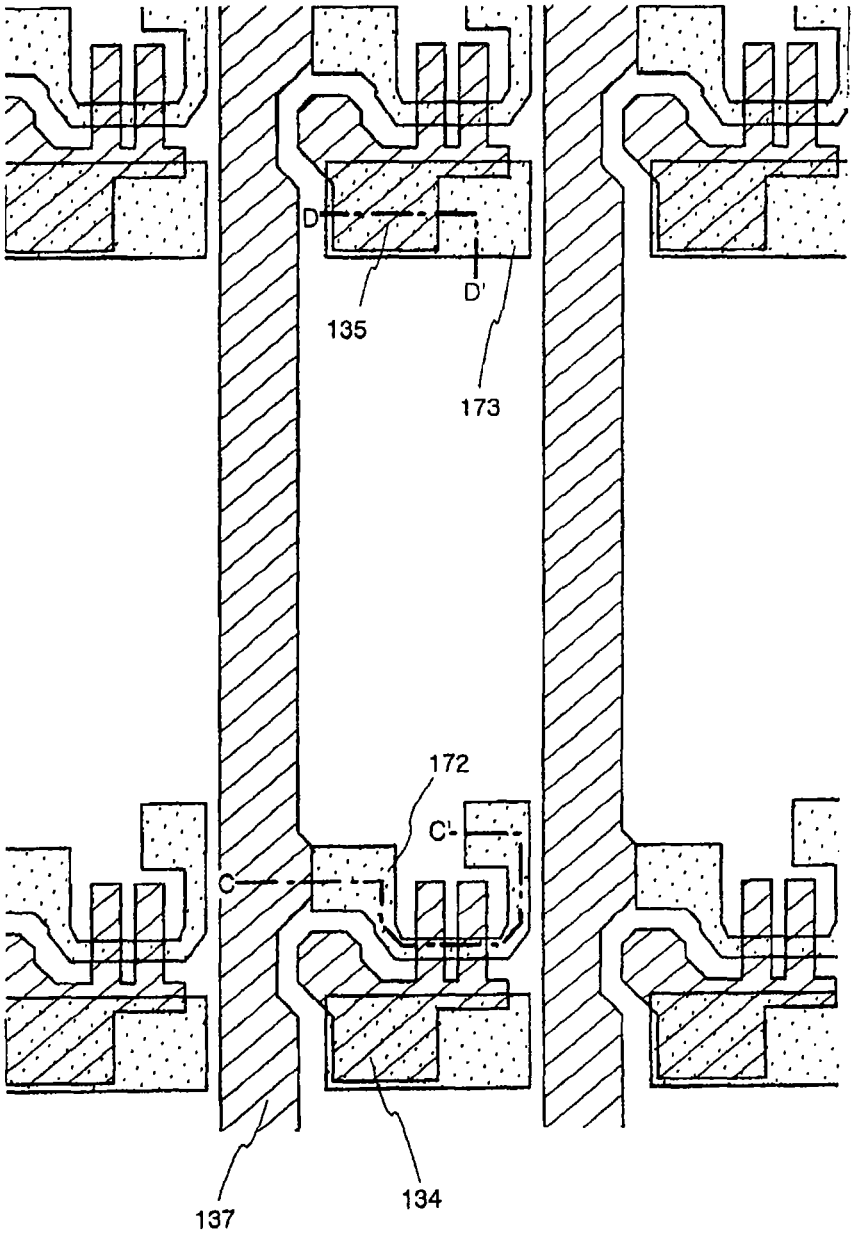


图 6

INTEL - 1004
Page 369 of 492

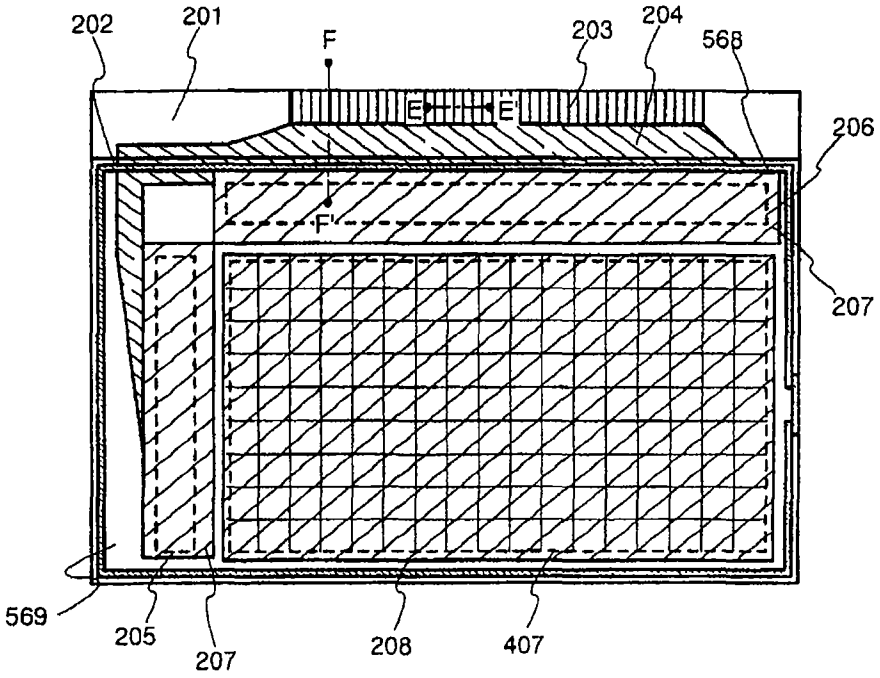


图 7A 顶视图

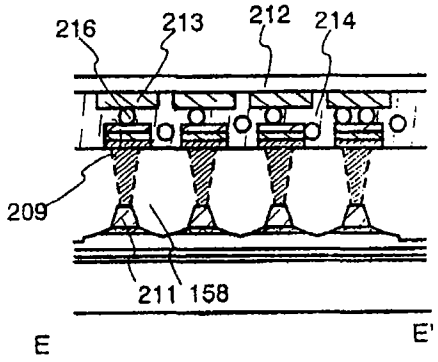


图 7B E-E'方向的截面图

INTEL - 1004
Page 370 of 492

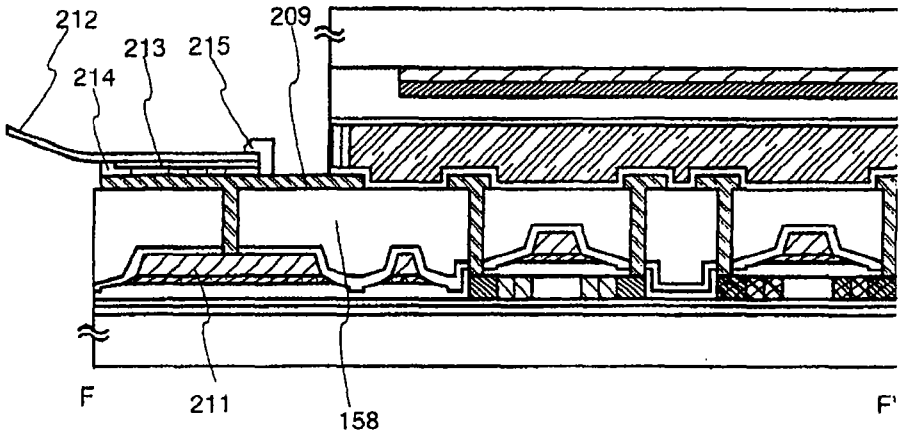


图 8A F-F'方向的截面图

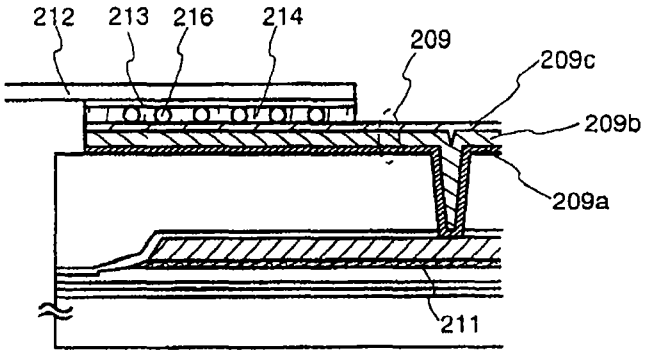


图 8B

INTEL - 1004
Page 371 of 492

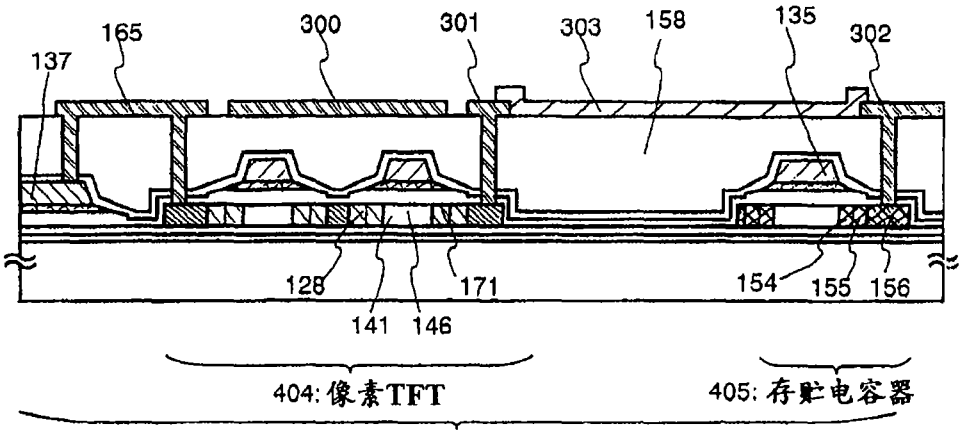


图 9A

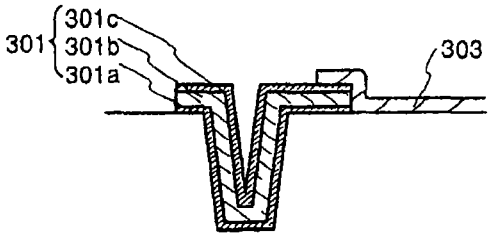


图 9B

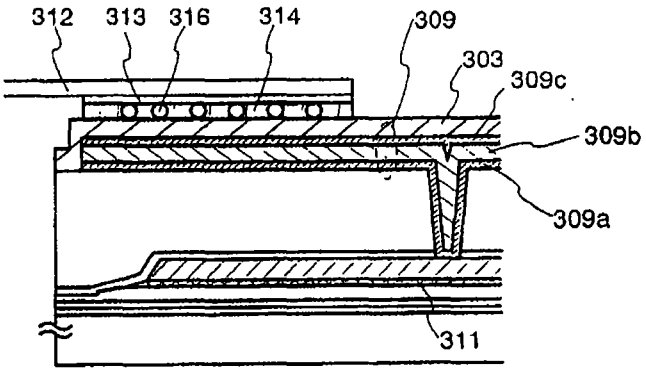


图 9C

INTEL - 1004
Page 372 of 492

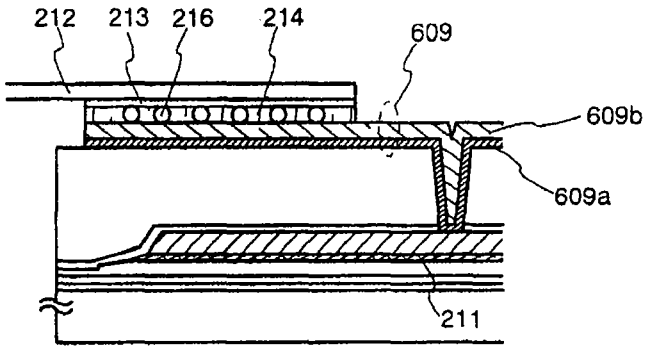


图 10

INTEL - 1004
Page 373 of 492

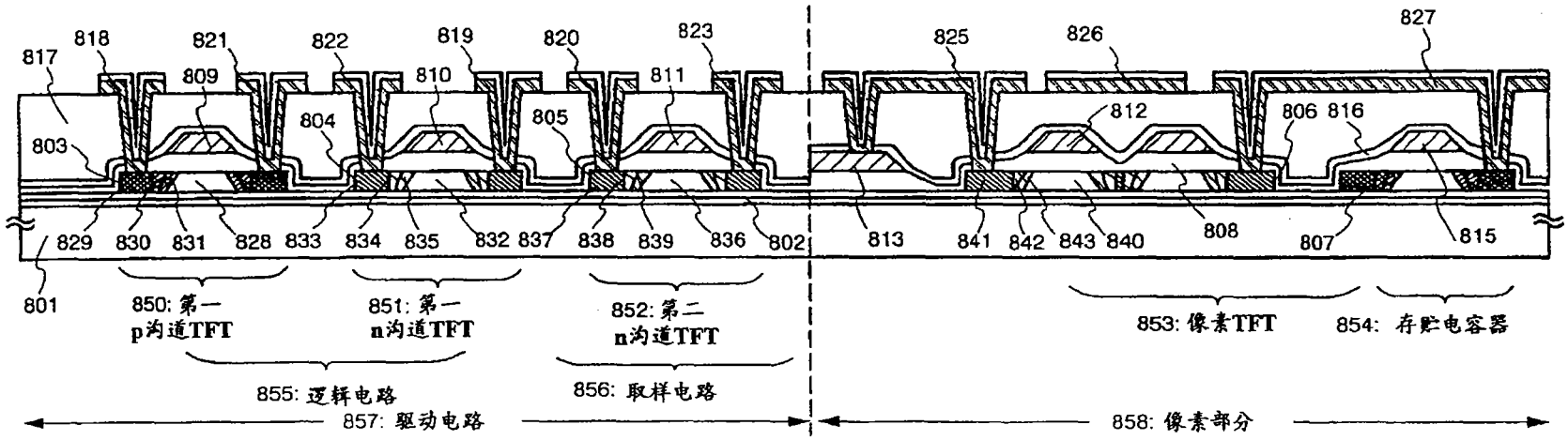


图 11

INTEL - 1004
Page 374 of 492

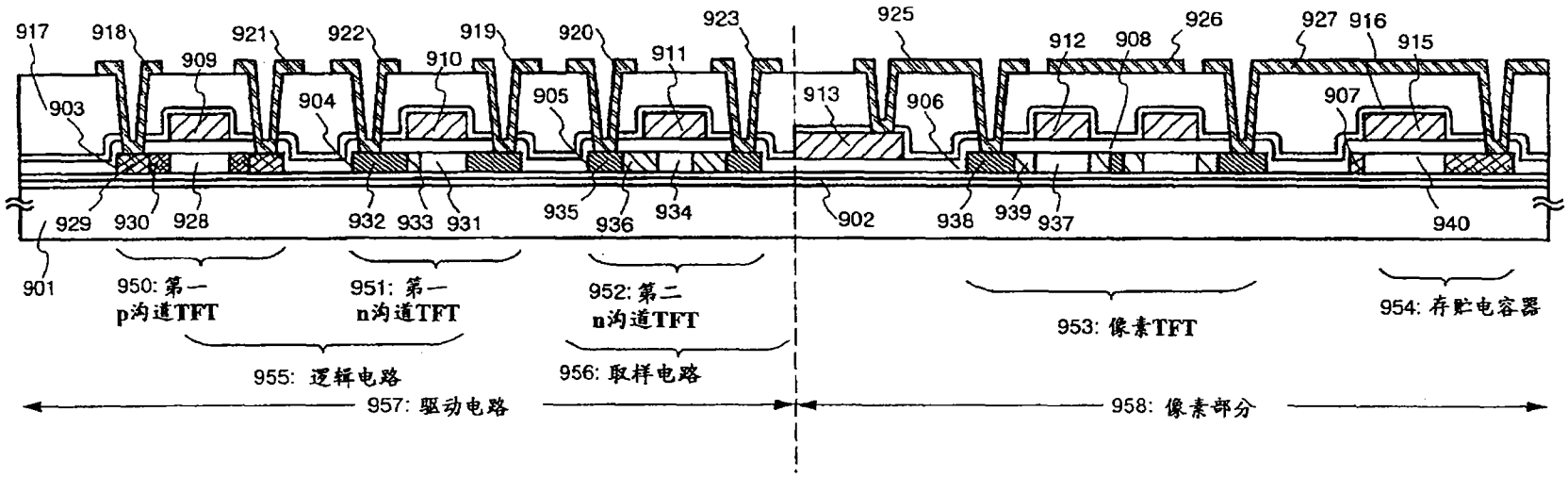


图 12

INTEL - 1004
Page 375 of 492

01-02-25

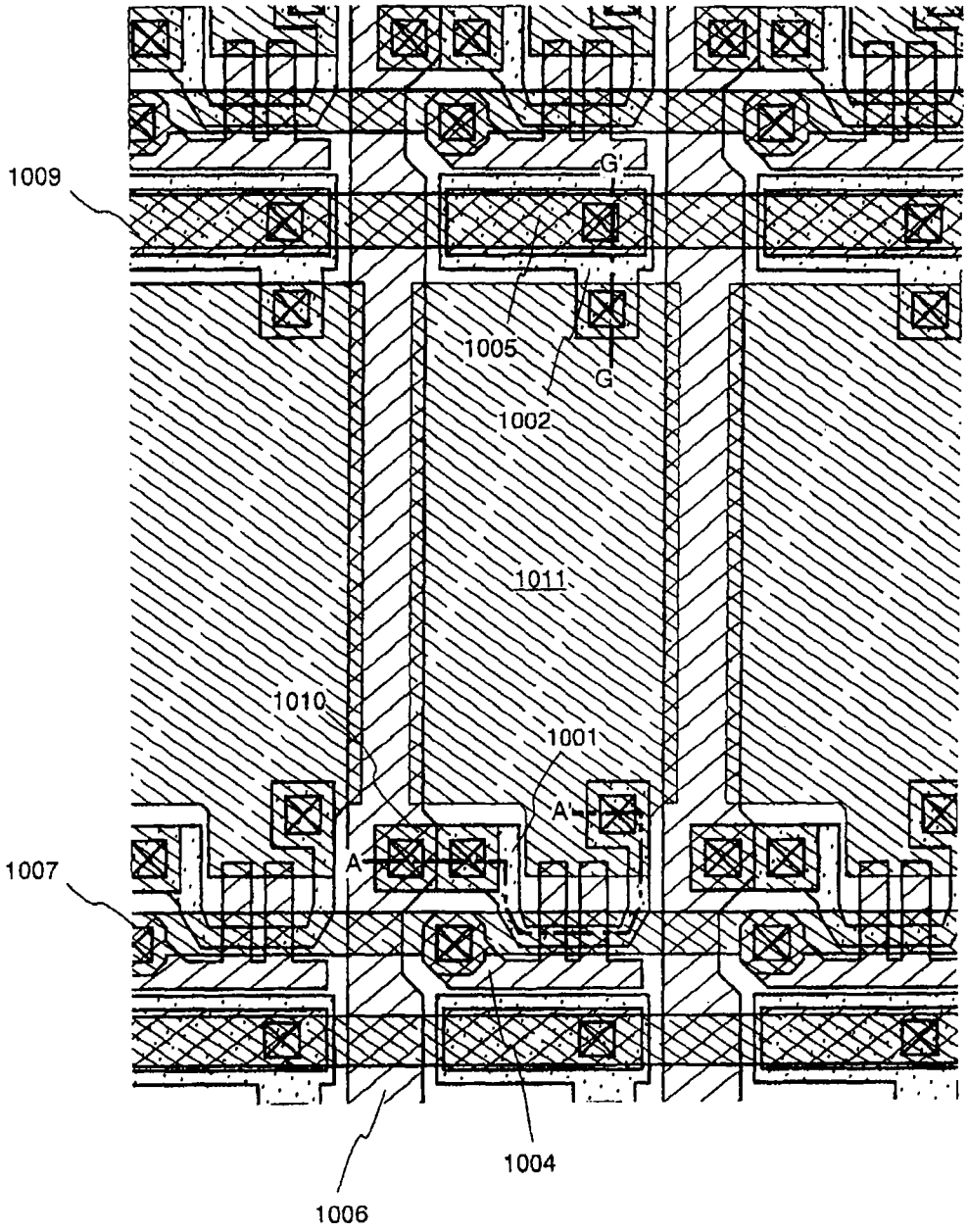


图 13

INTEL - 1004
Page 376 of 492

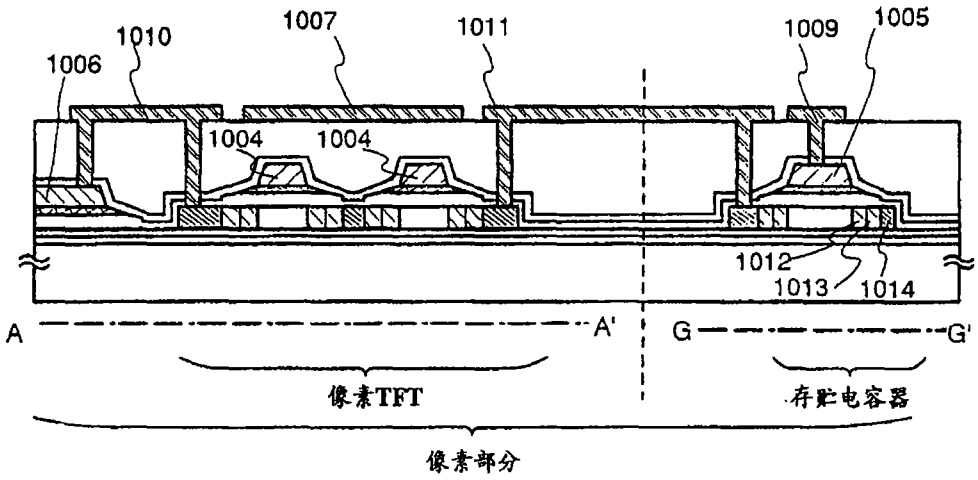


图 14

INTEL - 1004
Page 377 of 492

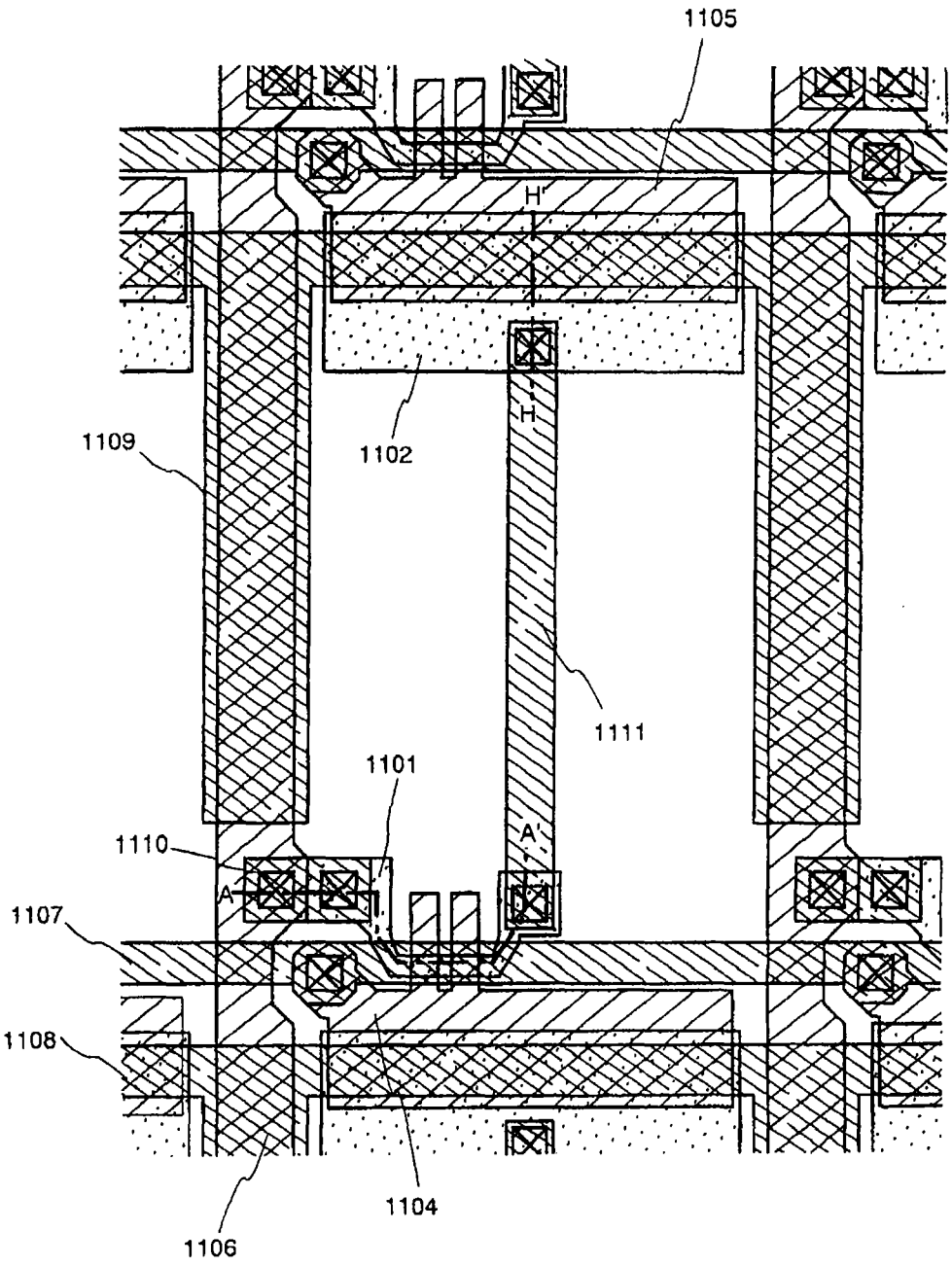


图 15

INTEL - 1004
Page 378 of 492

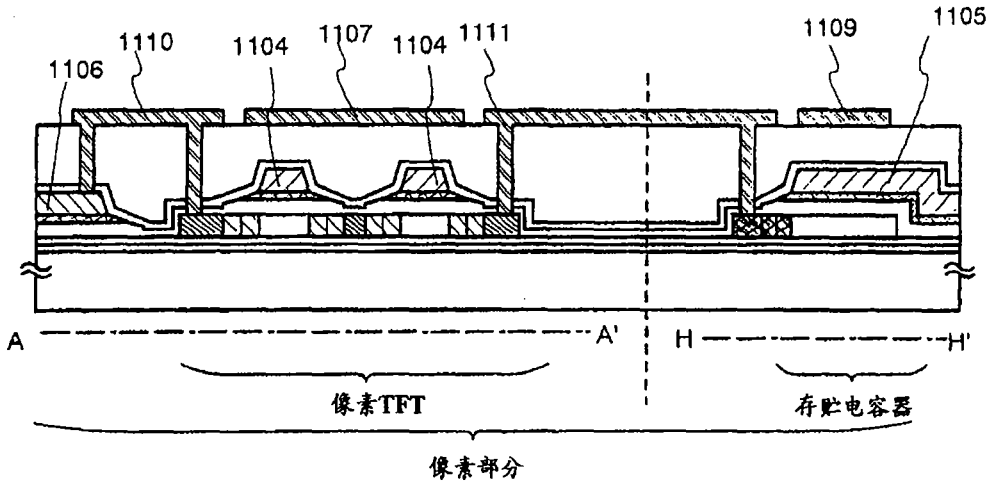


图 16

INTEL - 1004
Page 379 of 492

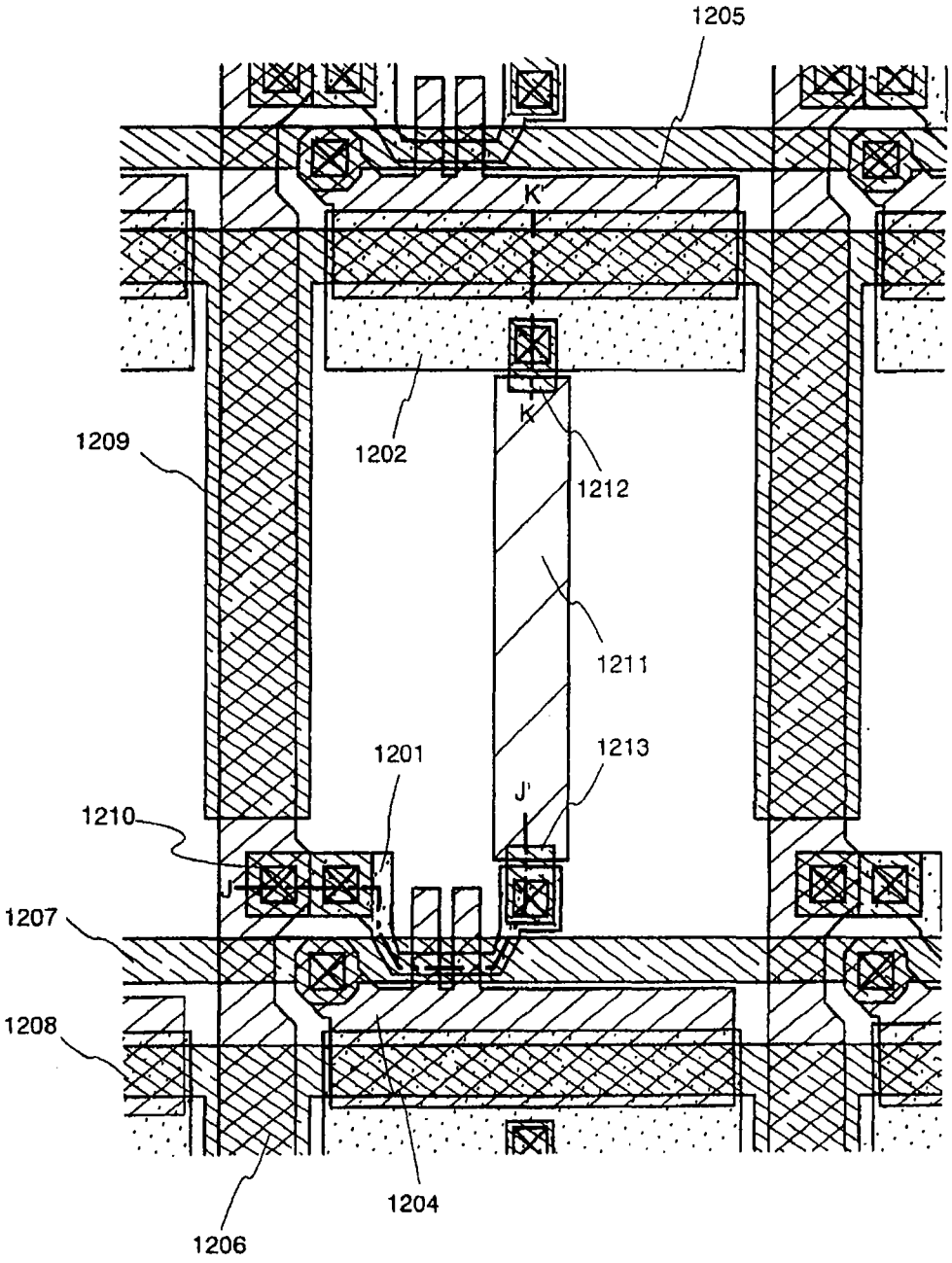


图 17

INTEL - 1004
Page 380 of 492

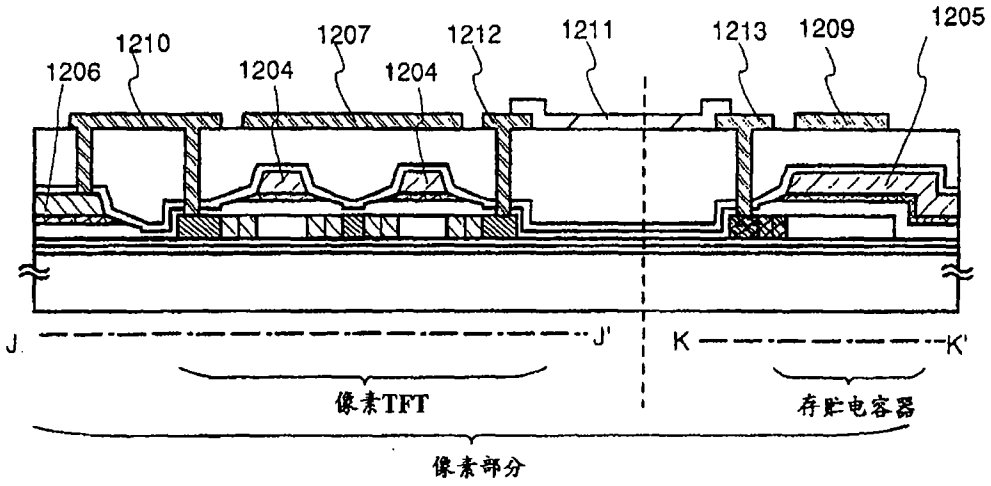


图 18

INTEL - 1004
Page 381 of 492

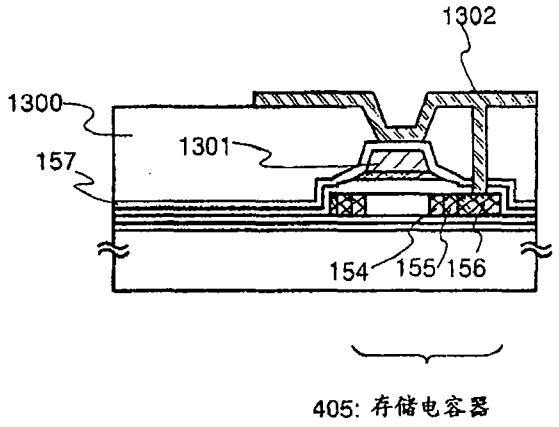


图 19

INTEL - 1004
Page 382 of 492

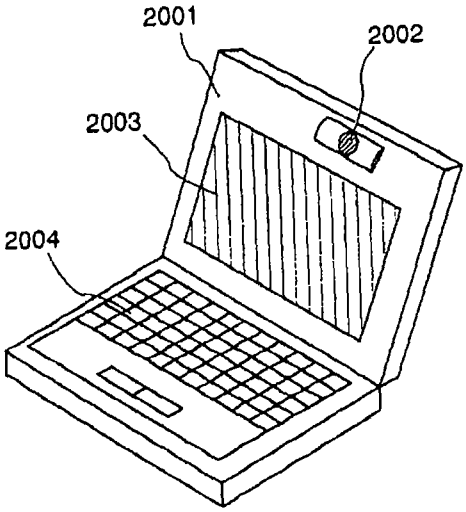


图 20A

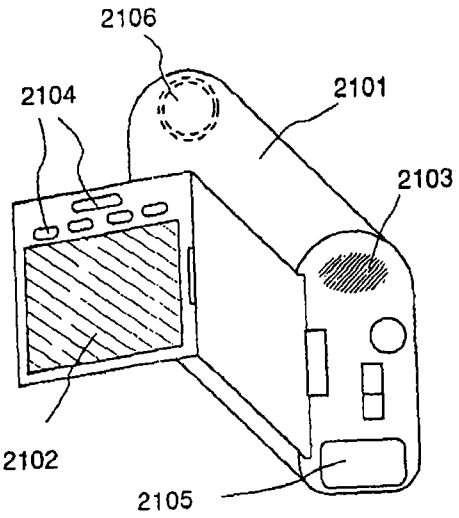


图 20B

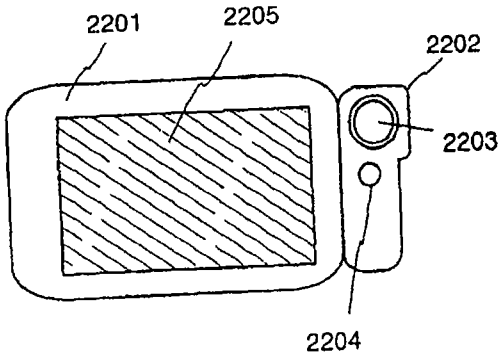


图 20C

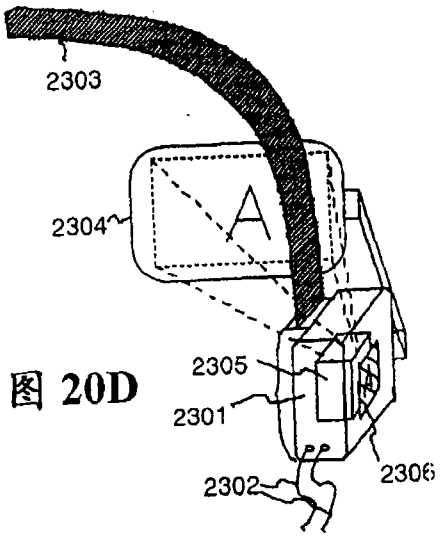


图 20D

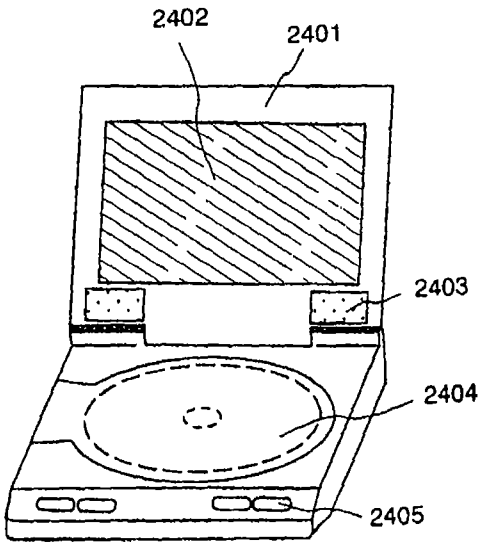


图 20E

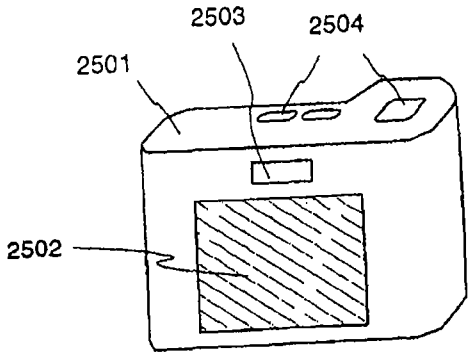


图 20F

INTEL - 1004
Page 383 of 492

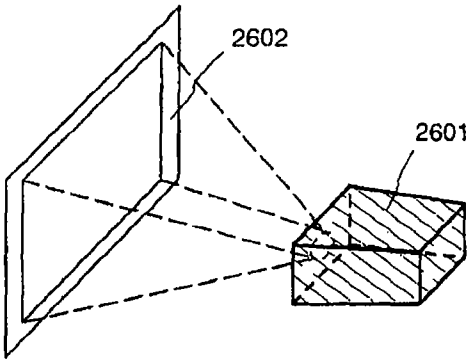


图 21A

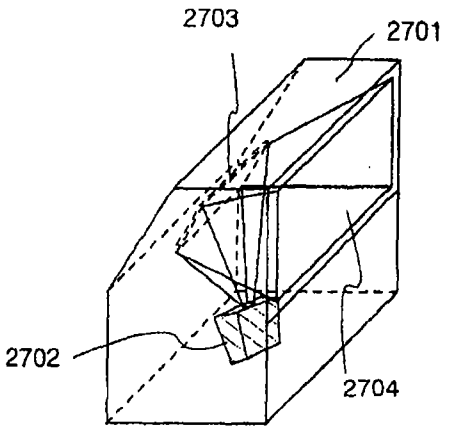


图 21B

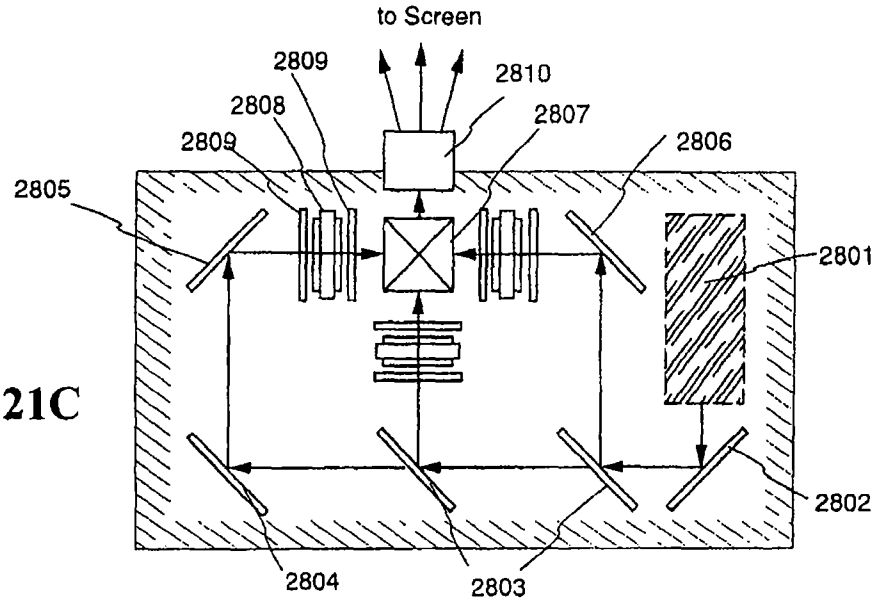


图 21C

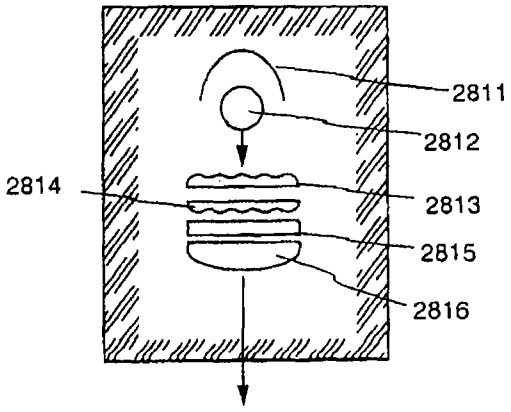


图 21D

INTEL - 1004
Page 384 of 492

图 22A

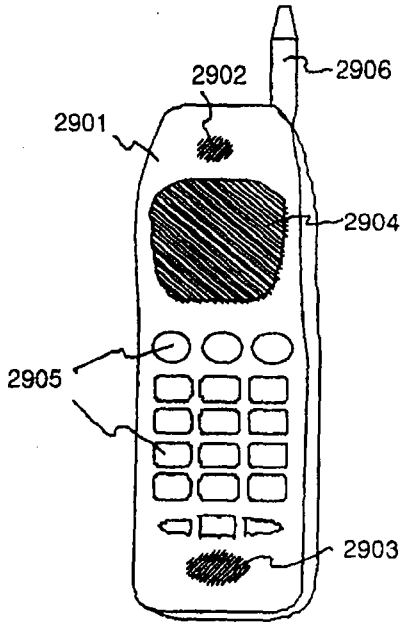


图 22B

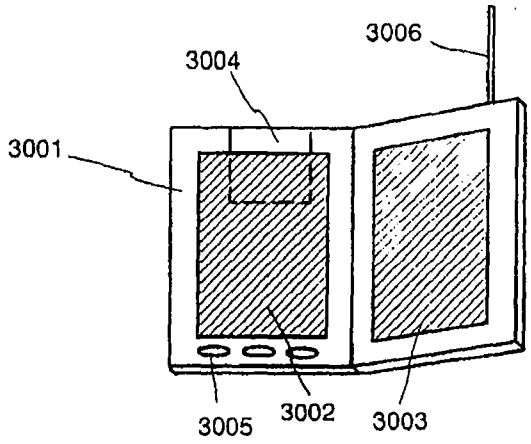
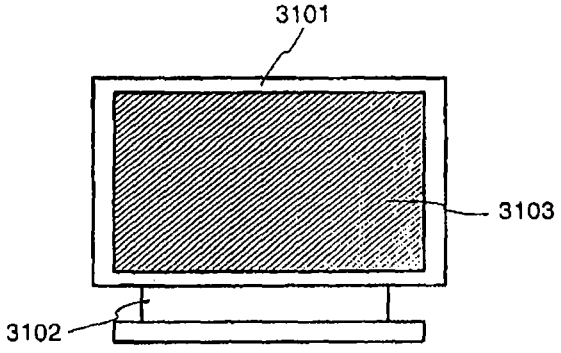


图 22C



INTEL - 1004
Page 385 of 492

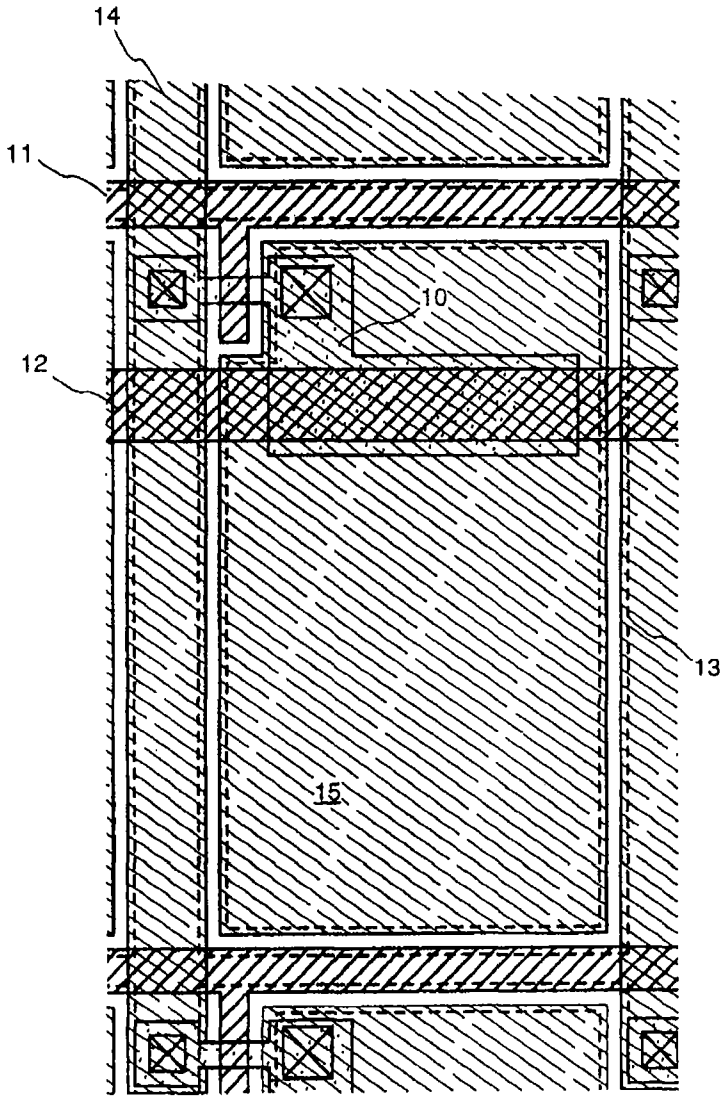


图 23
现有技术

INTEL - 1004
Page 386 of 492

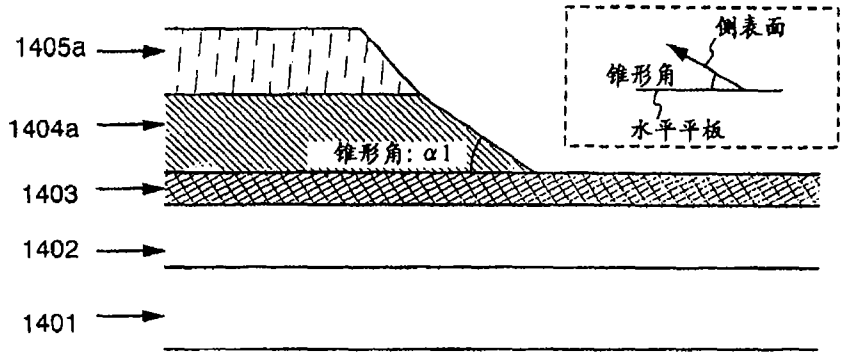


图 24A

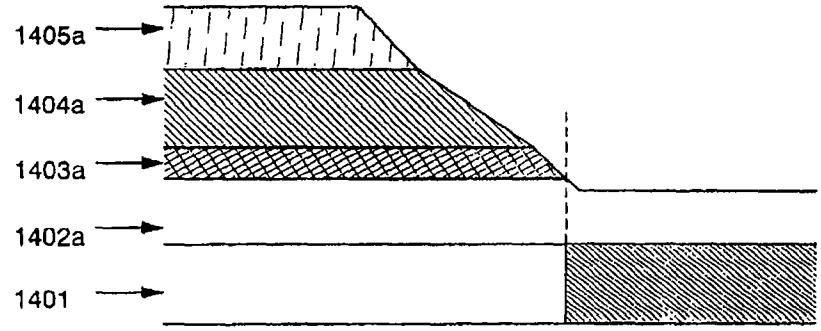


图 24B

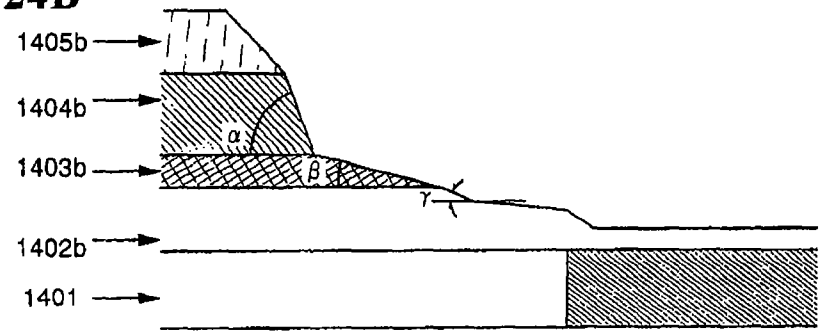


图 24C

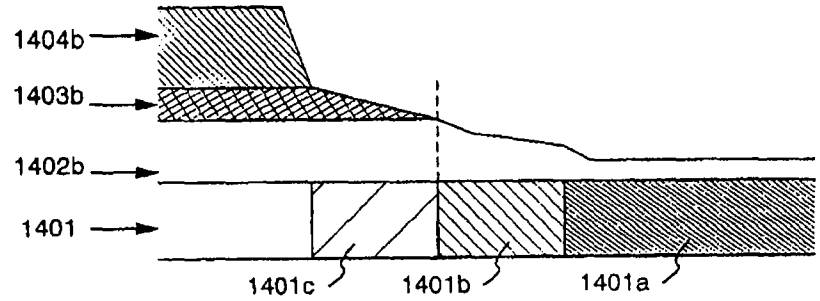


图 24D

INTEL - 1004
Page 387 of 492

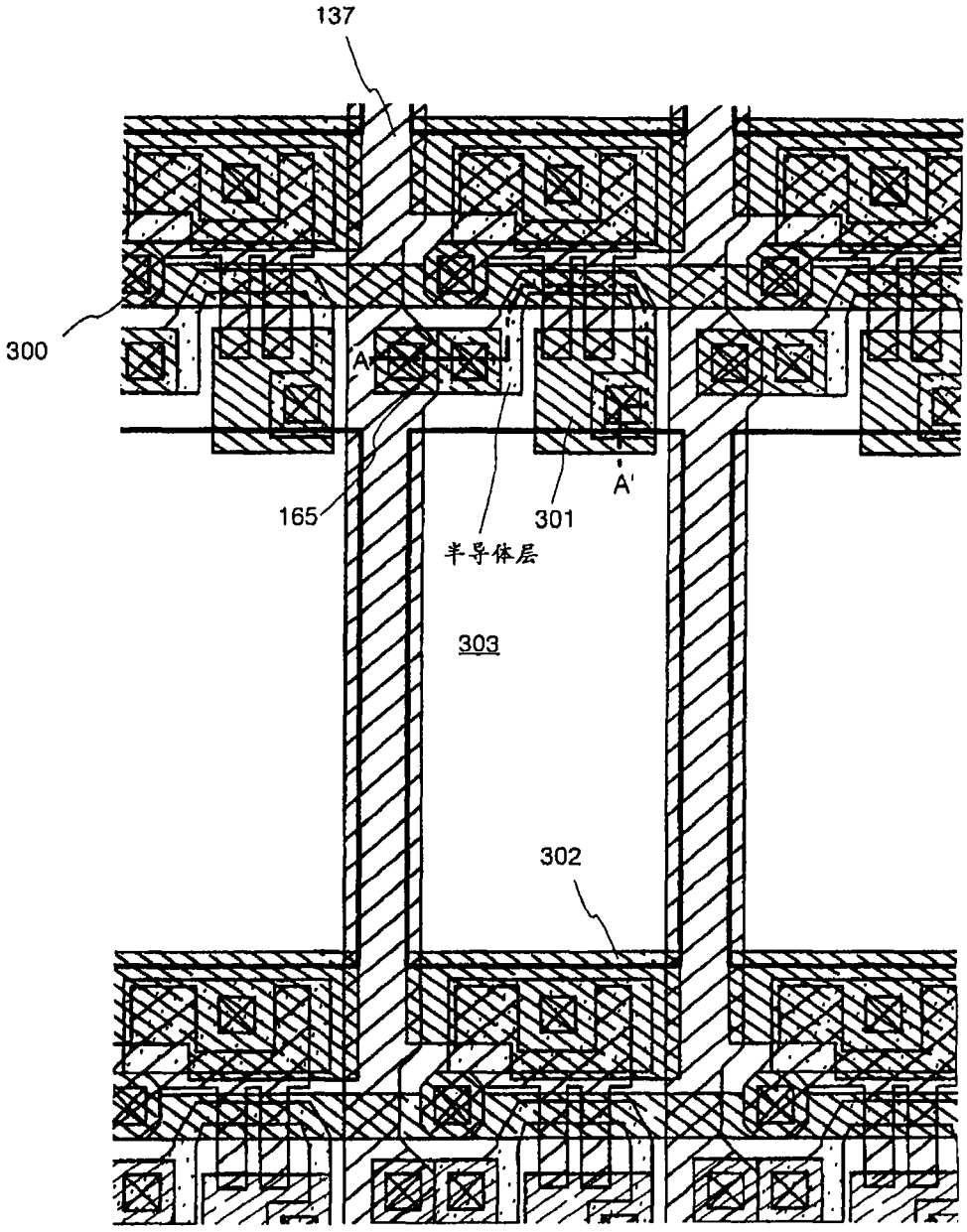


图 25

INTEL - 1004
Page 388 of 492

[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 21/336
H01L 21/8234 H01L 29/78

[12] 发明专利申请公开说明书

[21] 申请号 200410037529.7

[43] 公开日 2004 年 11 月 3 日

[11] 公开号 CN 1542930A

[22] 申请日 2004.4.28
[21] 申请号 200410037529.7
[30] 优先权
[32] 2003. 4.29 [33] US [31] 10/425，156
[71] 申请人 台湾积体电路制造股份有限公司
地址 台湾省新竹科学工业园区
[72] 发明人 杨育佳 王屏薇 陈豪育 杨富量 胡正明

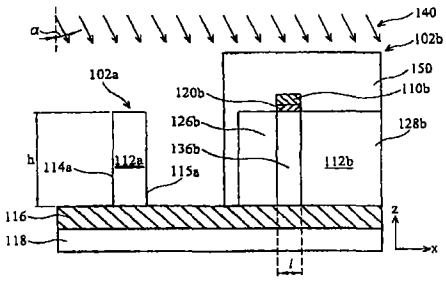
[74] 专利代理机构 北京三友知识产权代理有限公司
代理人 王一斌

权利要求书 4 页 说明书 15 页 附图 11 页

[54] 发明名称 具有鳍片结构的半导体元件及其制造方法

[57] 摘要

本发明是具有鳍片结构的半导体元件及其制造方法。 所述半导体结构，其包括复数个半导体鳍片在一绝缘层上，一栅极介电质在部分该些半导体鳍片上，以及一闸电极在该栅极介电质上。 上述任一半导体鳍片均具有一上表面、一第一侧壁表面以及一第二侧壁表面；掺杂物离子以一与上述半导体鳍片上表面的法线成一第一角度(例如大于约 7°)植入以掺杂该些半导体鳍片的第一侧壁表面及上表面，接着掺杂物离子再以一与上述半导体鳍片上表面的法线成一第二角度植入该些半导体鳍片的第二侧壁表面以及上表面。



ISSN1008-4274

1. 一种掺杂多重栅极晶体管的半导体鳍片的方法，其包括下列步骤：

提供一半导体结构，包括多个半导体鳍片在一绝缘层上，一栅极介电质在部分该半导体鳍片上，以及一闸电极在该栅极介电质上，而该每一半导体鳍片均具有一上表面、一第一侧壁表面以及一第二侧壁表面；

与上述半导体鳍片上表面法线成一角度α植入掺杂物离子以掺杂上述半导体鳍片的第一侧壁表面及上表面，该角度α是大于7度；以及

与上述半导体鳍片上表面法线成一角度β植入掺杂物离子以掺杂上述半导体鳍片的第二侧壁表面及上表面，该角度β是大于7度。

2. 根据权利要求 1 所述的掺杂多重栅极晶体管的半导体鳍片的方法，其中该角度α的大小等于该角度β。

3. 根据权利要求 1 所述的掺杂多重栅极晶体管的半导体鳍片的方法更包括施行一回火程序以活化该布植的掺杂物离子。

4. 根据权利要求 1 所述的掺杂多重栅极晶体管的半导体鳍片的方法，其中该半导体鳍片是朝同方向排列。

5. 根据权利要求 1 所述的掺杂多重栅极晶体管的半导体鳍片的方法，其中该半导体鳍片是包含硅鳍片。

6. 根据权利要求 1 所述的掺杂多重栅极晶体管的半导体鳍片的方法，其中该第一及第二侧壁的表面（110）为结晶面。

7. 根据权利要求 1 所述的掺杂多重栅极晶体管的半导体鳍片的方法，其中该半导体结构更包括一蚀刻罩幕在该半导体鳍片上。

8. 根据权利要求 1 所述的掺杂多重栅极晶体管的半导体鳍片的方法，其中该绝缘层是凹陷以致该半导体鳍片的基部具有一凹口。

9. 根据权利要求 1 所述的掺杂多重栅极晶体管的半导体鳍片的方

INTEL - 1004
Page 390 of 492

法，其中该半导体鳍片上表面区域的掺杂浓度对该半导体鳍片第一侧壁区域的掺杂浓度的比例介于 1 至 4 之间。

10. 根据权利要求 1 所述的掺杂多重栅极晶体管的半导体鳍片的方法，其中该角度 α 大于 15 度。

11. 根据权利要求 1 所述的掺杂多重栅极晶体管的半导体鳍片的方法，其中该角度 α 介于 26 度至 63 度之间。

12. 根据权利要求 1 所述的掺杂多重栅极晶体管的半导体鳍片的方法，其中该第一及第二侧壁区域的掺杂浓度是掺杂至一大于每立方公分 1×10^{20}。

13. 一种掺杂多重栅极晶体管的半导体鳍片的方法，其包括下列步骤：

在一绝缘层上提供一具有第一方位的第一半导体鳍片以及一具有第二方位的第二半导体鳍片，该任一的第一及第二半导体鳍片具有一上表面与两侧壁表面；

遮蔽该第二半导体鳍片；

以一大植入角度 α 布植掺杂物离子以掺杂该第一半导体鳍片；

遮蔽该第一半导体鳍片；

以一大植入角度 β 布植掺杂物离子以掺杂该第二半导体鳍片。

14. 根据权利要求 13 所述的掺杂多重栅极晶体管的半导体鳍片的方法，其中该第一方位与第二方位是相互垂直。

15. 根据权利要求 13 所述的掺杂多重栅极晶体管的半导体鳍片的方法，其中该角度 α 是位于一与该第一半导体鳍片的侧壁表面垂直的平面上，而该角度 β 则位于一与该第二半导体鳍片的侧壁表面垂直的平面上。

16. 根据权利要求 13 所述的掺杂多重栅极晶体管的半导体鳍片的方法更包括施行一回火程序以活化该布植的掺杂物离子。

17. 根据权利要求 13 所述的掺杂多重栅极晶体管的半导体鳍片的方

INTEL - 1004
Page 391 of 492

法，其中该侧壁表面为（110）结晶面。

18. 根据权利要求 13 所述的掺杂多重栅极晶体管的半导体鳍片的方法，其中该任一半导体鳍片更包括一蚀刻罩幕在该半导体鳍片上。

19. 根据权利要求 13 所述的掺杂多重栅极晶体管的半导体鳍片的方法，其中该绝缘层是凹陷以致该半导体鳍片的基部具有一凹口。

20. 根据权利要求 13 所述的掺杂多重栅极晶体管的半导体鳍片的方法，其中该半导体鳍片上表面区域的掺杂浓度对该半导体鳍片的第一侧壁区域的掺杂浓度的比例是介于 1 至 4 之间。

21. 根据权利要求 13 所述的掺杂多重栅极晶体管的半导体鳍片的方法，其中该角度 α 及 β 是各大于 15 度。

22. 根据权利要求 13 所述的掺杂多重栅极晶体管的半导体鳍片的方法，其中该角度 α 及 β 是各介于 26 度至 63 度之间。

23. 根据权利要求 13 所述的掺杂多重栅极晶体管的半导体鳍片的方法，其中该第一及第二侧壁区域的掺杂浓度是掺杂至一大于每立方公分 1×10^{20}。

24. 一种绝缘层上有半导体的晶片，其特征在于所述绝缘层上有半导体的晶片是包含：

多个多重栅极晶体管形成于一绝缘层之上；

至少一个该多重栅极晶体管包括：

一具有朝第一方位排列的半导体鳍片；

一闸电极形成于邻近该半导体鳍片的一沟道区部分上，该闸电极具有一小于 30 纳米的栅极长度；

一源极区与一漏极区位于该半导体鳍片中，使该沟道区处于该源极区与漏极区之间，其中该沟道区经掺杂以形成一第一导电型，而该源极区与漏极区则经掺杂以形成一异于第一导电型的第二导电型；

其中至少一个该多重栅极晶体管是包括所有位于该绝缘层上有半导

INTEL - 1004
Page 392 of 492

体的晶片上具有一小于 30 纳米的栅极长度以及一具有第一导电型的沟道区的多重栅极晶体管。

25. 根据权利要求 24 所述的绝缘层上有半导体的晶片，其特征在于：该半导体鳍片的材质包含硅。

26. 根据权利要求 24 所述的绝缘层上有半导体的晶片，其特征在于：该半导体鳍片更包括一蚀刻罩幕在该半导体鳍片上。

27. 一种绝缘层上有半导体的晶片，其特征在于所述绝缘层上有半导体的晶片包含：

多个多重栅极晶体管形成于一绝缘层之上，该每多重栅极晶体管是包括具有一方位的一半导体鳍片以及具有一栅极长度相当于最小特征尺寸的一闸电极；以及

其中每一多重栅极晶体管是朝同方位排列，该多重栅极晶体管是包含所有位于绝缘层上有半导体的晶片上的具功能性的多重栅极晶体管。

28. 根据权利要求 27 所述的绝缘层上有半导体的晶片，其特征在于：该半导体鳍片的材质包含硅。

29. 根据权利要求 27 所述的绝缘层上有半导体的晶片，其特征在于：该半导体鳍片更包括一蚀刻罩幕在该半导体鳍片上。

INTEL - 1004
Page 393 of 492

具有鳍片结构的半导体元件及其制造方法

技术领域

本发明是有关于半导体元件，且特别有关于一种具有鳍片结构(fin structure)的半导体元件以及掺杂半导体鳍片元件的方法。

背景技术

于超大型集成(ULSI)电路的制作中，金氧半场效晶体管(metal-oxide-semiconductor field effect transistor; MOSFET)的制作技术占有决定性的影响。过去数十年来，借由金氧半场效晶体管尺寸的缩减可提供元件的速度表现、电路密度以及每单位效能成本的改善。当传统块金氧半场效晶体管的栅极长度缩减时，源极与漏极便容易和沟道区产生作用而影响其内的势能(potential)；如此一来，具有较短栅极长度的晶体管将可能遭遇如无法控制栅极的沟道开关状态等问题。

有关短沟道长度的晶体管所减少对栅极控制的现象即所谓的短沟道效应(short-channel effects; SCE)；而增加主体掺杂浓度(body doping concentration)、降低栅极氧化层厚度以及超浅源极/漏极接面(ultra shallow source/drain junction)均可抑制短沟道效应。然而，当元件尺寸(device scaling)进入次50纳米时代(sub-50 nm regime)，其主体掺杂浓度、栅极氧化层厚度以及源极/漏极掺杂轮廓(doping profile)的需求愈发难以达至理想，尤其当传统元件构造是架构于块硅基底(bulk silicon substrate)上。前段制程技术的创新或采用非传统元件的结构

INTEL - 1004
Page 394 of 492

可需用以维持元件缩小的历史发展步伐。

当元件尺寸缩小至次 30 纳米时代，一种控制短沟道效应的有效方法即使用一种多于一个栅极的可供选择的晶体管结构，例如多重栅极晶体管(multiple-gate transistor)，而该可供选择的晶体管结构的范例之一即为多重栅极晶体管。多重栅极晶体管的范例是包含双重栅极晶体管(double-gate transistor)、三重栅极晶体管(triple-gate transistor)、欧米茄场效晶体管(omega field-effect transistor)、以及环绕型栅极(surround-gate)或包裹环绕型栅极(wrap-around gate)晶体管。一种多重栅极晶体管结构期待用于延伸互补型金属氧化半导体(Complementary Metal Oxide Semiconductor; CMOS)技术的尺寸缩小能力，超越传统块金氧半场效晶体管限制并达到硅材质的金氧半场效晶体管的最大极限。引进额外栅极可改善栅极与沟道间的耦合电容(capacitance coupling)的产生、增加栅极对沟道控制的潜能、帮助短沟道效应的抑制、以及延伸金氧半晶体管的尺寸能力。

最简单的多重栅极晶体管的例子即 Hu 等人所获的美国专利字号 6,413,802 中所述的双重栅极晶体管。此专利中，其晶体管沟道是包含一经蚀刻罩幕(etchant mask)所定义而成并形成于一绝缘层例如为氧化硅上的薄硅鳍片。施行一栅极氧化程序，接着再沉积栅极以及定义栅极图案以形成一在鳍片旁的双重栅极结构，而源极往漏极以与栅极往栅极的方向均位于基底表面的平面上。

发明内容

本发明是具有鳍片结构的半导体元件及其制造方法，其较佳实施例即提供数种掺杂多重栅极晶体管的半导体鳍片以改善元件性能的方法。依照本发明的实施例，其栅极长度相较某些先前技术的布植法(implantation)具有更均匀的掺杂，因此能够改善元件效能。

INTEL - 1004
Page 395 of 492

本发明的一实施例是提供一种掺杂多重栅极晶体管的半导体鳍片的方法。首先提供一种半导体结构，包含复数个半导体鳍片在一绝缘层(insulator layer)上，一栅极介电质(gate dielectric)在部分该些半导体鳍片上，以及一闸电极(gate electrode)在该栅极介电质之上。上述任一半导体鳍片均具有一上表面、一第一侧壁表面以及一第二侧壁表面；掺杂物离子(dopant ions)与该些半导体鳍片上表面的法线呈一第一角度(大于7°)植入以掺杂该些半导体鳍片的第一侧壁表面以及上表面，此外掺杂物离子与该些半导体鳍片上表面的法线呈一第二角度植入以掺杂该些半导体鳍片的第二侧壁表面以及上表面。

本发明的另一实施例是提供一种以不同方位掺杂半导体鳍片的方法。此实施例中，当第一半导体鳍片于一大角度下植入掺杂物离子时，一第一罩幕覆盖于第二半导体鳍片上；同样地，当第二半导体鳍片于一大角度下植入掺杂物离子时，一第二罩幕覆盖于第一半导体鳍片上。

本发明同样包含结构的实施例，例如绝缘层上有半导体(semiconductor-on-insulator)的晶片(chip)，其包括复数个多重栅极晶体管形成于一绝缘层之上，且上述任一多重栅极晶体管包括具有一方位的一半导体鳍片以及具有一栅极长度小于30纳米的闸电极；该些多重栅极晶体管的任一晶体管方位均相同。其它方法与结构也同样于本发明中揭示。

一种绝缘层上有半导体的晶片，其包括复数个多重栅极晶体管形成于一绝缘层之上，且上述任一多重栅极晶体管包括具有一方位的一半导体鳍片以及具有一栅极长度相当于最小特征尺寸(feature size)的闸电极，而该些多重栅极晶体管的该方位则均为相同。

附图说明

INTEL - 1004
Page 396 of 492

图 1a 所示为一种双重栅极元件的结构;

图 1b 所示为一种三重栅极元件的结构;

图 1c 所示为一种欧米茄场效晶体管的结构;

图 2 所示为一种多重栅极晶体管的平面图;

图 3a 所示为一种三重栅极晶体管的立体透视图;

图 3b 所示为欧米茄场效晶体管的立体透视图;

图 4a 是沿图 2 中 B-B'线的剖面图;

图 4b 是沿图 2 中 C-C'线的剖面图;

图 5a、图 5b 及图 5c 是显示以一大植入角度掺杂一半导体鳍片的剖面图;

图 6a 所示为半导体鳍片的上部及侧壁表面所接收的离子剂量与植入角度的函数关系图;

图 6b 所示为该鳍片上部区域剂量对一侧壁表面区域剂量的比例与植入角度的函数关系图;

图 7a 为本发明的半导体鳍片元件的平面图示;

图 7b 为本发明的半导体鳍片元件的剖面图示;

图 8a 是显示当掺杂第一晶体管的源极与漏极区时，其第二晶体管是处于一遮蔽的状态;

图 8b 是显示当掺杂第二晶体管的源极与漏极区时，其第一晶体管是处于一遮蔽的状态;

图 9 所示为本发明的一种 n-型晶体管。

符号说明:

100～双重栅极晶体管

102～三重栅极晶体管

104～欧米茄场效晶体管

110～闸电极

INTEL - 1004
Page 397 of 492

112～硅体、鳍片

114、115～鳍片的(第一、第二)侧壁

116～绝缘层

118～硅基底

120～栅极介电质

122～罩幕

124～鳍片的上表面

126～源极区

128～漏极区

130～栅极于鳍片下的延伸或侵入

132～鳍片上表面掺杂区域

134～鳍片侧壁表面掺杂区域

136～沟道区

140～第一离子布植步骤

142～第二离子布植步骤

144～上方的掺杂区域

146、148～侧壁的掺杂区域

150～第一罩幕材料

152～第二罩幕材料

w～鳍片宽度

h～鳍片高度

e～栅极的侵入延伸

l～鳍片沟道长度

α、β～离子植入角度

INTEL - 1004
Page 398 of 492

具体实施方式

为让本发明的上述和其它目的、特征、和优点能更明显易懂，下文特举出较佳实施例，并配合所附图式，作详细说明如下：

本发明的较佳实施例是有关于半导体元件领域，且特别有关于一种具有鳍片结构的半导体元件。本发明是具有鳍片结构的半导体元件及其制造方法，其提供数个用以掺杂一多重栅极晶体管的半导体鳍片的方法。

另一多重栅极晶体管的范例为一三重栅极晶体管 102。三重栅极晶体管结构 102 的剖面图是于图 1b 中显示，而三重栅极结构的平面图是与双重栅极结构相同并且于图 2 中显示。三重栅极晶体管结构具有一形成三个栅极的闸电极 110：其中一栅极位于硅体/鳍片 112 的上表面 124，而另外两个栅极则位于硅体/鳍片 112 的侧壁 114。三重栅极晶体管较双重栅极晶体管多出一位于硅鳍片上表面的栅极，故可具有优于双重栅极晶体管对栅极沟道的控制能力。一三重栅极晶体管 102 的立体图示是于图 3a 中显示；图 3a 显示源极区 126 与漏极区 128 是分别形成于相对沟道区两侧的硅体 112 上。

三重栅极晶体管的结构可经修饰以改善栅极控制能力，如图 1c 所示。由于闸电极 110 的剖面图具一 omega(Ω)外型，因此结构 104 也如同习知的欧米茄场效晶体管(omega field-effect transistor；简称 omega-FET)。闸电极 110 于半导体鳍片或硅体 112 下的侵入形成一具有 omega(Ω)外型的栅极结构，它具有近似于栅极围绕(Gate-All-Around；GAA)晶体管般突出的尺寸能力，并使用一种类似双重栅极晶体管或三重栅极晶体管而稍加改变的制造方法。欧米茄场效晶体管具一上栅极(毗连于表面 124)，两个侧壁的栅极(毗邻于表面 114)，以及于该似鳍片(fin-like)的半导体本体下所延伸或侵入 130 的特殊栅极。

因此欧米茄场效晶体管是为一具有一几乎缠绕于整个本体 112 的栅

INTEL - 1004
Page 399 of 492

极 110 的场效晶体管。事实上，当栅极的延伸 130 愈长，例如侵入范围 e 越大，则该晶体管结构与栅极围绕晶体管的结构愈接近或相似；一具有凹处绝缘层的三重栅极晶体管或欧米茄场效晶体管的立体图是于图 3b 中概要说明。闸电极 110 于硅体 112 下的侵入有助于沟道避开来自漏极 128 的电场线 (electric field lines) 并改善栅极对沟道的控制能力 (gate-to channel controllability)，如此可减缓因漏极电压所造成的能障降低效应 (drain-induced barrier lowering effect; DIBL) 并改善短信道的性能。

图 1a 至图 1c 所示的多重栅极晶体管结构剖面图是用于说明本发明，然并非受限于上述的结构。且鳍片的角隅是可为圆润，而并非如图 1a 至图 1c 所示的陡峭边角。

所述的多重栅极晶体管结构，例如双重栅极晶体管 100、三重栅极晶体管 102 以及欧米茄场效晶体管 104 均具一共同特征：似鳍片的半导体主动区域 112。在掺杂半导体鳍片的源极区 126 与漏极区 128 的过程中，先前技术是使用一习知的源极与漏极离子布植程序，离子经与晶片或基底的法线成一小角度布植；习知的源极与漏极布植程序中常采用一小角度如 7 度或更小的角度，例如沿图 2B-B'线而得的图 4a 所示。

使用如此的离子布植条件将导致多数植入的掺杂物到达鳍片 112 的上表面 124，因而产生一浓掺杂 (high-doped) 的上表面区 132，而仅有少数掺杂物能有效植入侧壁表面 114，形成一淡掺杂 (lightly doped) 的侧壁表面区 134。欲引入一显著掺杂量于源极/漏极区 126/128 的侧壁可能需要一段长时间的离子布植。此外，由于少数掺杂物会到达部分鳍片的底部，因此源极 126 与漏极 128 于部分鳍片底部的离子掺杂度较低，并可能导致部分鳍片的底部沟道长度 *l* 的底部较部分鳍片的上部沟道长度大。

图 4b 所示为沿图 2C-C'线而得的剖面图。在鳍片 112 中的沟道 136

INTEL - 1004
Page 400 of 492

的长度变异，例如部分鳍片底部具有一较大的沟道长度，结果导致一位于部分鳍片底部的缩减电流，由源极通往漏极的非均匀的电流分布。因此当使用一般的源极与漏极的掺杂程序，该半导体鳍片元件的性能乃未臻完美。

本发明的实施例可借由使用任一些多重栅极晶体管而执行，而晶体管的三个范例是根据图 1a 至图 4b 所描绘，且其中任何结构也同其它结构般可利用本发明的内容。如图 1a 中的剖面图示说明，一双重栅极晶体管 100 具有一闸电极 110 横跨于沟道或似鳍片的硅本体 112，并因此形成一双重栅极的结构：两个栅极，其分别位于硅鳍片 112 的任一侧壁 114，如图 1a 所示。该双重栅极结构的平面图是于图 2 中表示，而图 1a(以及图 1b 和图 1c)是沿图 2 中的 A-A'线而成。硅鳍片 112 形成于硅基底 118 上的绝缘层 116 上，该硅体 112 借由一沿着侧壁 114 的栅极介电质 120 以及一沿着鳍片的上表面 124 的罩幕 122 与闸电极 110 分隔。

多重栅极晶体管例如为双重栅极晶体管、三重栅极晶体管以及欧米茄场效晶体管，此类晶体管的共同特征在于具有似鳍片的半导体主动区域。是以此类的元件也即为习知的半导体鳍片元件，且半导体鳍片元件具有一预设的鳍片高度 h 以及一预设的鳍片宽度 w。另一多重栅极晶体管的共同特征为半导体鳍片的侧壁表面是用于电流传导，例如多重栅极晶体管上一显著量源极通往漏极的电流是沿侧壁表面传导。

实质上，多重栅极晶体管的有效元件宽度是为鳍片高度 h 的函数(如图 1a 所示)。于双重栅极晶体管中，元件的宽度为鳍片高度的两倍，例如为 $2h$。而于三重栅极晶体管中，元件的宽度则为 $(2h + w)$(如图 1a 及图 1b 所示)。如图 3a 及图 3b 所示，半导体鳍片 112 的部分侧壁经掺杂而形成源极区 126 与漏极区 128，因此于制造半导体鳍片元件或多重栅极晶体管的过程中是牵涉了半导体鳍片的掺杂，尤其是半导体鳍片的侧壁表面。在半导体鳍片的侧壁表面作有效以及足够的掺杂可用以最佳化晶体管的

INTEL - 1004
Page 401 of 492

特性，一方面来说，本发明是提供了生产制程中掺杂半导体鳍片侧壁的改善方法。

根据本发明的特点，在半导体鳍片元件的掺杂中，其源极与漏极的离子植入角度α是大以最佳化元件的效能。现参照图 5a 至图 5c 离子布植的图解，其中离子布植是至少经由两个离子布植步骤而完成。如图 5a 所示，一半导体鳍片 112 是在一绝缘层 116 上，该绝缘层 116 可如图 1c 所示的欧米茄场效晶体管范例般具有一凹处，且该绝缘层厚度可于范围 100 埃至 2000 埃。为求方便说明，将该半导体鳍片 112 视为一三重栅极晶体管 102。

于较佳实施例中，半导体鳍片 112 是由硅构成，且所布植的离子为 p-型掺杂物离子，例如为硼(boron)和/或铟(indium)；或者为 n-型掺杂物离子，例如为磷(phosphorus)、砷(arsenic)和/或锑(antimony)。如图 5b 所示，于第一离子布植步骤中执行一角度植入(以箭头符号 140 表示)，其与晶片上表面 124 的法线于 z-x 平面呈一角度α。源极 126 与漏极 128 的离子布植剂量约为总掺杂物剂量 I(每单位晶片表面面积中所含掺杂物单位)之半，而源极与漏极离子布植的总剂量 I 通常介于每平方公分含有约 1×10^{13} 至 1×10^{16} 掺杂物的范围。经第一离子布植步骤 140 后是产生一上方的掺杂区域 144 以及侧壁的掺杂区域 146。

关于鳍片上表面 124 的入射角，离子以一与鳍片上表面 124 的法线成角度α到达鳍片上表面，而鳍片上表面 124 的法线通常是与晶片的法线平行。而关于鳍片侧壁表面 114 的入射角，离子以一与鳍片侧壁表面 114 的法线呈角度(90-α)到达鳍片侧壁的表面，而角度α与(90-α)是依照与该侧壁表面 114 正交的平面而定。

第一离子布植步骤中，鳍片的第一侧壁 114 约接收$(I/2)\cdot \sin(\alpha)$的剂量，而鳍片上表面 124 则约接收$(I/2)\cdot \cos(\alpha)$的剂量，此时该鳍片的第二侧壁表面 115 基本上并无接收掺杂物。

INTEL - 1004
Page 402 of 492

第二离子布植步骤中，元件 102 经沿法线旋转 180 度后，其第二的半剂量是于 z-x 平面上与晶片的法线成一角度 α 布植，如图 5c 所示。于该第二离子布植(以箭头符号 142 表示)步骤中，鳍片的第二侧壁表面 115 约接收(I/2)· sin(α)的剂量，而鳍片上表面 124 则约接收(I/2)· cos(α)的另外剂量，于此鳍片的第一侧壁表面 114 基本上并无接收掺杂物。因此，在第一及第二离子布植步骤之后，其鳍片上表面所接收的总离子剂量为 I· cos(α)，而该任一侧壁表面所接收的总离子剂量则为(I/2)· sin(α)。图 5c 说明了侧壁的掺杂区域 148 的形成。

于图 5b 及图 5c 中所阐明的实施例，其中的离子布植步骤 140 及 142 是均以一角度 α 执行，值得注意的是第一离子布植步骤的角度并非必须与第二离子布植步骤的角度相同，该角度接近是为理想(但并非必须)以便维持侧壁掺杂区域 146 与 148 具有较一致的操作性质。

图 6a 中，鳍片 112 的上表面掺杂区域 144 与侧壁表面掺杂区域 146(或 148)所接收的每单位表面积的掺杂物剂量是依植入角度 α 为函数标绘。假设角度 α 为 0，则(I/2)· sin(α)变为 0，亦即没有掺杂物可到达鳍片侧壁表面；此时 I· cos(α)变成 I，表示鳍片上表面将掺杂一剂量 I。假设植入角度为 0 度，其位于多重栅极晶体管的鳍片侧壁 114 与 115 的源极区 126 与漏极区 128 自然无法有效形成。一般源极与漏极离子布植条件常使用一小角度例如为 7 度，如此可理解任一鳍片侧壁每单位的表面积所接收的离子剂量将少于其上表面所接收的每单位表面积离子剂量的十分之一；在此例中，鳍片侧壁表面需要一较高剂量与较长时间的离子布植以获得一基本量的掺杂。

本发明的较佳实施例是指示离子布植角度应大以足够鳍片侧壁表面 114 与 115 获得一基本量的掺杂。事实上，若离子布植角度为 60 度，则鳍片 112 的上部以及侧壁表面将具有相当的剂量而导致相近的掺杂浓度。

依据图 6b，鳍片上表面 124 所接收的离子剂量对一鳍片侧壁表面

INTEL - 1004
Page 403 of 492

114(或 115)所接收的离子剂量的比例是依植入角度α为函数标绘，而该比例也可诠释为鳍片上表面区域 144 掺杂浓度对鳍片侧壁表面区域 146(或 148)掺杂浓度的比例。在本发明的一实施例中，较佳比例为约小于 8，而该所对应的离子植入角度约大于 15 度。本发明的较佳实施例中，该比例是介于范围约 1 至 4 之间，且其对应的离子植入角度为介于范围约 26 至 63 度之间，而鳍片上表面掺杂区域 144 与侧壁表面掺杂区域 146 及 148 的较佳掺杂浓度为大于每立方公分约含 1×10^{20} 掺杂物。

依据本发明的指示，使用一大植入角度α具有一些优点。首先，以一大角度执行离子布植可使晶体管侧壁表面的源极 126 与漏极区 128 能更有效率地引入更多掺杂物，因而可避免以一小角度执行离子布植所伴随的长时间布植的问题产生。其次，以一大角度执行离子布植将使鳍片的源极与漏极区的上表面 124 以及侧壁表面 114 及 115 的掺杂量更相当，因此多重栅极晶体管的沟道长度不管于鳍片的上方或下方部分均可维持相同。

然而，随着使用大角度的离子布植所衍生出潜在的问题，而本发明则提供该问题的解决方法。现参照图 7a，其图中显示两多重栅极晶体管 102a 与 102b 的平面图，其中两晶体管 102a 与 102b 具有相互垂直的源极往漏极方向，亦即其所含半导体鳍片 112 是朝向相互垂直的方向；而换句话说，该半导体鳍片是相互正交。图 7a 中，第一晶体管 102a 的源极往漏极方向是位于 y-方向上，而第二晶体管 102b 的源极往漏极方向则位于 x-方向上，x-y 轴是于图 7a 右下方角落显示。

两晶体管的闸电极 110a 与 110b 所朝的方位也同样呈相互垂直。如图 7a 所示，该两晶体管可相互非常接近或远离，例如位于一集成电路晶粒(integrated circuit die)的两最末端。图 7a 所示的多重栅极晶体管可为一双重栅极晶体管、三重栅极晶体管或欧米茄场效晶体管，而为求说明方便，是将该多重栅极晶体管视为一三重栅极晶体管。

INTEL - 1004
Page 404 of 492

图 7b 是显示三重栅极晶体管 102a 与 102b 沿图 7a 中 A-A'线而得的剖面图示。图 7a 的 A-A'线是横切第一晶体管 102a 的源极区 126a 以及第二晶体管 102b 的源极区 126b、沟道区 136b 及漏极区 128b。一般而言在制造多重栅极晶体管的过程中，半导体鳍片 112 是在一绝缘层 116 上，而沉积一栅极介电层 120 之后再接着形成闸电极 110。

栅极介电层的材质可包含氧化硅(silicon oxide)或氮氧化硅(silicon oxynitride)，或可包含高介电常数(high permittivity)介电质例如为氧化镧(lanthanum oxide; La_2O_3)、氧化铝(aluminum oxide; Al_2O_3)、氧化铪(hafnium oxid; HfO_2)、氮氧化铪(hafnium oxynitride; HfON)、氧化锆(zirconium oxide; ZrO_2)等或其组合，而高介电常数介电质通常具有一大于 5 的相对电容率。闸电极的材质可包含一导电性材料，而导电性材料的范例是包含已掺杂的多晶硅(doped poly-crystalline silicon)、已掺杂的多晶硅-锗(poly-crystalline silicon-germanium)、金属或金属硅化物(metal silicide)。此时，在形成源极区 126 与漏极区 128 前，半导体鳍片 112 上的沟道区 136 可为已掺杂或未掺杂。

接着的制造过程步骤中可能牵涉借由掺杂适当部分的半导体鳍片 112 而形成源极区 126 以及漏极区 128。假设使用一位于 z-x 平面的大植入角度 α 以掺杂第一晶体管 102a 的半导体鳍片第一侧壁 114a，则第二晶体管 102b 的沟道区 136b 将同样接收到源极与漏极的掺杂物，进而导致第二晶体管 102b 的效能削减，而同样问题则发生于使用一大植入角度以掺杂第一晶体管 102a 的第二侧壁 115a 时。

通常当提供足够的掺杂量于具有一第一源极往漏极方位的晶体管的源极区与漏极区，例如朝 y 方向的源极往漏极方向，其大角度的植入步骤将同样把源极/漏极的掺杂物掺杂至具有一第二垂直的源极往漏极方位的晶体管沟道区，例如朝 x 方向的源极往漏极方向。此乃因为当以一大植入角度 α (例如为 30 度)执行源极与漏极的布植 140 时，其具有一角

INTEL - 1004
Page 405 of 492

度与晕布植(halo implant)角度相近，并可因此掺杂至第二晶体管的沟道区 136b。然而一般习知的晕布植是使用与源极 126 与漏极 128 相反型态的掺杂物用以掺杂沟道区 136 以控制短沟道效应(short channel effect)，当本欲掺杂源极区 126a 与漏极区 128a 时，而使得第二晶体管 102b 的沟道区 136b 也一并受掺杂时，第二晶体管 102b 的短沟道效应可能恶化，并甚至可能使源极 126b 与漏极 128b 间短路(electrical short)而导致失效。

本发明是提供了一种方法，其可利用大植入角度以掺杂具有一第一源极往漏极方位的第一晶体管 102a 的源极区 126a 与漏极区 128a，且未掺杂至具有一第二垂直的源极往漏极方位的第二晶体管 102b 的沟道区 136b。在源极与漏极植入前，沉积一罩幕材料 150(mask material)于晶片上以覆盖第一晶体管 102a 以及第二晶体管 102b。该罩幕材料经由图案化例如借由光学微影技术(optical lithography)，移除覆盖于第一晶体管 102a 的部分罩幕材料 150 以形成一第一罩幕 150，如图 8a 所示。该第一罩幕 150 覆盖于第二晶体管 102b 上，于掺杂第一晶体管 102a 源极 126a 与漏极区 128a 时遮蔽沟道区 136b。

源极 126a 与漏极区 128a 的掺杂可如上所述经由两离子布植步骤执行。其中乃进行半剂量的角度植入(half-dose angled implant)以掺杂第一侧壁 114a 以及第一晶体管 102a 的鳍片 112a 上表面 124a，接着再执行另一半剂量的角度植入以掺杂第二侧壁 115a 以及上表面 124a。掺杂源极 126a 以及漏极区 128a 后，可将第一罩幕 150 移除。

接着是形成覆盖于第一晶体管 102a 的第二罩幕 152 以暴露第二晶体管 102b。而欲掺杂第二晶体管 102b 的源极 126a 与漏极区 128a 时，则至少需执行两个离子布植步骤。第一晶体管 102a 的沟道区 136a 被第二罩幕 152 遮蔽而不受该离子布植程序影响。而用以掺杂第二晶体管 102b 的源极 126b 与漏极区 128b 的离子布植步骤的植入角度是以 z-y 平面的角

INTEL - 1004
Page 406 of 492

度β执行。位于 z-y 平面的角度β，与该第二晶体管的半导体鳍片 112b 的侧壁 114b 所在的平面垂直。图 8b 中，y 轴的正向是为进入纸面的方向，而 y 轴的负向则为凸出纸面的方向(因此难以于图面上明白标示角度β)。

之后可将该第二罩幕移除，并执行一高温回火(annealing)步骤以活化半导体鳍片 112a 与 112b 中所布植的掺杂物。该回火步骤可为一快速回火制程(spike anneal process)，其水温可急速升至一峰值温度(peak temperature)摄氏 1050 度，接着再急速冷却水温，或者其它的任何回火技术，例如为一般习知且先前技术已使用的快速热退火(rapid thermal anneal)技术。

由上所述方法的实施例中，可理解欲将晶体管的源极 126 与漏极区 128 掺杂成同型，例如 n-型或 n-沟道，其需牵涉使用一额外罩幕图案化的步骤，引入一额外光罩有时可能因成本昂贵而为商业所禁用。因此，基于上述实施例，更进一步的改善乃将所有于一预定范围栅极长度内的同型多重栅极晶体管排列为同方向，以容许使用大角度植入而不需使用一额外光罩，此乃于本发明的另一实施例中所述。

根据此实施例，所有相同导电型(conductivity type)以及具有小于或等于一预设栅极长度的多重栅极晶体管均朝向同一方向。本文中，所有的晶体管是指设计以具备最理想特性的操作而可实用(functional)或操作(operational)的晶体管，例如不包含虚拟晶体管(dummy transistor)或其它未于晶片操作电路上的晶体管。预设的栅极长度是根据短沟道效应(short-channel effect)的影响度决定，晶体管所具的栅极长度愈短则愈易受到短沟道效应影响。预设的栅极长度可例如为 30 纳米，而另一范例中，该预设的栅极长度可能为最小的栅极长度。

由于以大植入角度掺杂具有第一源极往漏极方位的晶体管的源极 126 与漏极区 128 可降低具有其它源极往漏极方向的晶体管的短沟道效应，因此所有易受严重短沟道效应影响的晶体管均应具有相同的源极往

INTEL - 1004
Page 407 of 492

漏极方向。例如，所有栅极长度小于 30 纳米的 n-型多重栅极晶体管均应具有朝 x 方向的源极通往漏极方向。图 9 中是显示了栅极长度 $l_{g,a}$及 $l_{g,b}$小于预设栅极长度，例如为 30 纳米，而 $l_{g,c}$及 $l_{g,d}$则大于预设栅极长度。图 9 的晶体管 102a 及晶体管 102b 分别具有栅极长度 $l_{g,a}$与 $l_{g,b}$，且具有大体相同的源极往漏极方位(亦即源极往漏极的电流路径大体平行)，而晶体管 102c 与晶体管 102d 则分别具有 $l_{g,c}$及 $l_{g,d}$的栅极长度，且其可为任何的源极往漏极方向。

当改变掺杂源极区 126 与漏极区 128 的离子布植条件时，晶体管 102c 与晶体管 102d 可能具有不同电性(electrical characteristics)或对短沟道效应的弱点，例如该 x 方向可为一晶向(crystallographic direction)，例如为[100]方向。此例中，n-沟道多重栅极晶体管的侧壁表面是为(100)表面，而具有(100)侧壁表面的 n-沟道多重栅极晶体管则会具有最佳的电子迁移率(electron mobility)。另一范例中，所有具有栅极长度小于 30 纳米的 p-型多重栅极晶体管可能具有朝晶向[110]的源极往漏极的方向。而此时，p-沟道多重栅极晶体管的侧壁表面是为(110)表面，而具有(110)侧壁表面的 p-沟道多重栅极晶体管会具有最佳的电洞迁移率(hole mobility)。

另一方法的实施例中，半导体鳍片 112 可经固态扩散源(solid-source diffusion)取代如其它方法实施例中所述的离子布植。于固态扩散源的技术中，将一含掺杂物的材料(固态扩散源; solid source)沉积于欲掺杂的半导体鳍片上，之后执行一升温处理以提供含掺杂物材料或固态扩散源的掺杂物扩散至半导体鳍片中。含掺杂物材料的范例是包含硼硅玻璃(boron-silicate glass; BSG)、掺磷硅玻璃(phosphor-silicate glass; PSG)以及掺锗(doped germanium)等。有关图 9 的讨论是同样适用于此实施例。

INTEL - 1004
Page 408 of 492

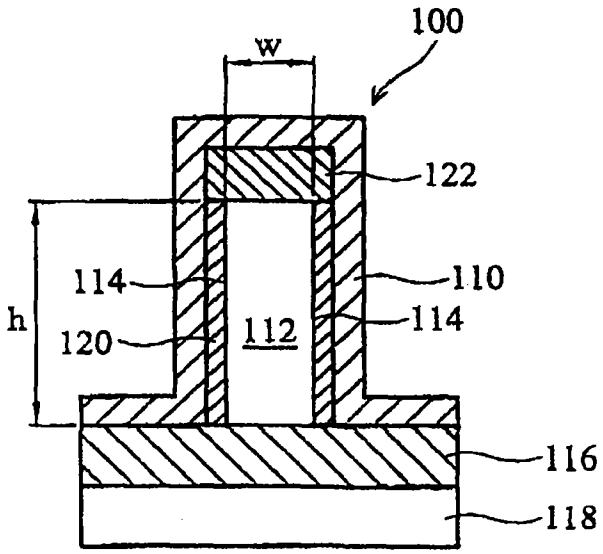


图1a

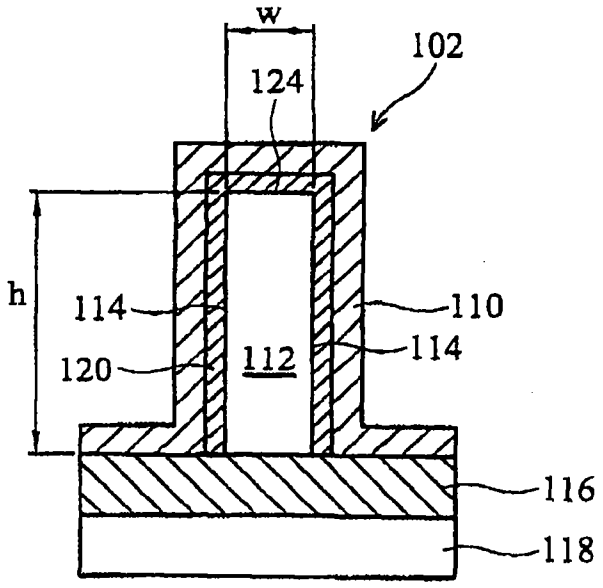


图1b

INTEL - 1004
Page 409 of 492

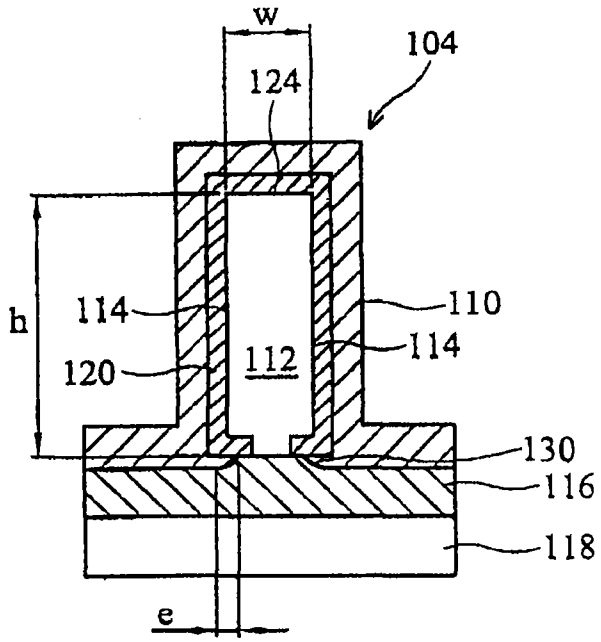


图1c

INTEL - 1004
Page 410 of 492

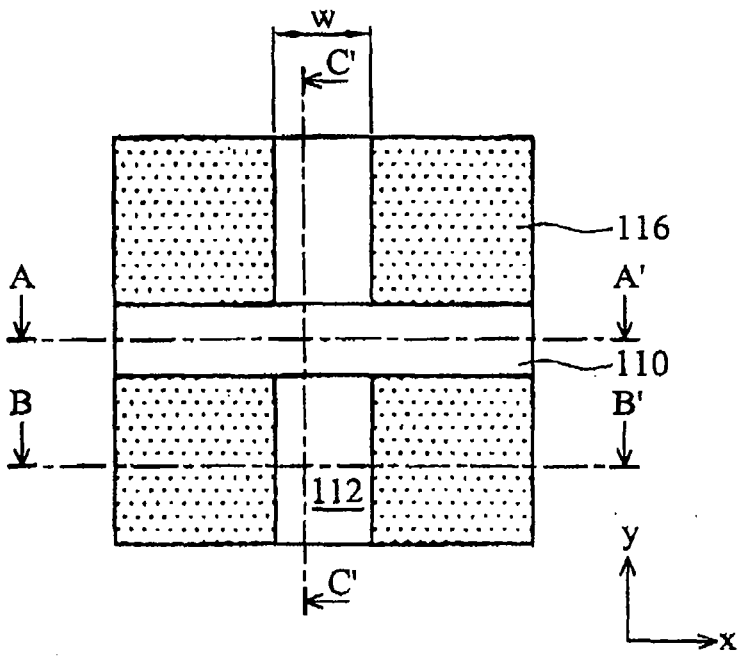


图2

INTEL - 1004
Page 411 of 492

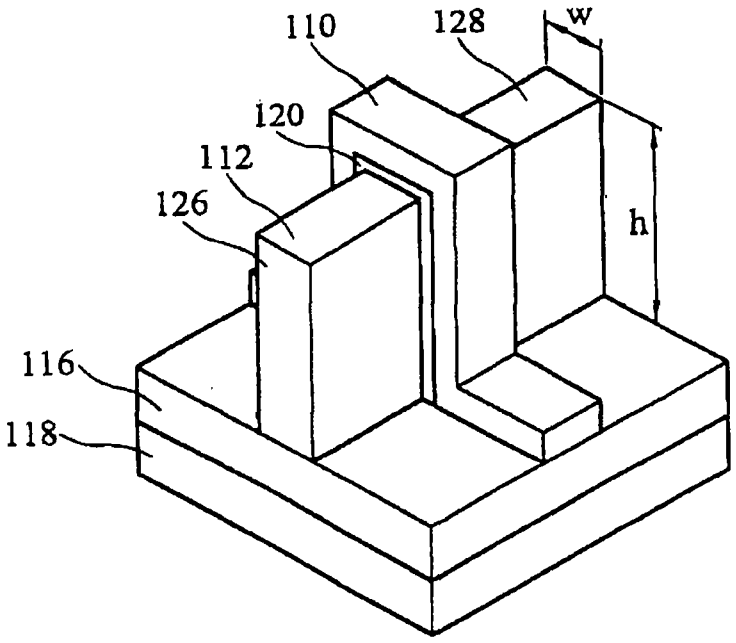


图3a

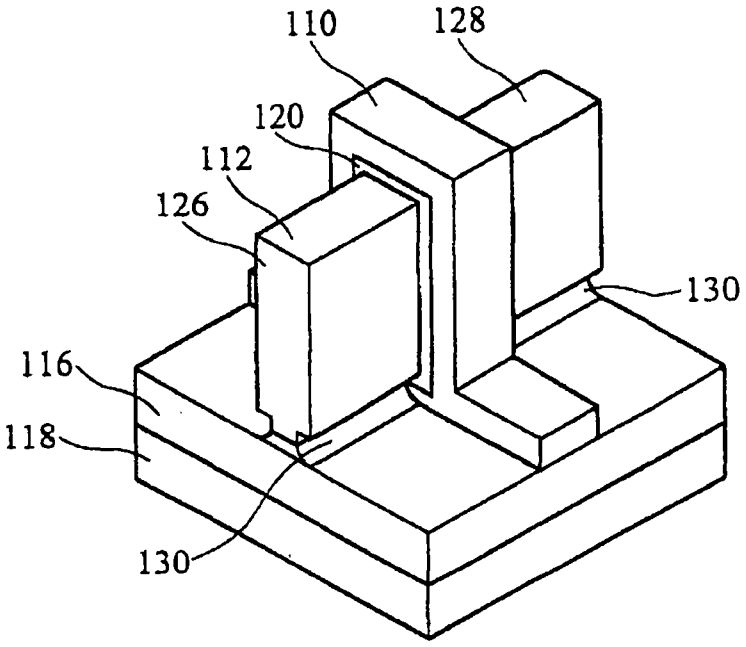


图3b

INTEL - 1004
Page 412 of 492

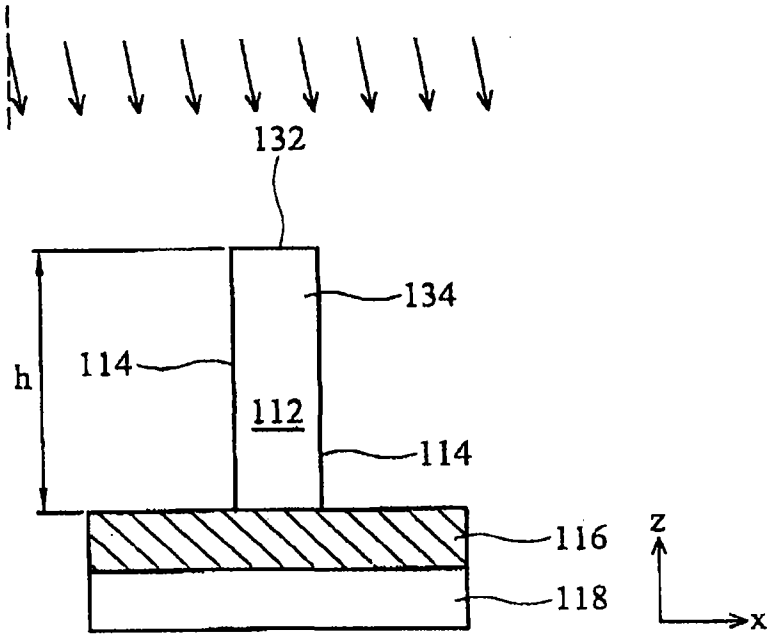


图4a

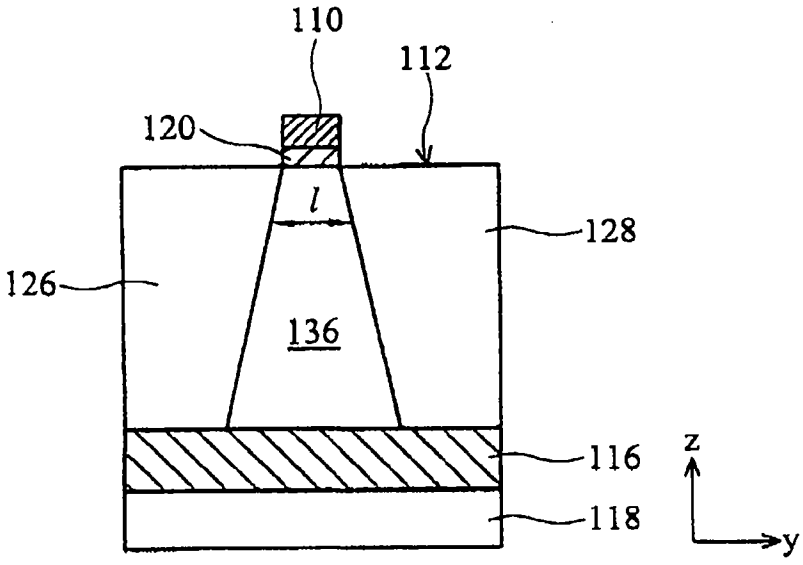


图4b

INTEL - 1004
Page 413 of 492

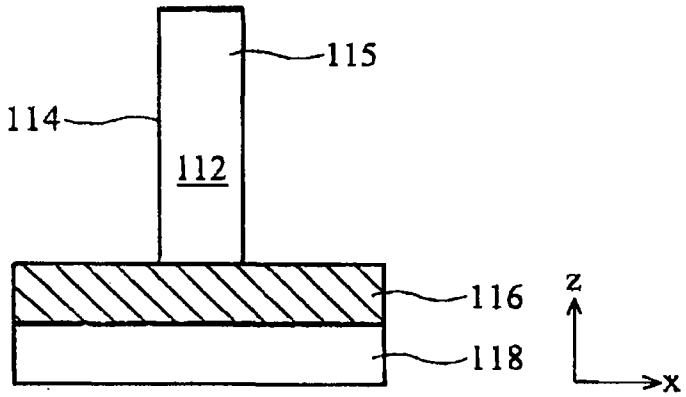


图5a

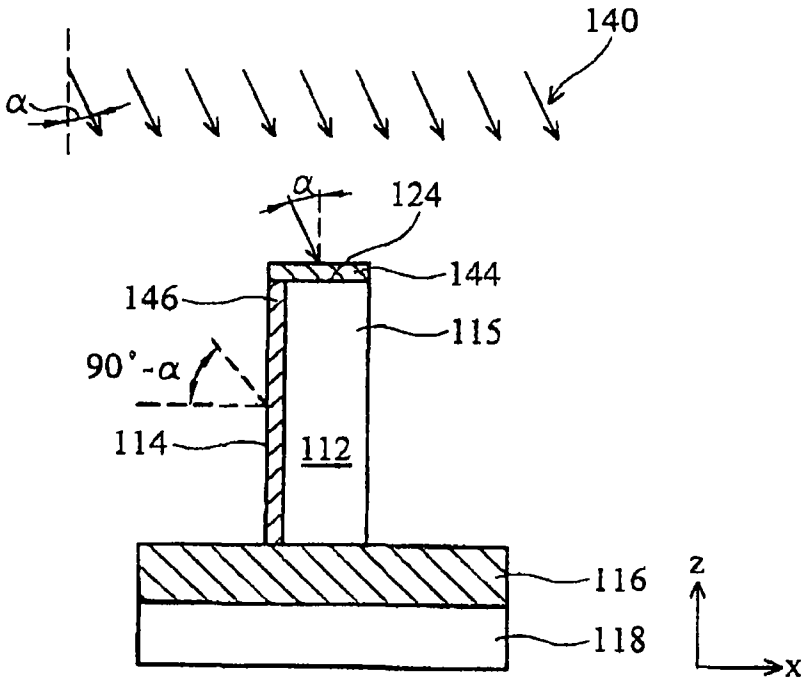


图5b

INTEL - 1004
Page 414 of 492

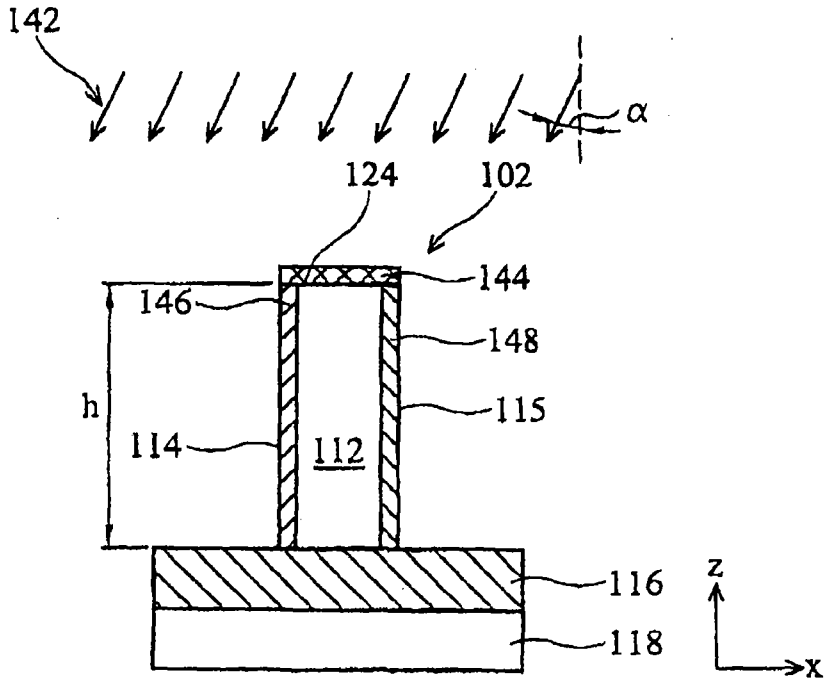


图5c

INTEL - 1004
Page 415 of 492

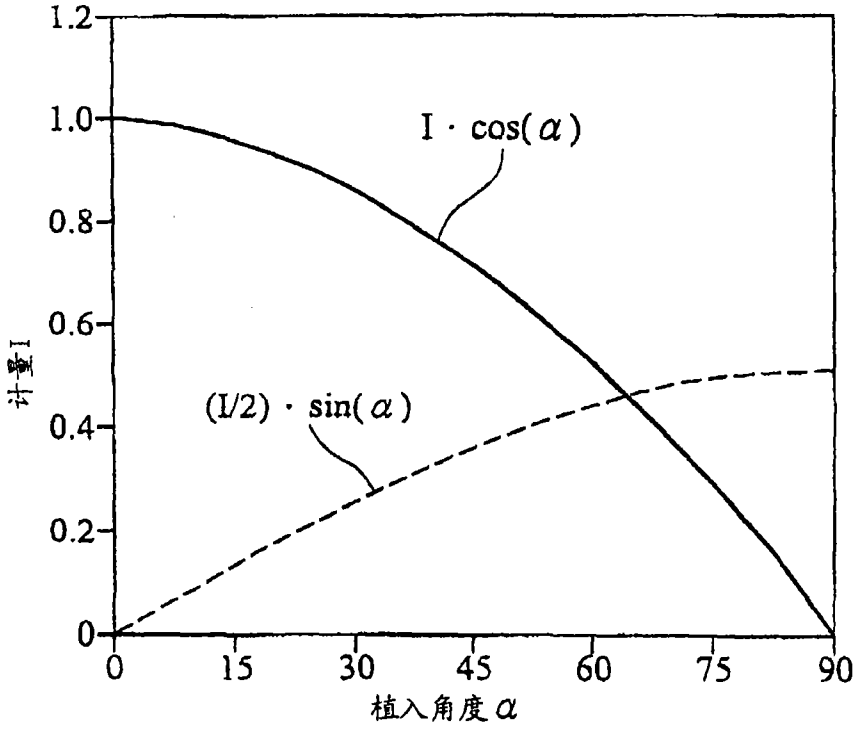


图6a

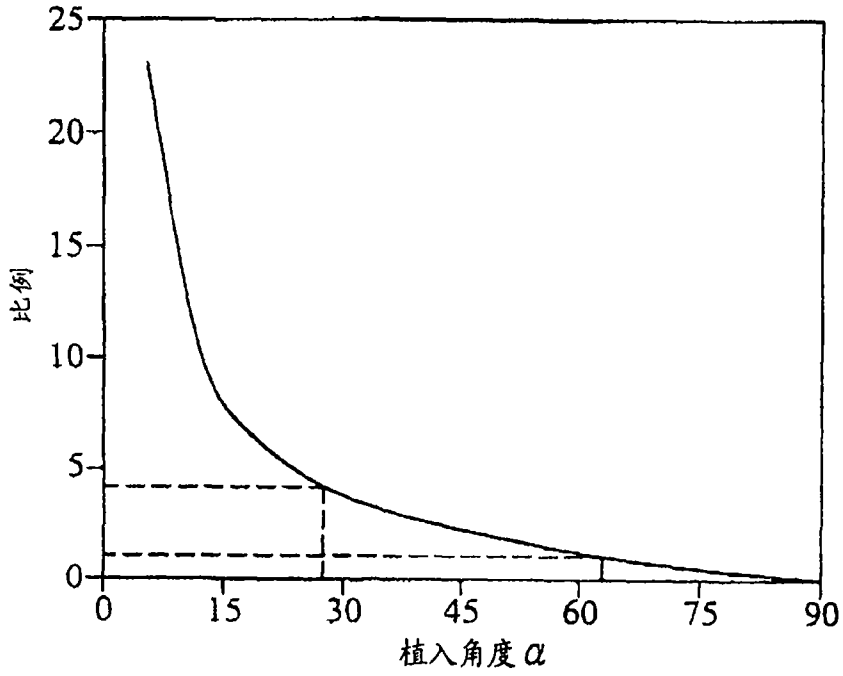


图6b

INTEL - 1004
Page 416 of 492

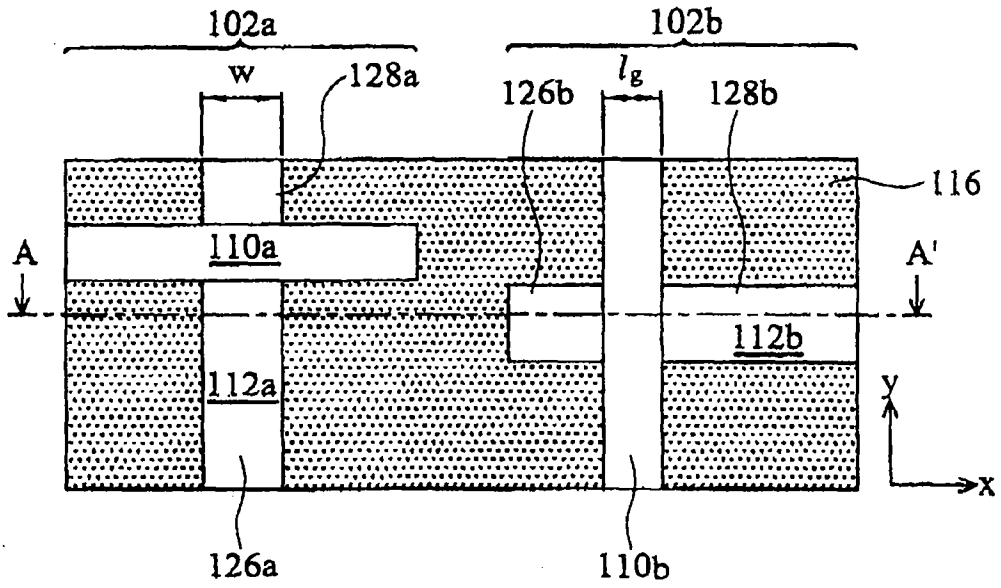


图7a

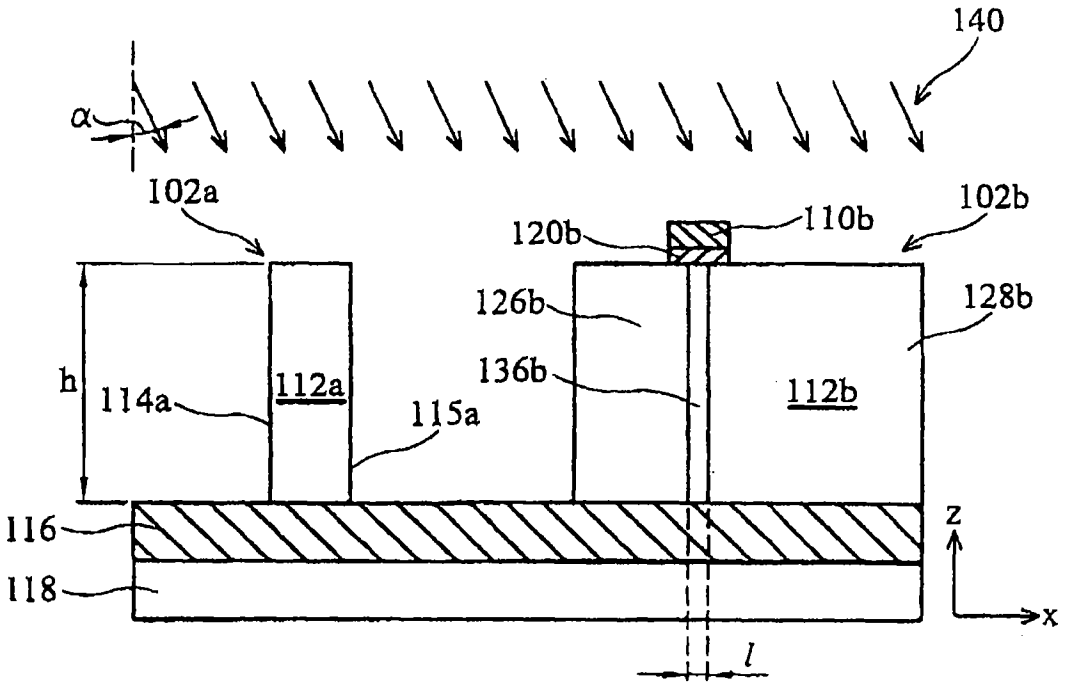


图7b

INTEL - 1004
Page 417 of 492

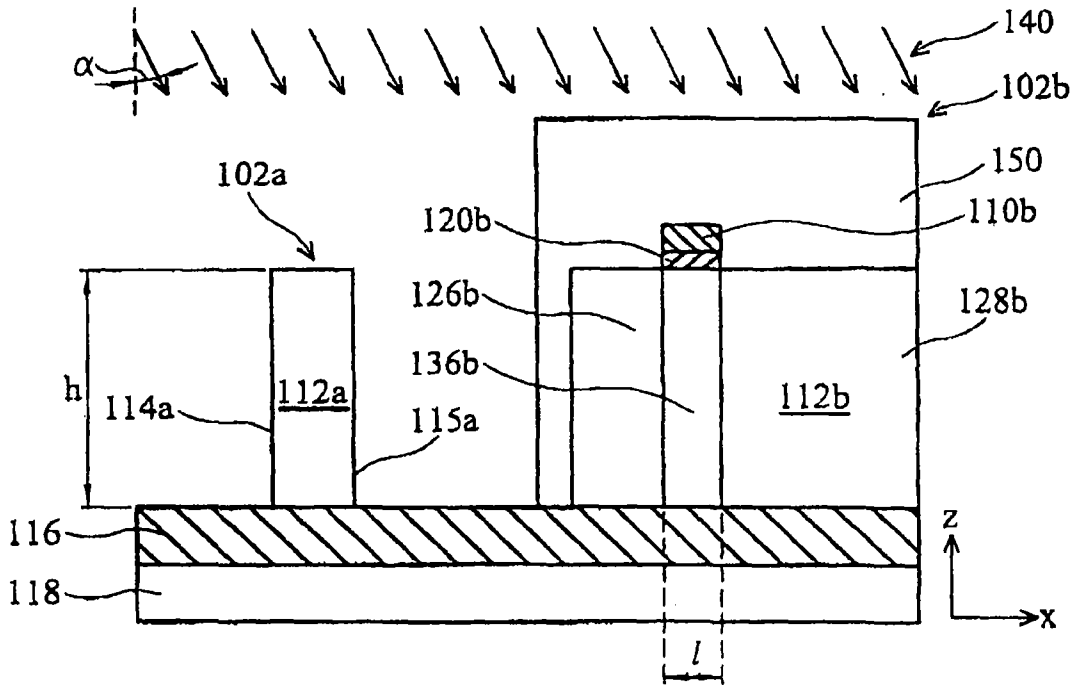


图8a

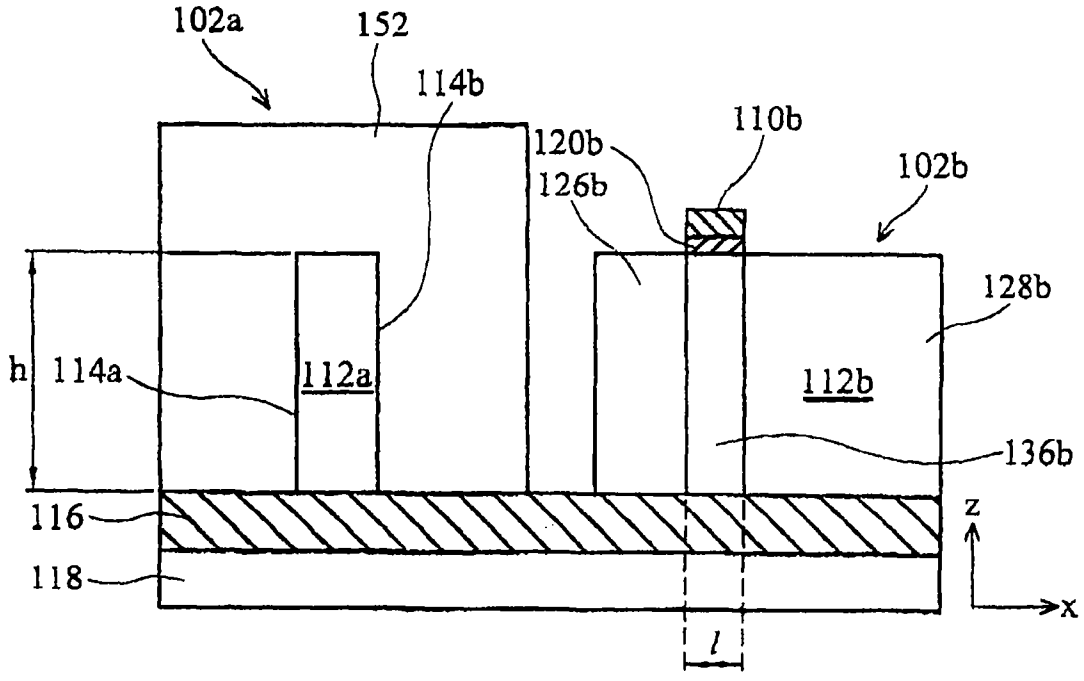


图8b

INTEL - 1004
Page 418 of 492

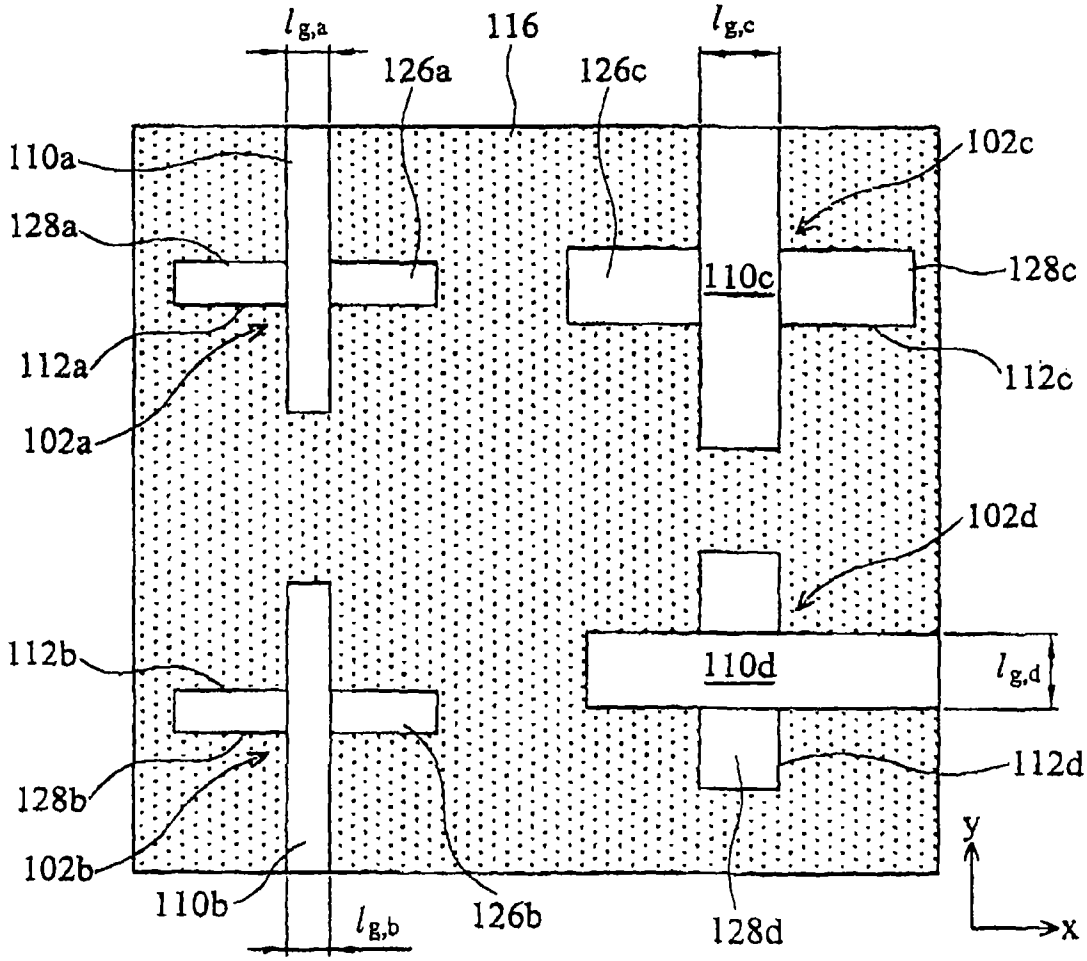


图9

INTEL - 1004
Page 419 of 492

[19] 中华人民共和国国家知识产权局

[12] 发明专利申请公布说明书

[21] 申请号 200480035651.9

[51] Int. Cl.
H01L 21/8244 (2006.01)
H01L 27/11 (2006.01)
H01L 21/336 (2006.01)
H01L 29/423 (2006.01)
H01L 29/786 (2006.01)

[43] 公开日 2007 年 1 月 3 日

[11] 公开号 CN 1890798A

[22] 申请日 2004.9.29
[21] 申请号 200480035651.9
[30] 优先权
[32] 2003.10.2 [33] US [31] 10/679,124
[86] 国际申请 PCT/US2004/032442 2004.9.29
[87] 国际公布 WO2005/034212 英 2005.4.14
[85] 进入国家阶段日期 2006.6.1
[71] 申请人 英特尔公司
地址 美国加利福尼亚州
[72] 发明人 休曼·达塔 布赖恩·多伊尔
罗伯特·乔 杰克·卡瓦莱厄斯
B·郑 斯科特·哈雷兰

[74] 专利代理机构 北京嘉和天工知识产权代理事务所
代理人 严 慎

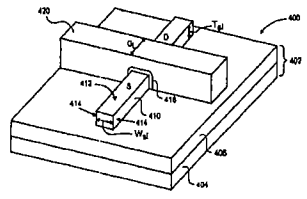
权利要求书 3 页 说明书 8 页 附图 14 页

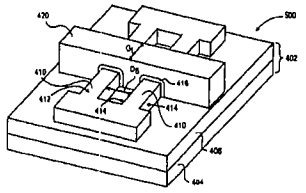
[54] 发明名称

用于改善 6T CMOS SRAM 单元稳定性的方法和装置

[57] 摘要

本发明是一种 CMOS SRAM 单元，包括：两个存取器件，每一个存取器件由具有单个鳍(410)的三栅晶体管(400)构成；两个上拉器件，每一个上拉器件由具有单个鳍(410)的三栅晶体管(400)构成；以及，两个下拉器件，每一个下拉器件由具有多个鳍(410)的三栅晶体管(500)构成。还提供了一种用于制造所述 CMOS SRAM 单元，包括双鳍三栅晶体管的方法。由于鳍，栅极长度相对于具有相同面积的平面晶体管被增加了。因此，增加了单元比率和静态噪声容限，提供了改善的稳定性而不增加单元面积或电源电压。





1. 一种电路，包括：
至少一个存取器件，所述至少一个存取器件由具有单个鳍的非平面晶体管构成；
至少一个上拉器件，所述至少一个上拉器件由具有单个鳍的非平面晶体管构成；以及
至少一个下拉器件，所示至少一个下拉器件由具有多个鳍的非平面晶体管构成。

2. 如权利要求 1 所述的电路，其中，所述至少一个下拉器件由具有两个鳍的非平面三栅晶体管构成。

3. 如权利要求 2 所述的电路，其中，所述非平面三栅晶体管的所述两个鳍被设置成彼此间隔小于 60nm。

4. 一种 CMOS SRAM 单元，包括：
两个存取器件，每一个存取器件由具有单个鳍的三栅晶体管构成；
两个上拉器件，每一个上拉器件由具有单个鳍的三栅晶体管构成；
两个下拉器件，每一个下拉器件由具有多个鳍的三栅晶体管构成，并且，
其中，所述 CMOS SRAM 单元具有单元比率，静态噪声容限（SNM），以及电源电压。

5. 如权利要求 4 所述的 CMOS SRAM 单元，其中，每一个下拉器件由具有两个鳍的三栅晶体管构成，每一个鳍具有高度和宽度。

6. 如权利要求 5 所述的 CMOS SRAM 单元，其中，所述鳍被设置成彼此间隔小于 60nm。

7. 如权利要求 5 所述的 CMOS SRAM 单元，其中，每一个鳍的所述高度是 60nm。

8. 如权利要求 5 所述的 CMOS SRAM 单元，其中，每一个鳍的所述宽度是 60nm。

9. 如权利要求 4 所述的 CMOS SRAM 单元，其中，每一个三栅晶体管包含至少一个拐角，每一个拐角具有小于 10nm 的曲率半径。

10. 如权利要求 4 所述的 CMOS SRAM 单元，其中，所述单元比率大于 2.0。

11. 如权利要求 4 所述的 CMOS SRAM 单元，其中，所述静态噪声容限（SNM）大于 240 毫伏。

12. 如权利要求 11 所述的 CMOS SRAM 单元，其中，所述电源电压小于 1.5 伏。

INTEL - 1004
Page 421 of 492

13. 一种 CMOS SRAM 单元，包括：
两个 N 型存取器件，每一个 N 型存取器件由具有单个鳍的三栅晶体管构成；
两个 P 型上拉器件，每一个 P 型上拉器件由具有单个鳍的三栅晶体管构成；
两个 N 型下拉器件，每一个 N 型下拉器件由具有多个鳍的三栅晶体管构成。

14. 如权利要求 13 所述的 CMOS SRAM 单元，其中，每一个 N 型下拉器件由具有两个鳍的三栅晶体管构成，每一个鳍具有高度和宽度。

15. 如权利要求 14 所述的 CMOS SRAM 单元，其中，所述鳍被设置成彼此间隔小于 60nm。

16. 一种形成六晶体管（6T）CMOS SRAM 单元的方法，包括：
形成两个 N 型存取器件，每一个 N 型存取器件由具有单个鳍的三栅晶体管构成；
形成两个 P 型上拉器件，每一个 P 型上拉器件由具有单个鳍的三栅晶体管构成；
形成两个 N 型下拉器件，每一个 N 型下拉器件由具有至少两个鳍的三栅晶体管构成。

17. 一种形成半导体器件的方法，包括：
在衬底上形成硅膜；
在所述硅膜上形成牺牲块，所述牺牲块具有横向相对的侧壁；
在所述牺牲块和所述硅膜之上沉积绝缘层；
通过在所述绝缘层上执行各向异性蚀刻，在所述氮化物块的每一个所述横向相对的侧壁上形成绝缘间隔物；
去除所述牺牲块；
使用所述绝缘间隔物作为掩模，通过蚀刻穿过所述硅膜到达所述衬底，形成两个硅鳍，其中，每一个硅鳍均具有上表面和一对横向相对的侧壁；以及
去除所述绝缘间隔物，以便暴露每一个硅鳍的所述上表面。

18. 如权利要求 17 所述的方法，其中，所述衬底是绝缘衬底。

19. 如权利要求 17 所述的方法，其中，所述绝缘层由氧化物层构成。

20. 如权利要求 17 所述的方法，其中，所述硅膜的厚度是 60nm。

21. 如权利要求 17 所述的方法，其中，所述牺牲块的所述横向相对的侧壁间隔 60nm。

22. 如权利要求 17 所述的方法，其中，通过光刻来限定所述牺牲块。

23. 如权利要求 18 所述的方法，其中，所述牺牲块由氮化物构成。

INTEL - 1004
Page 422 of 492

24. 如权利要求 17 所述的方法，其中，所述绝缘层的厚度在 40nm 到 80nm 之间。

25. 如权利要求 17 所述的方法，其中，所述绝缘层的厚度是 60nm。

26. 如权利要求 17 所述的方法，其中，所述两个硅鳍间隔 60nm 或更小的距离。

27. 如权利要求 17 所述的方法，还包括在每一个硅鳍的所述上表面和所述侧壁上形成栅极电介质层。

28. 如权利要求 27 所述的方法，其中，通过原子层沉积（ALD）来形成所述栅极电介质层。

29. 如权利要求 28 所述的方法，其中，每一个硅鳍具有至少一个具有曲率半径的拐角，所述曲率半径由所述栅极电介质层的所述原子层沉积拉来限定。

30. 如权利要求 29 所述的方法，其中，所述曲率半径小于 10nm。

31. 如权利要求 27 所述的方法，还包括在每一个硅鳍的所述上表面和侧壁之上以及所述绝缘衬底之上沉积栅极材料。

32. 如权利要求 31 所述的方法，还包括图形化所述栅极材料以便在所述栅极电介质层上形成栅极电极。

33. 如权利要求 32 所述的方法，还包括在所述栅极电极的相对侧上的每一个硅鳍中形成一对源极/漏极区域。

INTEL - 1004
Page 423 of 492

用于改善 6T CMOS SRAM 单元稳定性的方法和装置

发明背景

1. 发明领域

本发明涉及半导体集成电路设计和制造领域，并特别涉及使用三栅全耗尽型衬底晶体管（tri-gate fully depleted substrate transistor）的 6T CMOS SRAM 单元及其制造方法。

2. 相关领域讨论

随着硅技术不断从一代升级到下一代，最小几何尺寸的体平面晶体管的本征阈值电压（Vt）变化的影响减小了 CMOS SRAM 单元静态噪声容限（SNM）。由日益变小的晶体管几何形状所导致的 SNM 减小是不期望的。当 Vcc 被缩小到更低的电压时，SNM 被进一步减小。

平面晶体管阈值电压（Vt）变化主要源自于晶体管耗尽区中掺杂物质原子的数量和/或位置的统计波动。Vt 变化给电源电压、晶体管尺寸的缩小造成了障碍，因而给最小的 6 晶体管（6T）CMOS SRAM 单元尺寸的缩小造成了障碍。由于管芯（die）尺寸和成本约束，这限制了以常规 6T SRAM 为主导的高性能 CMOS ASIC 和微处理器的总晶体管数。

目前，通过以下（a）或（b）手段，在电路/布图（layout）层面（level）解决由 SRAM 单元晶体管的 Vt 不稳定性导致的减小的 SNM 问题：（a）增加使单元工作所需要的最小电源电压（Vccmin），并保持最小几何尺寸晶体管，或者（b）增加单元晶体管的沟道（channel）长度和宽度，以便以最小单元尺寸为代价，使得更低的最小工作电压成为可能。在器件层面上，以额外的制造工艺复杂性为代价，利用箱形阱（box-shaped well）或超陡倒掺杂阱（super-steep retrograde well），可以最小化平面器件中源自随机掺杂物质波动（RDF）的 Vt 失配。

图 1 中示出了一种使用平面晶体管的 6T CMOS SRAM 单元电路图。该 SRAM 单元由两个 N 型存取器件 102，两个 N 型下拉器件 104，以及两个 P 型上拉器件 106 组成。

图 2 示出了使用平面晶体管的 6T CMOS SRAM 单元的布图。每一个存取器件的栅极位于区域 202 中。每一个下拉器件的栅极位于区域 204 中。每一个上拉器件的栅极位于区域 206 中。栅极区域由 P 型扩散 212 或 N 型扩散 210 之上的多晶硅区域 214 指示。金属层 218 提供电源（Vcc）和地（Vss）。金属层 218 也可以将单元中的一个平面晶体管的栅极/源极/漏极连接到单元中另一个晶体管的栅极/源极/漏极，并且可以将一个单元互连到另

INTEL - 1004
Page 424 of 492

一个。接触体（contact）216 指示可以连接到金属层的区域。对于给定的 Vcc，通过定出每一个存取晶体管宽度和每一个下拉晶体管宽度的大小来定制单元比率（cell ratio），以便获得最大的 SNM 值。

图 3 是说明电源电压缩小对使用平面晶体管的典型 6T CMOS SRAM 单元的影响的图 300。这些噪声容限值假定为标称阈值电压、标称 Vcc，以及标称器件尺寸。虚线 310 指示 SNM 的最小期望值 240 毫伏。该图示出，当 Vcc 从 2 伏缩小到小于 1 伏时，单元比率必定增加，以便保持期望的 SNM 值。对于 1.5 的单元比率（302），在保持 240 毫伏的标称 SNM 的同时能够获得的最小电压略低于 2.0 伏。当单元比率增加到 2.0（304）时，在保持标称 SNM 的同时能够获得的最小电压小于 1.5 伏。如果单元比率增加到 3.5（306），则最小电压可以被减小到小于 1.0 伏。但是，增加单元比率对应以增加单元尺寸为形式的面积损失。

附图简要说明

图 1 图示使用平面晶体管的现有技术 6T CMOS SRAM 单元电路图。

图 2 图示使用平面晶体管的现有技术 6T CMOS SRAM 单元布图。

图 3 为针对不同单元比率的 6T SRAM 单元图示作为电源电压的函数的静态噪声容限的图。

图 4 是单鳍三栅晶体管的剖视图。

图 5 是双鳍三栅晶体管的剖视图。

图 6 图示具有根据本发明的一个实施方案的三栅晶体管的 6T CMOS SRAM 单元电路图。

图 7 图示使用根据本发明的一个实施方案的单鳍和双鳍三栅晶体管的 6T CMOS SRAM 单元布图。

图 8 是根据本发明的一个实施方案的双鳍三栅晶体管与平面晶体管的栅极宽度的比较。

图 9 是将根据本发明一个实施方案的三栅 SRAM 的 SNM（作为电源电压的函数）和平面 SRAM 的 SNM（作为电源电压的函数）进行比较的图，其中两种 SRAM 单元具有相同的布图面积。

图 10 是描述形成根据本发明的一个实施方案的双鳍三栅晶体管的流程图。

图 11A 到 11J 示出了根据本发明的一个实施方案的双鳍三栅晶体管的形成。

具体实施方式

本发明是使用非平面三栅晶体管的 6T CMOS SRAM 单元及其制造方法。在下面的描述中，为了提供对本发明透彻的理解，给出了许多具体细节。在其他的实例中，为了不要不必要地模糊本发明，未详细地描述公知的半导体工艺以及制造技术。

INTEL - 1004
Page 425 of 492

本发明利用非平面三栅晶体管更高的驱动电流性能来改善 6T CMOS SRAM 单元的稳定性，从而能够实现（enable）低电源电压工作和减小的单元布图尺寸。对于给定的布图宽度，多鳍结构的三栅晶体管能够比平面晶体管输送更多的驱动电流。

图 4 示出了典型的单鳍三栅晶体管 400 的剖面图。单鳍三栅晶体管是具有单个半导体主体（semiconductor body）410 的三栅晶体管。半导体主体也将被称为"半导体鳍（fin）"。半导体主体在绝缘衬底 402 上形成。绝缘衬底由硅或其他在半导体衬底 404 之上的掩埋氧化物或其他的绝缘层 406 构成。在半导体鳍 410 之上以及侧面上形成栅极电介质 416。在栅极电介质之上以及侧面上形成栅极电极 420。栅极电极具有栅极宽度 G_L。在栅极电极两侧上的半导体鳍中形成源极 S 和漏极 D 区域。

半导体鳍具有上表面 412 和在横向相对的侧壁 414。半导体鳍具有等于 Tsi 的高度或厚度。半导体鳍具有等于 Wsi 的宽度。单鳍三栅晶体管的栅极宽度等于在半导体主体上形成的三个栅极中的每一个的栅极宽度之和，或者说 Tsi + Wsi + Tsi。

图 5 示出了根据本发明的一个实施方案的典型双鳍三栅晶体管 500 的剖面图。双鳍三栅晶体管是在绝缘衬底 402 之上具有两个半导体主体或鳍的三栅晶体管，所述两个鳍每一个均具有在上表面和在横向相对的侧壁上形成的栅极电介质，并共享在栅极电介质之上以及周围形成的单个栅极电极。每一个半导体鳍均具有上表面 412 和在侧面上相对的侧壁 414。这些半导体鳍被隔开距离 Ds。利用常规光刻技术的图形化允许大约 240nm 的最小 Ds。双鳍三栅晶体管的栅极宽度等于这两个半导体主体中的每一个的栅极宽度之和，或者说[2 (Tsil) + (Wsil)] + [2 (Tsi2) + (Wsi2)]。如果以使得每一个半导体主体均具有基本类似的尺度的方式来形成这些半导体主体，则双鳍三栅晶体管的栅极宽度实际上是单鳍三栅晶体管栅极宽度的两倍。通过给三栅晶体管增加额外的鳍，能够进一步增加三栅晶体管的栅极宽度。对于给定的布图宽度，多鳍结构的三栅晶体管能够比平面三极管输送更多的驱动电流，因为具有和平面晶体管相同尺寸的三栅晶体管将具有更大的栅极宽度。

图 6 示出了使用根据本发明的一个实施方案的三栅晶体管的 6T CMOS SRAM 单元电路图。SRAM 单元由两个 N 型存取器件 602，两个 N 型下拉器件 604，以及两个 P 型上拉器件 606 组成。每一个 N 型存取器件 602 均为单鳍三栅晶体管。每一个 P 型上拉器件 606 均为单鳍三栅晶体管。每一个 N 型下列器件 604 均为双鳍三栅晶体管。使用双鳍三栅晶体管作为下拉器件允许电路设计者获得 SRAM 单元的更高的单元比率。双鳍三栅晶体管将比单鳍三栅晶体管输送更多的电流，因而增加了单元比率却不增加单元布图尺寸。

SRAM 单元的单元比率被定义为下拉 N 型晶体管的跨导因子与存取 N 型晶体管的跨导因子的比率。晶体管的跨导因子等于栅极宽度与栅极长度乘上迁移率（mobility）及栅极电容的比例。其中迁移率及栅极电容从存取晶体管到下拉晶体管是不变的，跨导因子变成晶体管栅极宽度与晶体管栅极长度的比例。双鳍三栅晶体管的跨导因子将大于平面晶体管的跨导因子，因为在相同的布图面积内，双鳍三栅晶体管的晶体管栅极宽度大于平面晶

INTEL - 1004
Page 426 of 492

体管的晶体管栅极宽度。此外，双鳍三栅晶体管的跨导因子将大于单鳍三栅晶体管的跨导因子，因为双鳍器件的栅极宽度与栅极长度的比率将大于单鳍器件的这一比率。使用双鳍三栅晶体管作为下拉器件增加了下拉器件的跨导因子，因而增加了 SRAM 单元的单元比率。如上所述，通过增加单元比率，能够获得更高的因而更令人期望的静态噪声容限（SNM）水平。在 SRAM 单元设计中使用非平面三栅晶体管允许增加单元比率而不增加物理单元布图尺寸。下面的表 1 是使用平面晶体管的 SRAM 单元和使用三栅晶体管的 SRAM 单元的单元比率的比较，其中，每一个 SRAM 单元均具有相同的布图面积。

	晶体管	跨导
平面 SRAM 单元* 单元比率=1.5	下拉	1.6
	存取	1.1
	上拉	1.3
三栅 SRAM 单元* 单元比率=2.15	下拉	6.0
	存取	2.8
	上拉	3.0
*注：对于每一个单元，单元布图面积相同		

表 1

图 7 示出了使用根据本发明的一个实施方案的三栅晶体管的 6T CMOS SRAM 单元布图。每一个存取器件的栅极均位于区域 702 中。每一个下拉器件的栅极均位于区域 704 中。每一个下拉器件均为双鳍器件。器件的每一个鳍由牺牲块（sacrificial block）709 任一侧上的区域 708 指示。牺牲块 709 用于形成彼此非常邻近的鳍。使用牺牲块 709 允许鳍彼此被隔开小于 100nm，这对于使用传统的光刻来讲是不可能的。每一个上拉器件的栅极均位于区域 706 中。栅极区域由 P 型扩散 712 或者 N 型扩散 710 区域之上的多晶硅区域 714 指示。金属层 718 提供电源（Vcc）和地（Vss）。金属层 718 也可以将单元中的一个平面晶体管的栅极/源极/漏极连接到单元中另一个晶体管的栅极/源极/漏极，并且可以将一个 SRAM 单元连接到另一个。接触体 716 指示可以进行到金属层的连接的区域。对于给定的 Vcc，通过定出每一个存取晶体管宽度和每一个下拉晶体管宽度的大小来定制单元比率（cell ratio），以便获得最大的 SNM 值。如上所述，使用 N 型双鳍三栅器件作为下拉器件以及 N 型单鳍三栅器件作为存取器件，允许三栅 SRAM 单元被设计成在和平面 SRAM 单元相同的布图面积内具有更高的单元比率。

图 8 是根据本发明的一个实施方案的双鳍三栅晶体管的栅极宽度与相同布图面积内的平面晶体管的栅极宽度的比较。剖面图 800 示出了在绝缘衬底 808 上形成的双鳍三栅晶体管。三栅晶体管的鳍由半导体主体 802 形成。鳍被分开的距离为 Ds，距离 Ds 由上面描述的牺牲块的宽度决定。距离 Ds 可以由可被图形化的最小光刻特征尺寸来限定。栅极电介质 804 覆盖了栅极区域中三栅晶体管的每一个鳍。在栅极电介质以及每一个半导体鳍之上以及周围形成栅极电极 806。针对该双鳍三栅晶体管的每一个鳍，形成了三个栅极 G1、G2 和 G3。被形成的每一个栅极均具有栅极宽度。G1 的栅极宽度等于 Z1，或者说鳍的高

INTEL - 1004
Page 427 of 492

度。G2 的栅极宽度等于 Z2，或者说鳍的宽度。G3 的栅极宽度等于 Z3，或者说鳍的高度。。每一个鳍总的栅极宽度等于 Z1 + Z2 + Z3。对于双鳍三栅晶体管，总的栅极宽度等于 2(Z1 + Z2 + Z3)。具有 N 个鳍的三栅晶体管具有等于 N(Z1 + Z2 + Z3)的总栅极宽度。在本发明的一个实施方案中，Z1 = 60nm，Z2 =60nm，Z3 =60nm，并且 Ds = 60nm。根据这个实施方案的三栅晶体管的栅极宽度是 2(60nm +60nm + 60nm)，或者说 360nm。所使用的总的布图宽度等于 Z3 +D + Z3，或者说(60nm + 60nm +60nm)= 180nm。

剖面图 820 示出了在半导体衬底 828 上形成的平面晶体管。该平面晶体管的栅极宽度等于晶体管 822 的宽度，或者说 Zp。对于 180nm 的布图宽度，平面晶体管 820 的栅极宽度等于 180nm。因为对于相同的布图面积，三栅晶体管的栅极宽度是平面晶体管的栅极宽度的两倍，所以有可能通过设计使用根据本发明的一个实施方案的单鳍和双鳍三栅晶体管的单元，来增加 6T CMOS SRAM 单元的单元比率。

图 9 为针对平面 SRAM 单元 920 和三栅 SRAM 单元 910，示出作为 Vcc 的函数的静态噪声容限（SNM）的图 900，其中，这些单元尺寸相同。三栅 SRAM 单元设计允许在超过 240mv（930）的 SNM 下限之前将 Vcc 缩小得更低。因为当使用根据本发明的一个实施方案的三栅晶体管设计 SRAM 单元时单元比率更高，所以电源电压可以被缩小得更低而不将 SNM 减小到 240 毫伏以下。使用平面晶体管设计的 SRAM 单元能够在略小于 2.0 伏的电源电压下工作而不将 SNM 减小到 240 毫伏以下。尺寸相同但是使用根据本发明的一个实施方案的双鳍和单鳍三栅晶体管设计的 SRAM 单元在遭遇 SNM 限制之前可以在低得多的电源电压下工作。在 SNM 被减小到小于 240 毫伏之前，电源电压可以低至 1.25 伏。

图 10 为流程图 1000，示出了根据本发明的一种过程，说明用于形成具有减小的布图宽度的多鳍三栅晶体管的一般方法。下面结合图 11A 到 11J 进一步详细地说明和描述流程图 1000 中的每一个框。

如框 1002 中所描述的那样，在绝缘衬底上形成硅或半导体膜。绝缘衬底包括底下的单晶硅衬底和顶部的绝缘层，例如二氧化硅膜或者氮化硅膜。绝缘层有时候被称为“掩埋氧化物”层。在本发明的一个实施方案中，半导体膜具有 60nm 的厚度。

然后，在半导体膜上形成具有上表面和横向相对的侧壁的牺牲块，如框 1004 中所描述的那样。在本发明的一个实施方案中，通过首先形成牺牲材料层并且使用光刻来图形化所述牺牲材料以便形成块，从而形成所述牺牲块。牺牲块可以由氮化物构成，但是不限于氮化物。牺牲块的宽度决定了鳍的间隔。在本发明的一个实施方案中，牺牲块横向相对的侧壁间隔 60nm。在本发明的另一个实施方案中，牺牲块横向相对的侧壁间隔由使用光刻可形成的最小特征尺寸限定的距离。

形成牺牲块以后，在所述牺牲块和半导体膜之上以及周围形成绝缘层，如框 1006 中

INTEL - 1004
Page 428 of 492

所描述的那样。绝缘层可以由氧化物或者另一种绝缘材料构成。沉积绝缘层使得该层的厚度大约等于期望的半导体鳍宽度。在本发明的一个实施方案中，绝缘层的厚度在 40nm 到 80nm 之间。在本发明的另一个实施方案中，绝缘层的厚度是 60nm。

然后，通过在绝缘层上执行各向异性蚀刻，在牺牲块的任一侧面上均形成绝缘间隔物，如框 1008 中所描述的那样。各向异性蚀刻以后，绝缘间隔物将保持在牺牲块的任一侧面上。绝缘间隔物的宽度将等于原始绝缘层的厚度。在本发明的一个实施方案中，绝缘间隔物是 60nm 宽。

在本发明的另一个实施方案中，可以形成多个牺牲块，以便形成额外的间隔物。可以使用这种方法形成具有多于 2 个鳍的三栅晶体管。形成的鳍的数量将等于绝缘间隔物的数量。在本发明的一个实施方案中，可以形成偶数个鳍（2N）。为了形成具有 2N 个鳍的三栅晶体管，需要 N 个牺牲块和 2N 个绝缘间隔物。

形成绝缘间隔物以后，可以通过常规方法去除牺牲块，如框 1010 中所示。例如，可以使用选择性蚀刻工艺去除牺牲块，而绝缘间隔物保持不动。

接着，通过使用绝缘间隔物作为掩模蚀刻半导体膜形成两个半导体鳍，如框 1012 中所示。在未被绝缘间隔物覆盖的区域中的半导体膜被蚀刻掉，暴露出绝缘衬底。形成的每一个半导体鳍均具有上表面以及一对横向相对的侧壁。使用绝缘间隔物作为掩模允许鳍被分开比使用目前的光刻技术能够获得的距离更小的距离。目前的光刻允许印刷具有接近 60nm 的最小尺寸的特征以及特征之间接近 240nm 的最小间隔。使用根据本发明的方法的实施方案，可以形成间隔小于 240nm 的鳍。在本发明的一个实施方案中，鳍间隔 60nm 或者更小的距离。

图 11A 到图 11J 示出了根据本发明的一个实施方案的双鳍三栅晶体管的形成。双鳍三栅晶体管的制造以绝缘衬底 1102 开始，如图 11A 中所示。在绝缘衬底 1102 上形成了硅或半导体膜 1108。绝缘衬底 1102 可以由底下的单晶硅衬底 1104 和顶部的绝缘层 1106 构成，绝缘层 1106 例如二氧化硅或氮化硅膜。绝缘层 1106 使半导体膜 1108 与衬底 1104 隔离，并且有时候被称为“掩埋氧化物”层。半导体膜 1108 可以由硅或另一种半导体构成，例如但不限于锗（Ge）、锗硅合金（Si_xGe_y）、砷化镓（GaAs）、InSb、GaP、GaSb 或碳纳米管。半导体膜 1108 可以是本征或者说不掺杂的硅膜，或者，它可以被掺杂为 p 型或 n 型导电性。半导体膜 1108 被形成到厚度 Tsi，厚度 Tsi 大约等于随后形成的三栅晶体管的半导体鳍的期望高度。在本发明的一个实施方案中，半导体膜 1108 具有 60nm 或更小的厚度。

图 11B 示出了在半导体膜 1108 上表面上形成牺牲块。牺牲块可以通过常规的半导体制造技术形成，包括但不限于沉积牺牲材料层 1109，并随后用抗蚀剂 1111 图形化该层。未被抗蚀剂 1111 覆盖的牺牲材料可以被蚀刻，以便在期望位置形成一个或更多个牺牲块。

INTEL - 1004
Page 429 of 492

在本发明的一个实施方案中，牺牲材料 1109 由氮化物构成。要形成的牺牲块的宽度 Ws 将限定三栅晶体管的半导体鳍以后的间隔。在本发明的一个实施方案中，Ws 是 60nm 或者更小。使用牺牲块允许将半导体鳍分开 60nm 或者更小的距离，所述距离远远小于特征之间通过常规光刻技术能够获得的距离。

图 11C 示出了在绝缘块 1110 之上和周围，以及半导体膜 1108 的表面之上形成绝缘层 1112。在本发明的一个实施方案中，绝缘层由氧化物构成。以允许绝缘层 1112 以具有均匀的厚度 Tox 的方式来沉积该层。在随后的处理步骤中，绝缘层的厚度将决定半导体鳍的宽度。在本发明的一个实施方案中，绝缘层具有 60nm 或者更小的厚度。

图 11D 示出了绝缘间隔物 1114 的形成。通过在图 11C 的绝缘层 1112 上执行各向异性蚀刻来形成绝缘间隔物 1114。以允许绝缘层从牺牲块的上表面被完全去除，但是留下牺牲块的任一侧面上的绝缘间隔物的方式来执行各向异性蚀刻。绝缘层 1114 被形成为具有宽度 Wox，宽度 Wox 等于图 11C 的绝缘膜的厚度 Tox。在本发明的一个实施方案中，每一个绝缘间隔物的宽度 Wox 是 60nm 或者更小。

图 11E 示出了去除牺牲块以后形成的结构。通过常规方法可以去除牺牲块，包括使用选择性蚀刻工艺。例如，可以使用湿法蚀刻去除牺牲氮化物块，而氧化物将保持不受蚀刻工艺的影响。去除牺牲块以后，保持两个绝缘间隔物 1114，每一个间隔物具有等于 Wox 的宽度。间隔物间隔等于牺牲块宽度 Ws 的距离。

图 11F 示出了半导体鳍 1120 的形成。通过使用绝缘间隔物 1114 作为掩模来蚀刻半导体膜 1108，形成半导体鳍 1120。在本发明的一个实施方案中，蚀刻是等离子干法蚀刻工艺。半导体膜被完全蚀刻，暴露出绝缘衬底 1102 的表面。半导体鳍被形成为具有宽度 Wsi，宽度 Wsi 等于被用作掩模的绝缘间隔物的宽度。在本发明的一个实施方案中，Wsi 是 60nm 或者更小。半导体鳍间隔等于先前形成的牺牲块宽度的距离 Ds。在本发明的一个实施方案中，Ds 是 60nm 或者更小。

形成半导体鳍 1120 以后，可以通过常规技术去除绝缘间隔物，如图 11G 中所示。在此刻，两个半导体鳍 1120 保留在绝缘衬底 1102 上。半导体鳍 1120 具有上表面 1121，以及横向相对的侧壁 1123。器件总的布图宽度将等于 Wsi + Ds + Wsi。在本发明的一个实施方案中，器件总的布图宽度是 180nm 或者更小。

图 11H 示出了在每一个半导体鳍 1120 的上表面 1121 以及侧壁 1123 上形成栅极电介质层 1122。通过仔细控制半导体鳍的拐角 1125 的几何形状，三栅晶体管可以被设计成固有地免受 Vt 不稳定性影响。半导体鳍的拐角由器件相邻的栅极 G1、G2 和 G3（顶部和侧面）的相交部分形成。因为三栅晶体管的拐角 1125 首先导通，所以它决定了器件的阈值电压（Vt）。当 Vt 仅由掺杂物质注入来设定时，掺杂物质中可能存在波动，这反过来又可能引起 Vt 波动。当拐角的倒圆（rounding）受到控制时，三栅晶体管不依赖于掺杂来设

INTEL - 1004
Page 430 of 492

定 Vt，因此晶体管能够被设计成固有地免受 Vt 不稳定性影响。半导体鳍的拐角倒圆主要源自栅极电介质形成过程。可以在硅鳍的表面和侧壁上生长或者沉积栅极电介质 1122。在本发明的一个实施方案中，使用原子层沉积（ALD）来沉积栅极电介质，这允许将拐角倒圆控制到原子尺度。在本发明的一个实施方案中，半导体鳍的每一个拐角的曲率半径 R 小于 10nm。

接着，在每一个半导体鳍的上表面和侧壁之上以及绝缘衬底之上沉积栅极材料，如图 11I 中所示。图形化栅极材料以便在栅极电介质层上形成栅极电极 1124。

形成栅极电极以后，在栅极电极的相对侧上的每一个半导体鳍中形成一对源极/漏极区域，如图 11J 中所示。在本发明的一个实施方案中，如箭头 1130 所示，通过将 N 型或者 P 型掺杂物质注入半导体主体形成源极和漏极区域。在本发明的实施方案中，可以在三栅器件上执行进一步的操作，包括但不限于：形成尖端或源极/漏极延伸区域、晕（halo）区域、重掺杂源极/漏极接触区域、沉积在源极/漏极和栅极电极区域上的硅，以及源极/漏极和栅极电极区域上的硅化物形成。

如图 11J 中所示，最终的双鳍三栅晶体管的每一个半导体鳍具有等于 2Tsi + Wsi 的栅极宽度。双鳍三栅晶体管的栅极宽度等于每一个鳍的栅极宽度之和，或者说 2(2Tsi + Wsi)。可以在具有 2Wsi +Ds 的布图宽度的区域中制造该器件。在本发明的一个实施方案中，双鳍三栅晶体管的栅极宽度是 360nm 或者更少，并且器件在具有 180nm 或者更小的布图宽度的区域中形成。

在本发明其他的实施方案中，可以使用上面给出的方法形成具有多于 2 个的半导体鳍的三栅晶体管。

INTEL - 1004
Page 431 of 492

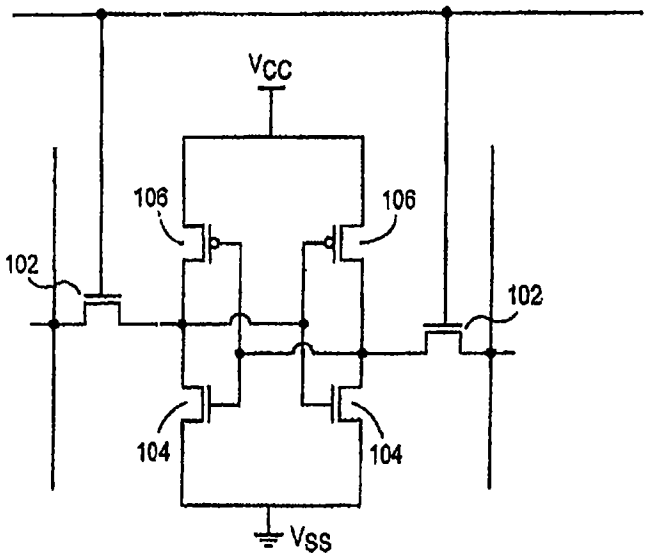


图 1
（现有技术）

INTEL - 1004
Page 432 of 492

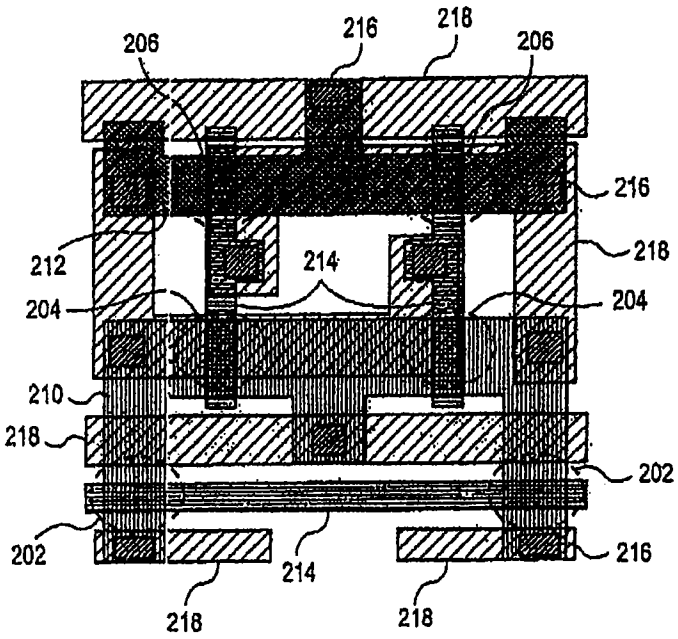


图 2
（现有技术）

INTEL - 1004
Page 433 of 492

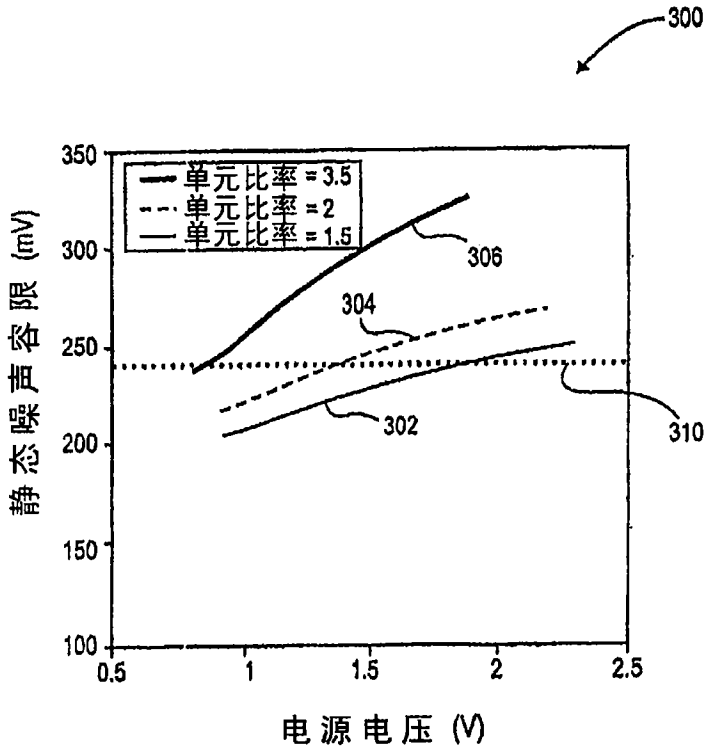


图 3

INTEL - 1004
Page 434 of 492

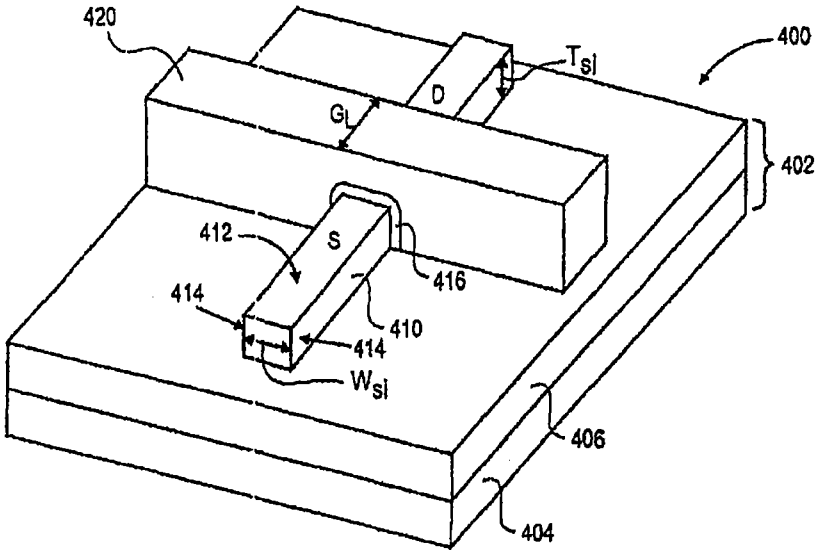


图 4

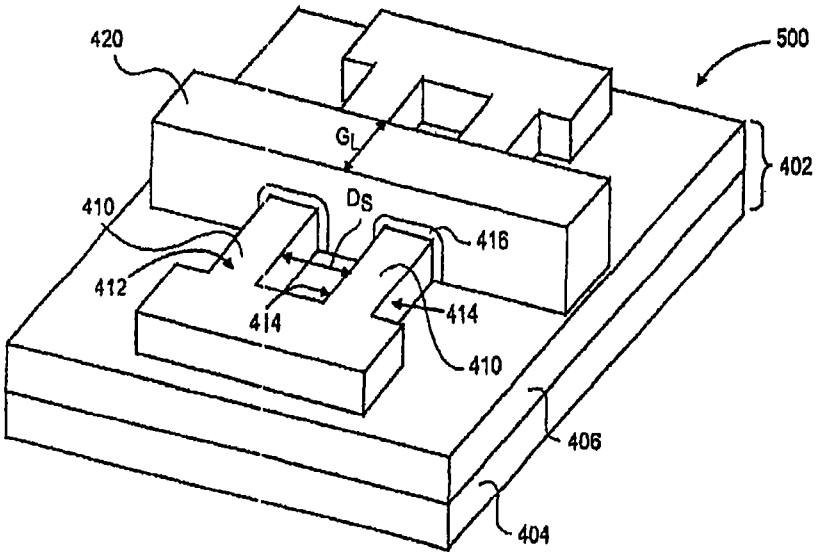


图 5

INTEL - 1004
Page 435 of 492

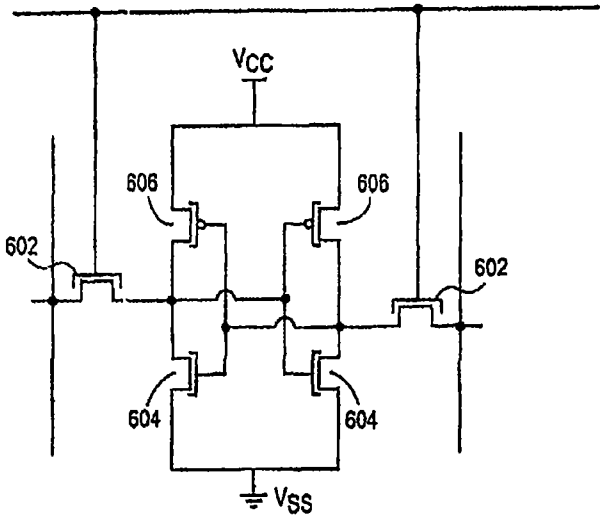


图 6

INTEL - 1004
Page 436 of 492

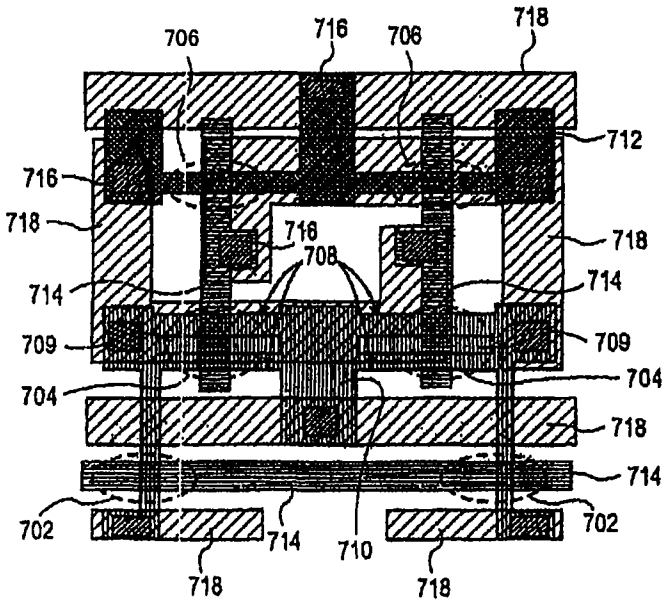


图 7

INTEL - 1004
Page 437 of 492

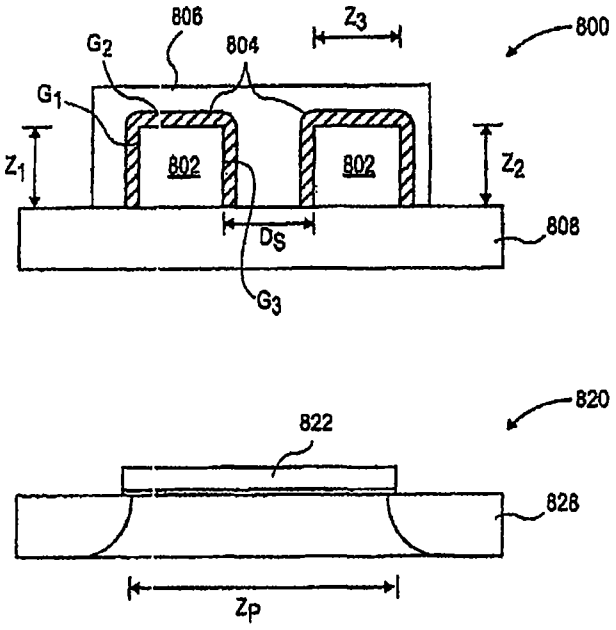


图 8

INTEL - 1004
Page 438 of 492

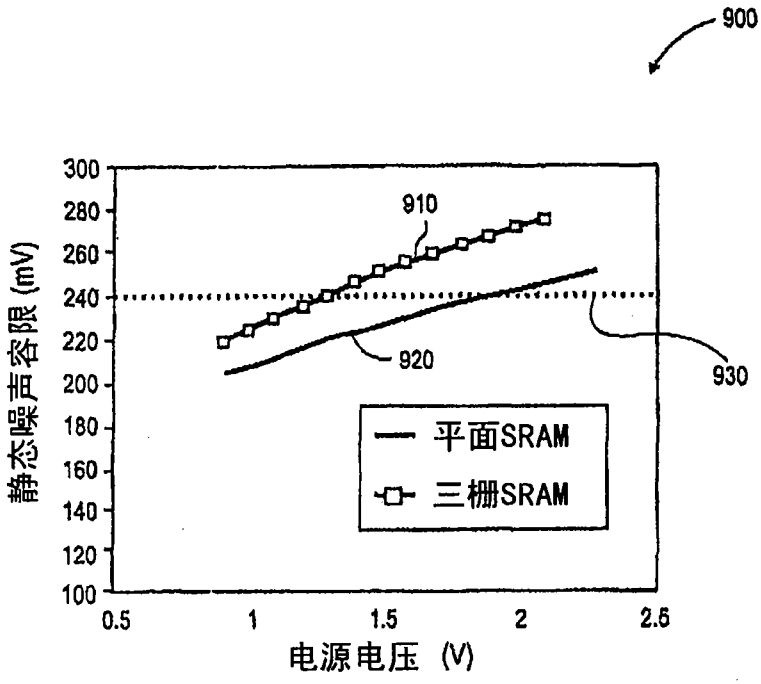


图 9

INTEL - 1004
Page 439 of 492

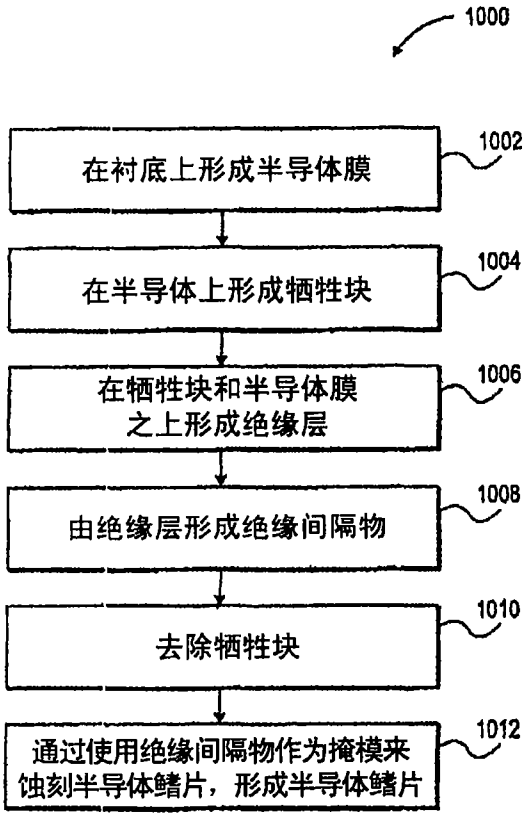


图 10

INTEL - 1004
Page 440 of 492

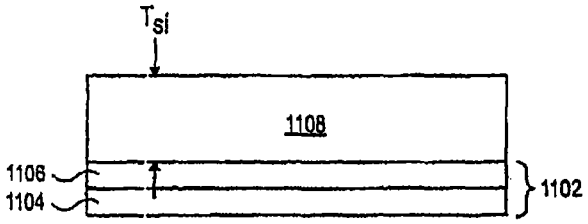


图 11A

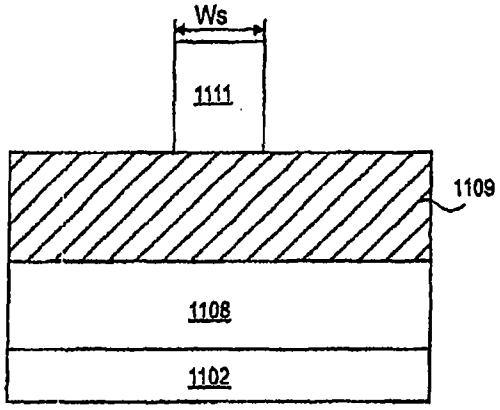


图 11B

INTEL - 1004
Page 441 of 492

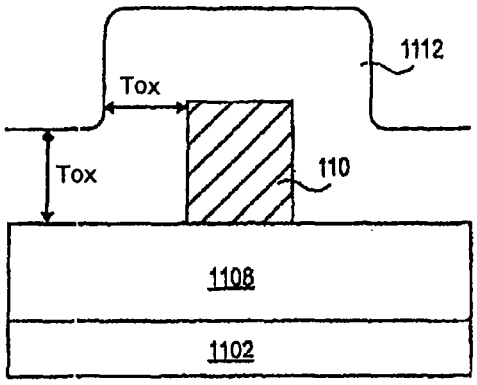


图 11C

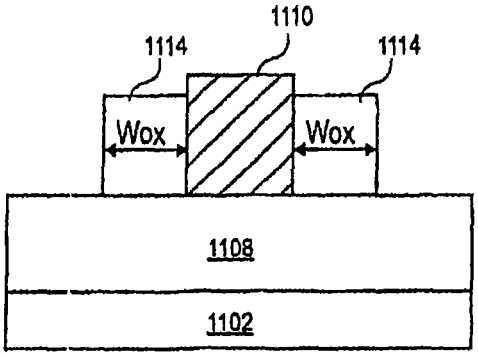


图 11D

INTEL - 1004
Page 442 of 492

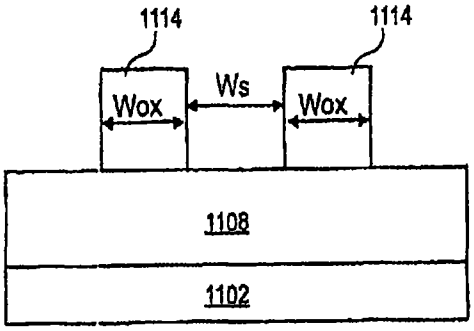


图 11E

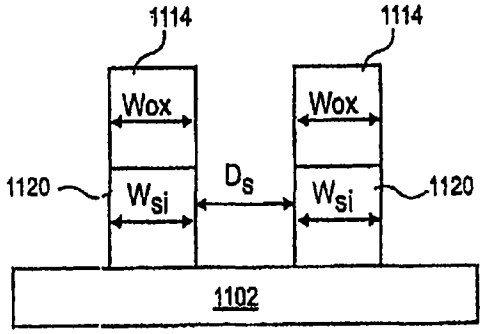


图 11F

INTEL - 1004
Page 443 of 492

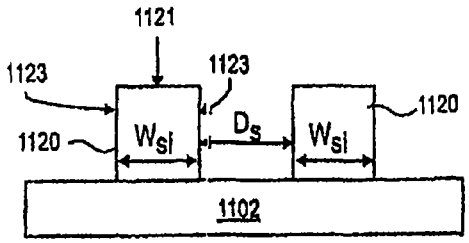


图 11G

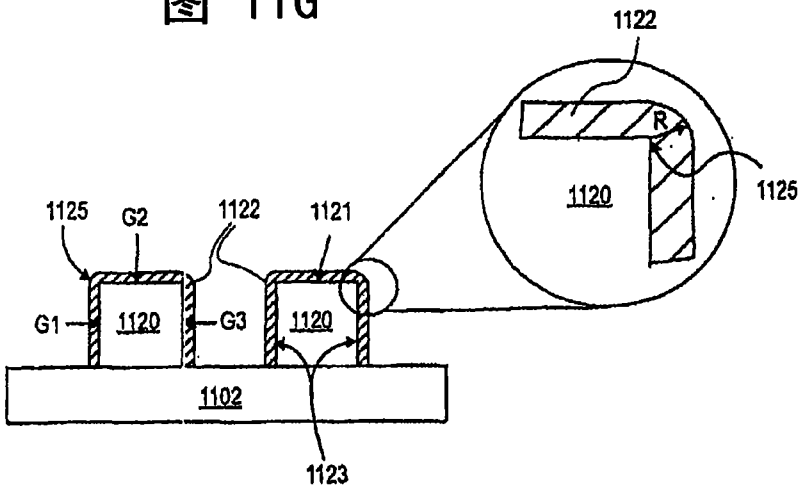


图 11H

INTEL - 1004
Page 444 of 492

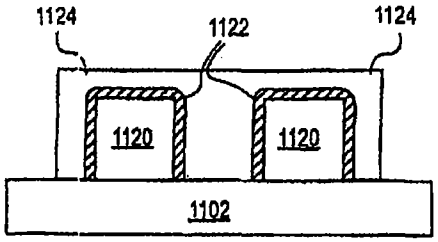


图 11I

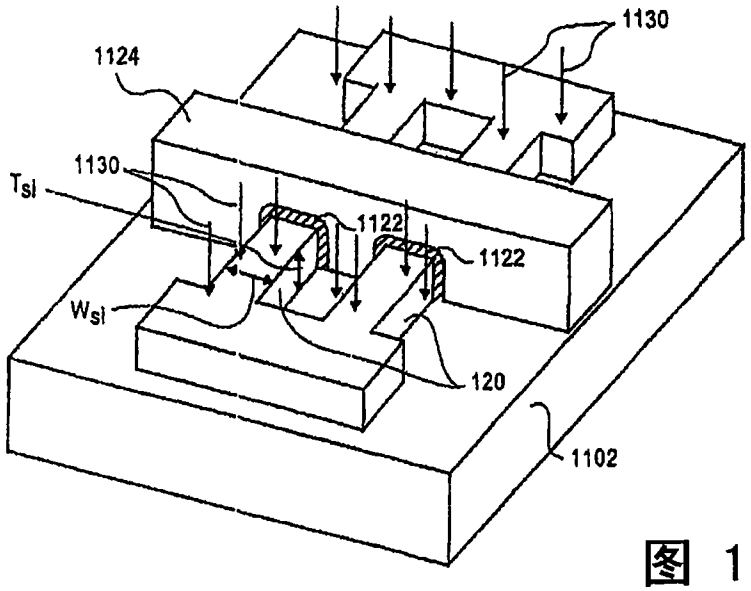


图 11J

INTEL - 1004
Page 445 of 492

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年6 月22 日 (22.06.2006)

PCT

(10) 国際公開番号
WO 2006/064772 A1

(51) 国際特許分類:
H01L 21/22 (2006.01) *H01L 21/265* (2006.01)

(21) 国際出願番号: PCT/JP2005/022799

(22) 国際出願日: 2005 年12 月12 日 (12.12.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2004-360122
2004 年12 月13 日 (13.12.2004) JP
特願2005-128301 2005 年4 月26 日 (26.04.2005) JP

(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真１００６番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 佐々木 雄一朗 (SASAKI, Yuichiro). 岡下 勝己 (OKASHITA, Katsumi). 伊藤 裕之 (ITO, Hiroyuki). 水野 文二 (MIZUNO, Bunji). 奥村 智洋 (OKUMURA, Tomohiro).

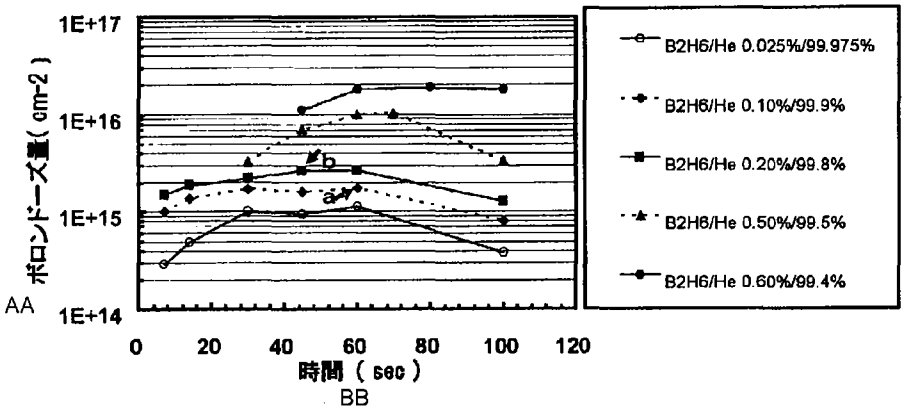
(74) 代理人: 高松 猛, 外(TAKAMATSU, Takeshi et al.); 〒1076013 東京都港区赤坂一丁目１２番３２号アーク森ビル１３階 栄光特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: PLASMA DOPING METHOD

(54) 発明の名称: プラズマドーピング方法



AA...BORON DOSAGE(cm-2) BB...TIME(sec)

(57) **Abstract:** To realize a plasma doping method which can control a dosage precisely to improve an in-plane homogeneity of the dosage. The plasma doping method is based on such a discovery, while noting the result, that the dosage of boron is substantially constant for a time period, if a silicon substrate is irradiated with a B_2H_6/He plasma and is biased, and that the saturation time period is longer and stabler than that, for which the repetitions of an apparatus control can be retained. When the plasma irradiation is started, the dosage increases at first, but then continues to be substantially constant independently of the time change. The dosage then decreases if the time is elongated. If this time period, for which the dosage is substantially constant independently of the time change, is employed as a process window, the dosage can be precisely controlled.

(57) 要約: ドーズ量を精密に制御することのできるプラズマドーピング方法を実現する。ドーズ量の面内均一性の向上をはかる。B_2H_6/Heプラズマをシリコン基板に照射してバイアスをかけると、ボロンのドーズ量がほとんど一定となる時間があり、また、その飽和する時間が装置制御の繰り返し性が確保できる時間と比べて比較的長く安定して使用し易いことを発見しその結果に着目してなされたものである。すなわち、プラズマ照射を開始すると、最初はドーズ量が増加するが、その後、時間の変化によらずドーズ量はほとんど一定となる時間が続き、さらに時間を増加させるとドーズ量は減少する。時間の変化に依存することなく、ドーズ量がほとんど一定となる時間をプロセスウインドウとすることでドーズ量を正確に制御できる。

WO 2006/064772 A1

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

プラズマドーピング方法

技術分野

[0001] 本発明は、プラズマドーピング方法に係り、特に不純物を半導体基板等の固体試料の表面に導入するプラズマドーピング方法に関する。

背景技術

[0002] 不純物を固体試料の表面に導入する技術としては、不純物をイオン化して低エネルギーで固体中に導入するプラズマドーピング(PD)法が知られている(例えば、特許文献1参照)。

[0003] 一方、不純物を導入する方法として、現在最も広く用いられている方法はイオン注入法である。プラズマドーピング法は、非特許文献1の欄に記載され、非特許文献2でも引き続きイオン注入の次世代の不純物導入技術として記載され、イオン注入法とは異なる不純物導入技術である。なお、ITRSは半導体業界では広範囲の技術者に参照されている文献である。以下にイオン注入とプラズマドーピングの技術的相違点を少し詳細に説明する。

[0004] イオン注入法においては、ガスからプラズマを発生させるイオン源と、イオン源から引き出したイオンから所望のイオンだけを選別するために質量分離する分析磁石と、所望のイオンを加速する電極と、加速した所望のイオンをシリコン基板に注入するプロセスチャンバーとを有する装置構成が用いられる。イオン注入において不純物を浅く注入するためには、イオン源からイオンを引き出すエネルギーと加速エネルギーとを小さくすれば良い。しかし、引き出しエネルギーを小さくすると引き出されるイオンの数が減少してしまう。さらに、加速エネルギーが小さくなるとイオンビームをイオン源からウェハに輸送する間にイオン同士の電荷による反発力でビーム径が広がってしまい、ビームライン内壁に衝突するなどして多数のイオンが失われてしまう。そのため、注入処理のスループットが低下してしまう。例えばB+イオンを注入する場合では、加速エネルギーが2keV以下になるとスループットが低下し始め、0.5keV以下になるとビームの輸送自体が困難になる。しかし、0.5keVまで低エネルギー化しても20nm程度の

深さまでBが注入されてしまう。つまり、これよりも薄いエクステンション電極を作りたい場合には生産性が極端に低下してしまうという課題がある。

[0005] これに対してプラズマドーピング法においては、シリコン基板を内部に配置できるような円柱形状の真空容器にプラズマを誘起するプラズマ発生源と、シリコン基板を配置するバイアス電極と、バイアス電極の電位を調整するバイアス電源を有する装置構成が用いられる。分析磁石も加速電極も有しない、イオン注入と全く異なる装置構成である。真空容器にプラズマ源とウェハホールダを兼ねたバイアス電極を設置し、プラズマとウェハの間に発生するポテンシャルでイオンを加速して導入する。これにより、低エネルギーのプラズマを直接使用することができるので、イオン注入と比較して大量の低エネルギーイオンをウェハに照射できる。つまりドーズレートが桁違いに大きいという特徴がある。この特徴により低エネルギーのB注入でも高いスループットを維持できる。

[0006] さらに、本発明者らは、プラズマドーピング法を応用して、極めて浅くて且つ低抵抗のソース・ドレインエクステンション電極を形成するプロセス技術を開発した。この新規プロセス技術は、2004年6月に半導体分野で最も権威がある国際学会の一つである

VLSI Symposiumに論文が採択され、新規で特段の効果があるプロセス技術として認知されている(非特許文献3.)。

[0007] この方法では、ガス導入口から導入されたドーピング原料ガス、例えばB_2H_6を、マイクロ波導波管及び電磁石から成るプラズマ発生手段によってプラズマ化し、プラズマ中のボロンイオンを高周波電源によって試料の表面に供給するという方法がとられる。

[0008] 半導体装置の小型化、高集積化に伴い、不純物導入領域における特性は極めて重要である。なかでも、ドーズ量(不純物導入量)は、素子特性を決定する重要な要素のひとつである比抵抗を決定するため、ドーズ量の制御はきわめて重要なポイントである。

しかしながら、プラズマドーピング法を用いると、極浅で低抵抗のソース・ドレインエクステンション電極が形成できることはわかったにも係らず、その特性を制御するドー

ズ量の制御方法は開発されていなかった。これまでにはプラズマドーピングする時間を変化させることで、ドーズ量を変化させる方法が採られていたが、これでは制御の精度が不十分であり、実用的ではなかった。

[0009] このような状況の中で、本発明者らは、人体に対してきわめて危険性の高い毒性をもつB_2H_6をできるだけ希釈して安全性を高め、ドーピング効率を低下させることなく、安定してプラズマの発生や維持を行なうとともに、ドーパント注入量の制御を容易に行なうことのできる方法として、ドーピングする不純物を含む物質としてのB_2H_6ガスを、電離エネルギーの小さいHeガスで希釈し、Heのプラズマを先行して発生させ、しかる後にB_2H_6を放電させるようにする方法を提案した(特許文献2)。この方法において、B_2H_6ガスの濃度が0.05%未満となるようにするのが望ましいとの提案もある。

しかしながら、0.05%程度の低濃度にしたとき、ドーズ量を制御しやすいとの報告はなされているものの、これはガス濃度を一定にしつつ、時間を変化させてドーズ量を変えるものであった。B_2H_6ガス濃度を低濃度にした方が、時間変化に対するボロンのドーズ量変化が小さくなるのでドーズ量を制御し易いという内容のものであった。ドーズ量の制御精度を高める上で進歩したものであったが、基本的にはプラズマドーピングする時間を変化させることで、ドーズ量を変化させる従来の方法を進歩させたものであった。ここで、ドーズ量の変化とガス濃度との関係についての考察については何らなされていなかった。

[0010] 特許文献1:米国特許第4912065号明細書

特許文献2:特開2004－179592号公報

非特許文献1:International Technology Roadmap for Semiconductors 2001 Edition(ITRS2001)のFrontEnd ProcessのFigure 30のShallow Junction Ion Doping

非特許文献2:International Technology Roadmap for Semiconductors 2003 Edition(ITRS2003)

非特許文献2:Y. Sasaki, et al., Symp. on VLSI Tech. p180 (2004)

発明の開示

発明が解決しようとする課題

[0011] 上述したように、不純物導入領域を形成するにあたり、ドーズ量の制御はきわめて

重要な課題となっていた。そしてさらに当然ながら、面内均一性は素子形成に当たり極めて重要な課題となっている。特に、近年ウェハの大口径化は進む一方であり、面内で均一なドーズ量を得ようとすると極めて困難であった。

本発明は前記実情に鑑みてなされたもので、高精度にドーズ量を制御することができ、浅い不純物領域を形成することのできるプラズマドーピング方法を提供することを目的とする。

さらにまた、本発明は、ドーズ量の面内均一性が高く、高精度にドーズ量を制御することができるプラズマドーピング方法を提供することを目的とする。

課題を解決するための手段

[0012] そこで本発明のプラズマドーピング方法は、試料に不純物イオンを含むガスプラズマを所定時間、所定濃度で供給し、前記試料表面に不純物導入層を形成する方法であって、ドーズ量が時間依存性を持たず一定となるように、ドーピング時間と、不純物を含むガスプラズマの濃度を設定したことを特徴とする。

[0013] 本発明者らは種々の実験を重ねた結果、例えばB_2H_6/Heプラズマをシリコン基板に照射してバイアスをかけると、ボロンのドーズ量がほとんど一定となる時間があることを発見した。また、その飽和する時間が装置制御の繰り返し性が確保できる時間と比べて比較的長く安定して使用し易いことがわかった。すなわち、プラズマ照射を開始すると、最初はドーズ量が増加するが、その後、時間の変化によらずドーズ量はほとんど一定となる時間が続き、さらに時間を増加させるとドーズ量は減少する。時間の変化に依存することなく、ドーズ量がほとんど一定となる時間をプロセスウインドウとすることでドーズ量を正確に制御できるということを発見した。本発明は、これに着目してなされたものである。

[0014] そこで本発明のプラズマドーピング方法は、試料に不純物イオンを含むガスプラズマを所定時間、所定濃度で供給し、前記試料表面に不純物導入層を形成する方法であって、ドーズ量が時間依存性を持たず一定となるように、ドーピング時間と、不純物を含むガスプラズマの濃度を設定して、ドーズ量が時間依存性を持たず一定となる時間範囲でプラズマドーピングを行なうようにしたことを特徴とする。

[0015] この構成によれば、不純物イオンを含むガスプラズマの濃度が、時間依存性を持た

ずドーズ量が一定となる時間範囲に設定されているため、ドーズ量を正確に制御することができる。つまり、時間が少しずれたとしてもドーズ量がほとんど変わらないので安定してドーズ量を制御できる。これに対して、時間でドーズ量を制御する従来の方法の場合には、時間が少しずれただけでもドーズ量が大幅に変化してしまう。

[0016] また、実験を重ねた結果、ある所定のバイアスに対してB_2H_6/He濃度を変化させることで、ドーズ量がほとんど変化しない飽和する時間帯を得ることができた。さらにその時間帯の中でもアニール後のシート抵抗(Rs)の面内均一性、すなわちドーズ量の面内均一性が極めて良好となる時間帯があることを発見し、この結果にもとづいてなされたものである。これにより、プラズマドーピングを実用化するうえで、最も大きな課題とされていたドーズ量の制御と面内均一性の課題を一挙に解決できる。

[0017] また、本発明のプラズマドーピング方法は、不純物の基板表面へのドーピングと、基板表面からのスパッタリングとが飽和状態となるようにドーピング時間と、不純物を含むガスプラズマの濃度を設定するようにしたものを含む。

[0018] 本発明者らは種々の実験を重ねた結果、例えばB_2H_6/Heプラズマをシリコン基板に照射してバイアスをかけると、ボロンのドーピングと、プラズマに含まれるイオン、ラジカル、ガスの照射による基板表面からのボロンのスパッタリングが飽和する(釣り合う)時間があることを発見した。また、その飽和する時間が装置制御の繰り返し性が確保できる時間と比べて比較的長く安定して使用し易いことがわかった。

[0019] また本発明のプラズマドーピング方法は、ドーピング時間を、基板面内のドーズ量が少ない部分のドーズ量が、ドーズ量が飽和した部分のドーズ量に追いつく程度に設定されているものを含む。

この構成によれば、不純物イオンを含むガスプラズマの濃度が、時間依存性を持たずドーズ量が一定となる時間範囲に設定されており、さらにドーピング時間が、基板面内のドーズ量が少ない部分のドーズ量が、ドーズ量が飽和した部分のドーズ量に追いつく程度に設定されているため、面内均一性を高めるように、ドーズ量を正確に制御することができる。実際には、面内の各ポイントで、飽和する時間帯を測定し、ドーピング終了点をその時間帯の開始点のうちもっとも遅い時間に設定するようにしている。これにより、基板面内のドーズ量が少ない部分のドーズ量は、ドーズ量が飽和

した部分のドーズ量に追いつくことにより、良好な面内均一性を得ることができる。

[0020] また、本発明のプラズマドーピング方法は、前記不純物イオンを含むガスプラズマの濃度を変化させることで時間依存性を持たず一定となるドーズ量の水準を変化させるものを含む。

この構成により、前記不純物イオンの前記基板表面へのドーピングと、前記基板表面からのスパッタリングとが飽和状態となるようにガスプラズマの濃度を設定することにより、一定となるドーズ量の水準を変化させることができるため、安定して高精度に不純物濃度が制御された不純物領域を形成することができる。

[0021] また、本発明のプラズマドーピング方法は、不純物原子を含むガスの濃度、圧力、ソースパワーを変化させることで前記不純物イオンを含むガスプラズマの濃度を変化させるものを含む。

この構成により、ガスプラズマの濃度を所望の範囲に設定することができる。

特に、不純物原子を含むガスの濃度を変えることで前記不純物イオンを含むガスプラズマの濃度を簡単に且つ正確に変えることができるという利点がある。具体的な手段は、不純物原子を含むガスと希釈ガスを混合して用いるようにしておき、マスフローコントローラを用いてそれぞれのガスの流量を変えてそれぞれのガスの混合比を変えることで前記不純物イオンを含むガスプラズマの濃度を簡単に且つ正確に変えることができる。

[0022] また、本発明のプラズマドーピング方法は、前記ガスプラズマ中のイオンとラジカルとガスの濃度が、前記不純物イオンの前記基板表面へのドーピングと、前記基板表面からのスパッタリングとが時間の増加に対して飽和状態となるように、前記ガスプラズマの濃度が設定されるものを含む。

この構成により、前記不純物イオンの前記基板表面へのドーピングと、前記基板表面からのスパッタリングとが飽和状態となるようにガスプラズマの濃度を設定することにより、時間変化によらずドーズ量を正確に制御することができるため、安定して高精度に不純物濃度が制御された不純物領域を形成することができる。

[0023] また、本発明のプラズマドーピング方法は、前記不純物イオンを含むガスプラズマが、ボロン原子と水素原子からなる分子(B_nH_m)とHeの混合ガスプラズマであるもの

を含む。

種々の実験を重ねた結果、B_nH_mガス濃度を小さくしていった際、時間の変化によらずドーズ量がほぼ一定となる領域が存在することを発見した。ボロンの基板表面へのドーピングと、基板表面からのスパッタリングとが飽和状態となるようにB_nH_mガス濃度を設定することにより、時間変化によらずドーズ量を正確に制御することができるため、安定して高精度に不純物のドーズ量を制御された不純物領域を形成することができる。

[0024] また、本発明のプラズマドーピング方法は、前記不純物イオンを含むガスプラズマが、B_2H_6とHeの混合ガスプラズマであるものを含む。

種々の実験の結果、B_2H_6とHeの混合ガスプラズマを用いた場合に、B_2H_6ガス濃度を小さくしていった際、時間の変化によらずドーズ量がほぼ一定となる領域が存在することを発見し、この事実に着目してなされたものである。ボロンの基板表面へのドーピングと、基板表面からのスパッタリングとが飽和状態となるようにB_2H_6ガスの濃度を設定することにより、時間変化によらずドーズ量を正確に制御することができるため、安定して高精度に不純物濃度が制御された不純物領域を形成することができる。

[0025] また、本発明のプラズマドーピング方法は、前記B_2H_6とHeの混合ガスプラズマのB_2H_6ガス濃度が0.01%以上、1%以下であるものを含む。0.01%以下では、B_2H_6ガス濃度を変化させたときに、時間変化に対して飽和するボロンのドーズ量の変化が小さ過ぎる。よって、時間変化に対して飽和するボロンのドーズ量をB_2H_6ガス濃度の変化で制御することが困難である。また、1%以上では、B_2H_6ガス濃度を変化させたときに、時間変化に対して飽和するボロンのドーズ量の変化が大き過ぎる。よって、この場合も制御性が劣る。同様の理由から、B_2H_6ガス濃度は、さらに望ましくは0.025%以上、0.6%以下である。

実験結果から、B_2H_6とHeの混合ガスプラズマのB_2H_6ガス濃度を0.1%程度としたとき、時間変化に依存することなくドーズ量がほぼ一定となる領域が存在することを発見した。

[0026] また、本発明のプラズマドーピング方法は、バイアス電圧V_{DC}が60V以下であるものを含む。

実験結果から、バイアス電圧V_{DC}が60V以下であるとき、時間変化に依存することなくドーズ量がほぼ一定となる領域が存在することを発見した。

[0027] また、本発明のプラズマドーピング方法は、ソースパワーが1500W程度であるものを含む。

実験結果から、ソースパワーが1500W程度であるとき、時間変化に依存することなくドーズ量がほぼ一定となる領域が存在することを発見した。

[0028] また、本発明のプラズマドーピング方法は、前記不純物イオンを含むガスプラズマは、BF_3とHeの混合ガスプラズマであるものを含む。

実験結果から、B_2H_6とHeの混合ガスプラズマを用いた場合だけでなく、BF_3とHeの混合ガスプラズマを用いた場合も同様に、実験の結果、BF_3ガス濃度を小さくしていった際、時間の変化によらずドーズ量がほぼ一定となる領域が存在する。従って、安定して高精度に不純物のドーズ量を制御された不純物領域を形成することができる。

[0029] また、本発明のプラズマドーピング方法は、前記試料がシリコン基板であるものを含む。

種々の実験の結果、シリコン基板へのドーピングに際し、B_2H_6とHeの混合ガスプラズマを用いた場合に、B_2H_6ガス濃度を小さくしていった際、時間の変化によらずドーズ量がほぼ一定となる領域が存在することを発見した。またBmHnとHeの混合ガスプラズマを用いた場合にも同様の結果を得ることができた。

[0030] このように、本発明は、ボロンの基板表面へのドーピングと、基板表面からのスパッタリングとが飽和状態となるようにドーピング時間とボロンを含むガスプラズマの濃度を設定したことに本質的な工夫がある。

[0031] また、本発明は、ドーズ量が時間依存性を持たず一定となる時間領域でプラズマドーピングを行なうことにより、安定して高精度に不純物のドーズ量を制御された不純物領域を形成することができる。

この構成により、時間の変化に依存することなく、ドーズ量が一定となる時間をプロセスウインドウとすることでドーズ量を正確に制御することができる。

[0032] さらにまた、望ましくは、前記活性化する工程としては、レーザー光を照射する工程

を含む。

レーザー光は光のエネルギー密度が高いため、高効率の活性化が可能となる。

[0033] さらにまた、前記活性化する工程としては、フラッシュランプの放射光を照射する工程を含むようにしてもよい。

フラッシュランプは安価であるため、低コスト化が可能となる。

[0034] さらにまた、前記活性化する工程としては、タングステンハロゲンランプの放射光を照射する工程を含むようにしてもよい。

タングステンハロゲンランプを用いた熱処理は、すでに実用化されており、信頼性良く活性化できる。

[0035] また、上記プラズマドーピングにおいて、プラズマが接している反応容器の内壁の温度をほぼ一定とした状態でプラズマドーピングを行うようにしている。

また、上記プラズマドーピングにおいて、プラズマが接している反応容器の内壁を加熱した状態でプラズマドーピングを行う。

[0036] また、上記プラズマドーピングにおいて、プラズマが接している反応容器の内壁を冷却した状態でプラズマドーピングを行う。

[0037] また、上記プラズマドーピングにおいて、不純物元素を含むガスの濃度を、処理の途中で低下させるようにしたプものを含む。

発明の効果

[0038] 以上説明してきたように、本発明のプラズマドーピング方法によれば、不純物導入量を精密に制御することができ、安定して高精度にドーズ量制御のなされた不純物領域を形成することが可能となる。

また面内均一性に優れた不純物領域を形成することができる。

図面の簡単な説明

[0039] [図1]本発明の実施の形態1で用いられる不純物導入装置の断面図

[図2]本発明の実施の形態2で用いられる不純物導入装置の断面図

[図3]本発明の実施例1の方法におけるドーズ量と時間との関係を示す図

[図4]本発明の実施例1の方法におけるドーズ量とガス濃度との関係を示す図

[図5]本発明の実施例1の方法で得られたサンプルのRs分布を示す図

[図6]本発明の実施例1の方法で得られたサンプルのRs分布を示す図

[図7]本発明の実施例2の方法におけるドーズ量と時間との関係を示す図

[図8]本発明の実施例2の方法におけるドーズ量の面内均一性を示す比較図

[図9]本発明の実施例2の方法におけるY軸上のシート抵抗分布を示す図

[図10]本発明の実施例2の方法におけるY軸上のシート抵抗規格値の分布を示す図

符号の説明

[0040] 1 高周波電源

2 マッチングボックス

3 コイル

4 マスフローコントローラ

5 マスフローコントローラ

6 ターボ分子ポンプ

7 調圧弁

8 ドライポンプ

9 冷却水供給ユニット

10 V_{DC} モニター

11 マッチングボックス

12 高周波電源

13 試料(被処理基板)

14 下部電極

15 反応容器

21 高周波電源

23 コイル

24 マスフローコントローラ

25 マスフローコントローラ

33 試料

34 試料台

35 反応容器

発明を実施するための最良の形態

[0041] 以下本発明の実施の形態について、図面を参照しながら説明する。

(実施の形態1)

以下、本発明の実施の形態1について、図面を参照しつつ詳細に説明する。

図1に記載の装置をプラズマドーピング装置A(PD装置—A)とする。

本実施の形態では、不純物の導入に際し、導入すべき不純物イオンを含むガスプラズマの濃度が、前記不純物イオンのドーピングと、シリコン基板(シリコンウェハ)表面のスパッタリングとが飽和状態となるように設定する。これにより、時間変化によらずドーズ量を正確に制御することができ、安定して高精度に不純物濃度を制御された不純物領域を形成することができる。また面内均一性に優れた不純物領域を形成することができる。

[0042] ここでは、前記不純物イオンのドーピングと、基板表面のスパッタリングとが飽和状態となるようにガスプラズマの濃度を設定する。これにより、時間変化によらずドーズ量を正確に制御することができるため、安定して高精度に不純物のドーズ量を制御された不純物領域を形成することができる。

[0043] これは以下のようにも表現できる。前記不純物イオンのドーピングと、基板表面のスパッタリングとが飽和状態となってドーズ量が時間変化によらず一定となる時間範囲でプラズマドーピングを行なうことで安定して高精度に不純物のドーズ量を制御された不純物領域を形成することができる。

[0044] さらにまた、面内均一性を得るためには、面内の各ポイントで、飽和する時間帯を測定し、ドーピング終了点をその時間帯の開始点のうちもっとも遅い時間に設定する。これにより、基板面内のドーズ量が少ない部分のドーズ量は、ドーズ量が飽和した部分のドーズ量に追いつくことにより、面内均一性を得ることができる。

[0045] 図1に本発明の実施の形態1において用いられる不純物導入装置の断面図を示す。

この不純物導入装置すなわちプロセスチャンバーは、反応容器15と、反応容器15内を排気する排気装置としてのターボ分子ポンプ6と、反応容器15内の圧力を制御する圧力制御装置としての調圧弁7と、下部電極14に対向した誘電体窓の近傍に設

けられたプラズマ源としてのコイルおよびアンテナ3と、このコイルまたはアンテナ3に13．56MHzの高周波電力を供給する高周波電源12と、下部電極14に電圧を供給する電圧源としての高周波電源1とで構成されており、試料台を兼ねる下部電極14上に被処理基板（基板）13を設置し、プラズマ照射を行なうものである。

[0046] ここでは、プラズマを発生させるための高周波電源1と放電の調整を行なうマッチングボックス2を介して、コイル及びアンテナ3から高周波が供給される。必要なガスはマスフローコントローラMFC4及び5を介して供給される。反応容器15内の真空度は前記マスフローコントローラ4及び5、ターボ分子ポンプ6、調圧弁7、ドライポンプ8によって制御される。反応容器15に対しては、高周波電源12から、マッチングボックス11を介して電力が供給される。反応容器15内に設置した、被処理基板13は試料台14に載置され、前記電力が供給される。

[0047] 次に、プラズマドーピング工程について述べる。

[0048] このプロセスチャンバーの反応容器15内にガス供給装置からマスフローコントローラ4、5を介して所定のガスを導入しつつ、排気装置としてのターボ分子ポンプ8により排気を行い、圧力制御装置としての調圧弁9により反応容器15内を所定の圧力に保つ。そして高周波電源1により、プラズマ源としてのコイル3に13．56MHzの高周波電力を供給することにより、反応容器15内に誘導結合型プラズマを発生させる。この状態で下部電極14上に、試料としてのシリコン基板13を載置する。また、下部電極14には高周波電源12によって高周波電力が供給されており、試料としてのシリコン基板（被処理基板）13がプラズマに対して負の電位をもつように、下部電極14の電位を制御することができるようになっている。

なお、ここではコイルを用いて誘導結合型プラズマを発生させる場合を示したが、コイルに代えてアンテナを用いてもよく、ヘリコン波プラズマ、表面波プラズマ、電子サイクロトロン共鳴プラズマなどを発生させてもよい。

[0049] シリコン基板13を下部電極としての試料台14に載置した後、反応容器15内を排気しつつ、マスフローコントローラ4により反応容器15内にヘリウムガスを、またマスフローコントローラ5により反応容器15内にドーピング原料ガスとしてのジボラン（B_2H_6）ガスを供給し、調圧弁9を制御して反応容器15内の圧力を0．9Paに保つ。次に、プ

ラズマ源としてのコイル3に高周波電力を1500W供給することにより、反応容器15内にプラズマを発生させるとともに、下部電極14に200Wの高周波電力を供給することにより、ボロンをシリコン基板13の表面近傍に打ち込むことができる。ここでシリコン基板13に曝されているプラズマは、B_2H_6とHeの混合ガスプラズマ(B_2H_6/Heプラズマ)である。なお、B_2H_6とHeの混合の割合は、マスフローコントローラ4と5に流すHeガスとB_2H_6ガスの流量の比を変えることで変化させることができる。

[0050] B_2H_6とHeの混合ガスプラズマ(B_2H_6/Heプラズマ)をシリコン基板に照射してバイアスをかけると、ボロンのドーピングとスパッタリングが飽和する(釣り合う)時間があることがわかった。さらに、本実施の形態では、その飽和する時間が比較的長く安定して使用し易いことがわかった。すなわち、プラズマ照射を開始すると、最初はドーズ量が増加するが、その後、時間の変化によらずドーズ量はほとんど一定となる時間が続き、さらに時間を増加させるとドーズ量は減少する。時間の変化によらずドーズ量がほとんど一定となる時間をプロセスウインドウとすることでドーズ量を正確に制御できる。また、このシリコン基板面内で、ドーズ量が一定となる時間をあらかじめ測定し、その一番遅いものの開始時間に合わせてドーピング時間を設定することにより、面内均一性も得ることができた。

[0051] (実施の形態2)

以下、本発明の実施の形態2について、図2を参照して説明する。

図2に記載の装置をプラズマドーピング装置B(PD装置—B)とする。

図2に、本発明の実施の形態2において用いる不純物導入装置の概略平面図を示す。図2において、不純物導入装置は、ヘリコンプラズマ装置を用いたもので、この装置においてもマスフローコントローラ24、25を介してB_2H_6／HeガスおよびHeガスが供給されるようになっている。

[0052] ここでも反応容器35内の試料台34に載置されたシリコン基板(試料)33に対し、不純物を導入するもので、高周波電源21によってコイル23に高周波が供給され、マスフローコントローラ24、25を介して供給されるB_2H_6／HeガスおよびHeガスが、プラズマ化されるようになっている。

そしてこの装置でも、マスフローコントローラ24、25を高精度に制御することにより、

B_2H_6／Heの混合比が制御され、時間依存性なしにドーズ量が一定となるように、ガスプラズマ濃度を制御できるようになっている。

[0053] ＜実施例1＞

図2で示した実施の形態2で説明したPD装置—Bを用いて200mmのシリコン基板について、ボロンのドーズ量とプラズマドーピング時間とを変化させプラズマドーピングを行った。

図3に、このときのボロンのドーズ量とプラズマドーピング時間との関係を測定した結果を示す。縦軸はドーズ量、横軸はプラズマドーピング時間である。

B_2H_6とHeの混合ガスプラズマ(B_2H_6/Heプラズマ)をシリコン基板に照射してバイアスをかけると、ボロンのドーピングとスパッタリングが飽和する(釣り合う)時間があることがわかった。さらに、本実施の形態では、その飽和する時間が比較的長く安定して使用し易いことがわかった。すなわち、プラズマ照射を開始すると、最初はドーズ量が増加するが、その後、時間の変化によらずドーズ量はほとんど一定となる時間が続き、さらに時間を増加させるとドーズ量は減少する。時間の変化によらずドーズ量がほとんど一定となる時間をプロセスウインドウとすることでドーズ量を正確に制御できる。また、面内均一性も得ることができた。

[0054] この現象を利用すると、例えば、ボロンのドーズ量を1σ＝1%以内の精度で2.62E15cm^{-2}に設定できることを実証した。B_2H_6/Heガス濃度を0.2%/99.8%としてV_{DC}60V、ソースパワー1500W、圧力0.9Paでプラズマドーピングすると45秒から60秒の間のドーズ量の変化は、図3曲線bに示すように、45秒で2.62E15cm^{-2}であり、60秒で2.63E15cm^{-2}であることから、わずかに0.01E15cm^{-2}であった。この間は、単位時間当たりわずかずつドーズ量は増加する。そのレートは、(2.63E15－2.62E15)/(60－45)＝6.7E11cm^{-2}/秒と非常にゆっくりであり、時間変化に対して非常に安定である。

[0055] 2.62E15cm^{-2}を狙った場合に1σ＝1%となるように許容できるドーズ量の最大値と最小値の差(±3σ)は、2.52－2.68E15cm^{-2}であるため、その差は約1.5E14cm^{-2}である。ドーピング時間が45秒から60秒までの間では、ドーズ量は6.7E11cm^{-2}/秒とゆっくりの割合でしか変化しないので、2.62E15cm^{-2}を狙った1σ＝1

%のドーズ量制御ができる見通しが立つ。なぜなら、装置によって決まるドーピング時間の制御は100ミリ秒オーダーであり、大きく見積もってもドーピング時間が1秒以上ずれることはないからである。

[0056] ここで、ドーズ量は、1100℃、3分の条件でアニールした後のシート抵抗から推定したものであるが、ドーピング時間が45秒から60秒の間のサンプルのシート抵抗の差はわずかに107.4～107.0ohm/sqと0.4ohm/sqであった。15秒の長い時間にわたってドーズ量の変化が小さいことは注目すべき新たな発見である。前述したが、装置制御の観点から、プラズマドーピングを繰り返し50秒行なうことに対する時間のずれは、せいぜい数百マイクロ秒である。これにより、実際には、例えば50秒±0.5秒程度のずれを気にすればよいので、非常に安定した制御性の高いドーズ量の制御方法と言うことができる。

[0057] 図3から、B_2H_6/Heガス濃度を0.025%/99.975%とした場合は60秒付近にボロンのドーピングとスパッタリングが釣り合う時間範囲があることがわかる。また、B_2H_6/Heガス濃度が0.1%/99.9%の場合は60秒付近、0.2%/99.8%の場合は45～60秒付近、0.5%/99.5%の場合は60～70秒付近、0.6%/99.5%の場合は60秒～100秒付近にボロンのドーピングとスパッタリングが釣り合う時間範囲がある。この付近では、装置制御の観点からのドーピング時間の制御に比べて、ドーズ量の時間変化が非常に小さく、ドーズ量の高精度の制御が可能であることは、B_2H_6/Heガス濃度を0.2%/99.8%とした場合と同様の理論で説明可能である。

[0058] また、図3の実験結果から時間変化に対してその変化が飽和したときのドーズ量とB_2H_6ガス濃度との関係をまとめた結果を図4に示す。縦軸は飽和したドーズ量、横軸はB_2H_6ガス濃度である。この結果、B_2H_6ガス濃度と飽和したドーズ量は1対1の対応にあることがわかった。以上のことから、B_2H_6ガス濃度を変化させることで、時間変化に対してドーズ量変化がほとんど一定となるドーズ量の水準を変化させることができ、時間変化に対してドーズ量変化がほとんど一定となるドーズ量の水準が所望のドーズ量になるようにB_2H_6ガス濃度を調整して、且つ、時間変化に対してドーズ量変化がほとんど一定となる時間領域にプラズマドーピング時間を調整することで、ドーズ量を所望の値に正確に制御できることを実証した。

[0059] これに対して、B_2H_6ガス濃度を調整しただけでは時間のずれに対して安定性を欠く。また、時間変化に対してドーズ量変化がほとんど一定となる時間領域以外で、プラズマドーピング時間を調整しただけでも時間のずれに対して安定性を欠く。さらに時間変化に対してドーズ量変化がほとんど一定となる時間領域は、B_2H_6ガス濃度によって違うので、各B_2H_6ガス濃度にあった時間領域に調整しなければならない。これを行わなかった場合には、あるB_2H_6ガス濃度では正確にドーズ量を調整できても、違うB_2H_6ガス濃度では時間のずれに対して安定性を欠く。

[0060] 図5、図6はこのドーズ量制御の方法を用いて試作したプラズマドーピング後の基板を1075℃、20秒でアニールした結果である。シート抵抗は、200mm基板の端部5mmを除いた面内の81箇所を測定した。ドーズ量が時間の変化に対して一定となるプラズマドーピング時間とB_2H_6/Heガス濃度を用いたことが特徴である。ここでは図3と図4を参照しながら簡単に説明する。ある所定のバイアスに対してB_2H_6/Heガス濃度を適切に設定すると、図3のようにプラズマドーピング時間の変化に対してBドーズ量がほとんど変化しない飽和する時間帯をつくることができる。飽和するBドーズ量は、B_2H_6/Heガス濃度を変化させることで図4のように変化させることができる。すなわち、ドーズ量を制御することができる。ここで図5と図6で用いたプラズマドーピング条件は、図3と図8の図面上に矢印a、bで示したプラズマドーピング条件である。aは図5、bは図6の条件を示す。

[0061] 図5は、ドーズ量制御の方法を用いて、B_2H_6/Heガス濃度を0.1%/99.9%としプラズマドーピング時間を60秒とすることでBドーズ量を1.63E15cm-2に調整した場合のRs均一性の結果である。Rsの平均は194.0
ohm/sqで、均一性は1σで2.25%であった。ドーズ量が飽和しない時間で試作したサンプルでは、均一性は1σで5%から10%程度であり、このように均一なものはできておらず、ドーズ量が飽和する時間を選択したことによる有効な効果のひとつである。

[0062] 図6は、ドーズ量制御の方法を用いて、B_2H_6/Heガス濃度を0.2%/99.8%としプラズマドーピング時間を45秒とすることでBドーズ量を2.62E15cm^{-2}に調整した場合のガス濃度と時間との関係を測定した結果を示す図である。Rsの平均は147.9
ohm/sqで、均一性は1σで2.42%であった。このように、図5と異なるドーズ量でも2.5

%以下の良い水準の均一性を再現できることがわかる。

[0063] 一般的に、均一性は、1σの値が小さくなればなるほど均一性を良くする技術的難易度は飛躍的に増大する。つまり、10%のものを5%に改善する難易度と5%のものを2.5%に改善する難易度は大幅に後者の方が難しい。本発明を用いない場合には5%以上であった均一性が、本発明を用いることで2.5%以下の均一性を容易に得られることは本発明の有効性を示すものである。

[0064] ＜実施例2＞

次に、本発明の実施例2として前記図1で示したPD装置—Aを用いて300mmのシリコン基板に対してボロンのドーズ量とプラズマドーピング時間とを変化させプラズマドーピングを行った。

図7は、プラズマドーピング時間とボロンドーズ量、面内均一性の関係を測定した結果を示す図である。ボロンのドーズ量は、30秒程度で時間の変化に対して飽和を始めていることがわかる。また、ボロンドーズ量の面内均一性は、ドーズ量が飽和してさらに30秒程度経過した時間、すなわちプラズマドーピング時間が60秒のときにもっとも良好な値を示した。

[0065] 図8は、図7で示した300mm基板にボロンをプラズマドーピングした後、1075℃、20秒でアニールした後のシート抵抗の面内分布である。シート抵抗は、300mm基板の端部3mmを除いた面内の121箇所を測定した。図9は、図8の各面内分布で基板中央を通る縦軸上のシート抵抗の分布を示したものである。また、図10は、同様の図であるが、シート抵抗をそれぞれの基板面内の平均値で除して規格化して表した図である。

[0066] このように、ドーズ量がプラズマドーピング時間の変化に対して変化しないようになって、さらにしばらくすると面内均一性も良いものが得られるようになる。これはドーズ量が、プラズマドーピング時間の変化に対して変化しないようになってしばらくすると、シリコン基板面内のドーズ量が少ない部分のドーズ量が、ドーズ量が飽和した部分のドーズ量に追いつくためと考えられる。

[0067] 一方、ドーズ量が、プラズマドーピング時間の変化に対して変化しないようになった直後の時間をプラズマドーピング時間に設定すると、基板面内のドーズ量が少ない

部分のドーズ量が、ドーズ量が飽和した部分のドーズ量に追いつかないために、面内均一性は十分とはいえない場合がある。

つまり、ドーズ量制御について十分であっても、さらに面内均一性を確保しようとすると、プラズマドーピング時間をより最適に設定する必要がある場合もある。

[0068] 次に、本発明のメカニズムを図9、図10を参照して説明する。図9、図10においては、それぞれ7秒(7sec)後、30秒(30sec)後、60秒(60sec)後のシート抵抗を示す。最初にボロンが多数ドーピングされた部分(図9、図10の横軸-150mmから0mmの部分)は、時間が経過するに従ってドーズ量が相対的に早く飽和する。逆に、最初にボロンがあまりドーピングされなかった部分(図9、図10の横軸75mmから150mmの部分)は、ドーズ量が飽和するまでに相対的に多くの時間が掛かる。

[0069] ただし、ドーズ量が飽和しはじめてしばらく時間が経過すると、最初にボロンが多数ドーピングされた部分はそれ以上なかなかボロンが注入されず、一方で最初にボロンがあまりドーピングされなかった部分はドーズ量が飽和に達するので、その差が小さくなる。図9、図10で60秒ドーピングした場合に、縦軸のシート抵抗のばらつき幅が小さいのはそのためである。これによりシート抵抗の面内均一性を改善することができる。本発明の方法は、プラズマドーピングで面内均一性を確保する非常に有効な手段である。同時にドーズ量の制御ができることは前述の通りである。

[0070] なお、実施例1と実施例2で採用した1075℃、20秒のアニール条件では、シート抵抗の分布は、ドーズ量の分布と考えて差し支えない。ドーズ量とシート抵抗は1対1の関係にあるからである。このような高温で比較的長い時間のアニール条件では、不純物はほぼ完全に電気的に活性化されていると推測でき、そのことが1対1で対応する理由として考えられる。

[0071] 次に、活性化工程について述べる。これはPD装置に依存することなく共通である。アニールに際しては、アニール装置の試料台上に、不純物イオンの供給されたシリコン基板を載置し、赤外線レーザーからミラーで反射させたレーザー光をシリコン基板の表面に照射することにより、シリコン基板の表面を加熱して活性化することができる。

[0072] なお、活性化工程においては、活性化処理室として、フラッシュランプ処理室を用

いることも可能である。フラッシュランプ処理室は、容器と、試料台と、窓と、フラッシュランプとからなる。試料台上に、不純物イオンが供給されたシリコン基板を載置し、フラッシュランプからの放射光をシリコン基板の表面に照射することにより、シリコン基板の表面を加熱して活性化することができる。

[0073] なお、前記実施の形態では、活性化工程においては、活性化処理室としてフラッシュランプ処理室を用いたが、現在半導体の量産工場で用いられているようなタングステンハロゲンランプ処理室を用いることも可能である。

[0074] 以上述べた本発明の実施の形態においては、本発明の適用範囲のうち、処理室の構成、形状、配置等に関して様々なバリエーションのうちの一部を例示したに過ぎない。本発明の適用にあたり、ここで例示した以外にも様々なバリエーションが考えられることは、いうまでもない。

[0075] また、試料がシリコン基板よりなる半導体基板である場合を例示したが、他の様々な材質の試料を処理するに際して、本発明を適用することができる。例えば、歪みシリコン基板やSOI基板にも有効である。これらはプラズマから見える表面形状だけを考えた場合、シリコン基板と同様だからである。さらに、Fin FETの場合でも有効である。Fin FETの場合でも、一般的に、その構造は1μm、或いはそれ以下のオーダーの寸法である。プラズマのシースの幅は1mm以上のオーダーである。よって、プラズマから見える表面形状だけを考えた場合、Fin FETの構造は無視できる程度に小さく、シリコン基板と同様だからである。

[0076] また、不純物がボロンである場合について例示したが、試料がシリコンよりなる半導体基板である場合、特に不純物が砒素、燐、ボロン、アルミニウムまたはアンチモンである場合に本発明は有効である。これは、トランジスタ部分に浅い接合を形成することができるからである。

[0077] また、本発明は、不純物を含むガス濃度が低濃度である場合に有効であり、特に、高精度にドーズ量のコントロールの必要なプラズマドーピング方法として有効である。

[0078] また、プラズマドーピング工程において、反応容器内に供給するガスがドーピング原料を含むガスである場合を例示したが、反応容器内に供給するガスがドーピング原料を含まず、固体状の不純物からドーピング原料を発生させる場合にも本発明は

有効である。つまり、不純物原子を含む固体を反応容器内に配置し、Heなどのプラズマを励起させて不純物原子をプラズマ化してプラズマドーピングさせるなどの場合にも本発明は有効である。

[0079] また、プラズマドーピングを行うに際して、プラズマが接している反応容器の内壁の温度をほぼ一定とした状態で処理を行うことが好ましい。これは、反応容器の内壁の温度が処理の途中で変化すると内壁の温度における不純物原子の付着確率が変化し、また、内壁に付着した不純物元素を含む薄膜からプラズマ内に放出される不純物原子の数が変化するため、単位時間当たりのドーズ量が変化してしまうためである。反応容器内壁の温度を一定に保つ方法としては、ヒーターによって加熱する方法や、冷媒を循環させることによって冷却する方法などから適宜選択することができる。

また、反応容器中の不純物を含むガスの濃度を調整するに際し、ガスの供給量を調整して濃度そのものを直接調整する方法だけでなく、反応容器内壁の温度を下げて、所定の不純物を析出させることにより、当該不純物の濃度を低下させたり、反応容器内壁の温度を上げて、所定の不純物の析出を抑制することにより、当該不純物の濃度を維持したり、反応容器内壁温度の調整により、ドーズ量を調整することも可能である。また、フィードバック機能を備えることにより、反応容器内壁の温度制御をしながら濃度制御を行うことも可能である。

[0080] また、プラズマドーピングを行うに際して不純物元素を含むガスの濃度を処理の途中で下げても良い。この場合の適切な処理方法について説明する。

まず、不純物元素を含むガスの濃度が高い状態でプラズマドーピングを行うことにより、処理の初期における単位時間当たりのドーズ量を高くする。

次いで不純物元素を含むガスの濃度が低い状態でプラズマドーピングを行う。そして、ドーズ量が時間依存性を持たず一定となる時間範囲でプラズマドーピング処理を停止する。このような手順で処理することにより、初期から不純物元素を含むガスの濃度が低い状態で処理した場合と比較して、総処理時間の短縮を図ることが可能となる。

この場合も、反応容器内壁の温度を最初上げておき、最大限に不純物を含むガスの濃度を高めておき、続いて反応容器内壁の温度を下げ、不純物の内壁への析出

を促進し、ガスの濃度を下げる方法も有効である。

産業上の利用可能性

[0081] 本発明のプラズマドーピング方法は、経済的で、不純物導入量を精密に制御でき、浅い不純物拡散領域を形成するプラズマドーピング方法を実現することが可能であり、半導体の不純物導入工程をはじめ、液晶などで用いられる薄膜トランジスタの製造等の用途にも適用できる。

請求の範囲

[1] 試料に不純物イオンを含むガスプラズマを所定時間、所定濃度で照射し、前記試料表面に不純物導入層を形成する方法であって、

ドーズ量が時間依存性を持たず一定となるように、ドーピング時間と、不純物を含むガスプラズマの濃度を設定して、ドーズ量が時間依存性を持たず一定となる時間範囲でプラズマドーピングを行なうプラズマドーピング方法。

[2] 請求項1に記載のプラズマドーピング方法であって、

不純物の基板表面へのドーピングと、基板表面からのスパッタリングとが飽和状態となるように、ドーピング時間と、不純物を含むガスプラズマの濃度を設定して、プラズマドーピングを行なうプラズマドーピング方法。

[3] 請求項2に記載のプラズマドーピング方法であって、

ドーピング時間を、

基板面内のドーズ量が少ない部分のドーズ量が、ドーズ量が飽和した部分のドーズ量に追いつく程度の長さに設定したプラズマドーピング方法。

[4] 請求項1乃至3のいずれかに記載のプラズマドーピング方法であって、

前記不純物イオンを含むガスプラズマの濃度を変化させることで時間依存性を持たず一定となるドーズ量の水準を変化させるプラズマドーピング方法。

[5] 請求項1乃至4のいずれかに記載のプラズマドーピング方法であって、

不純物原子を含むガスの濃度を変化させることで前記不純物イオンを含むガスプラズマの濃度を変化させるプラズマドーピング方法。

[6] 請求項1乃至4のいずれかに記載のプラズマドーピング方法であって、

不純物原子を含むガスの圧力、ソースパワーを変化させることで前記不純物イオンを含むガスプラズマの濃度を変化させるプラズマドーピング方法。

[7] 請求項1乃至5のいずれかに記載のプラズマドーピング方法であって、

前記ガスプラズマの濃度は、前記ガスプラズマ中のイオンとラジカルとガスの濃度が、前記不純物イオンの前記基板表面へのドーピングと、前記基板表面からのスパッタリングとが時間の増加に対して飽和状態となるように設定されるプラズマドーピング方法。

[8] 請求項1乃至7のいずれかに記載のプラズマドーピング方法であって、

前記不純物イオンを含むガスプラズマは、ボロン原子と水素原子からなる分子(B_nH_m)とHeの混合ガスプラズマであるプラズマドーピング方法。

[9] 請求項8に記載のプラズマドーピング方法であって、

前記不純物イオンを含むガスプラズマは、B_2H_6とHeの混合ガスプラズマであるプラズマドーピング方法。

[10] 請求項9に記載のプラズマドーピング方法であって、

前記B_2H_6とHeの混合ガスプラズマ中のB_2H_6ガス濃度は0.01%以上、1%以下であるプラズマドーピング方法。

[11] 請求項10に記載のプラズマドーピング方法であって、

前記B_2H_6とHeの混合ガスプラズマ中のB_2H_6ガス濃度は0.025%以上、0.6%以下であるプラズマドーピング方法。

[12] 請求項11に記載のプラズマドーピング方法であって、

バイアス電圧V_{DC}が60V以下であるプラズマドーピング方法。

[13] 請求項8に記載のプラズマドーピング方法であって、

前記不純物イオンを含むガスプラズマは、BF_3とHeの混合ガスプラズマであるプラズマドーピング方法。

[14] 請求項1乃至13のいずれかに記載のプラズマドーピング方法であって、

前記試料はシリコン基板であるプラズマドーピング方法。

[15] 試料に不純物イオンを含むガスプラズマを所定時間、所定濃度で照射し、前記試料表面に不純物導入層を形成する方法であって、

ドーズ量が時間依存性を持たず一定となる時間領域でプラズマドーピングを行なうプラズマドーピング方法。

[16] 請求項1乃至15のいずれかに記載のプラズマドーピング方法であって、

プラズマが接している反応容器の内壁の温度をほぼ一定とした状態でプラズマドーピングを行うプラズマドーピング方法。

[17] 請求項16に記載のプラズマドーピング方法であって、

プラズマが接している反応容器の内壁を加熱した状態でプラズマドーピングを行う

プラズマドーピング方法。

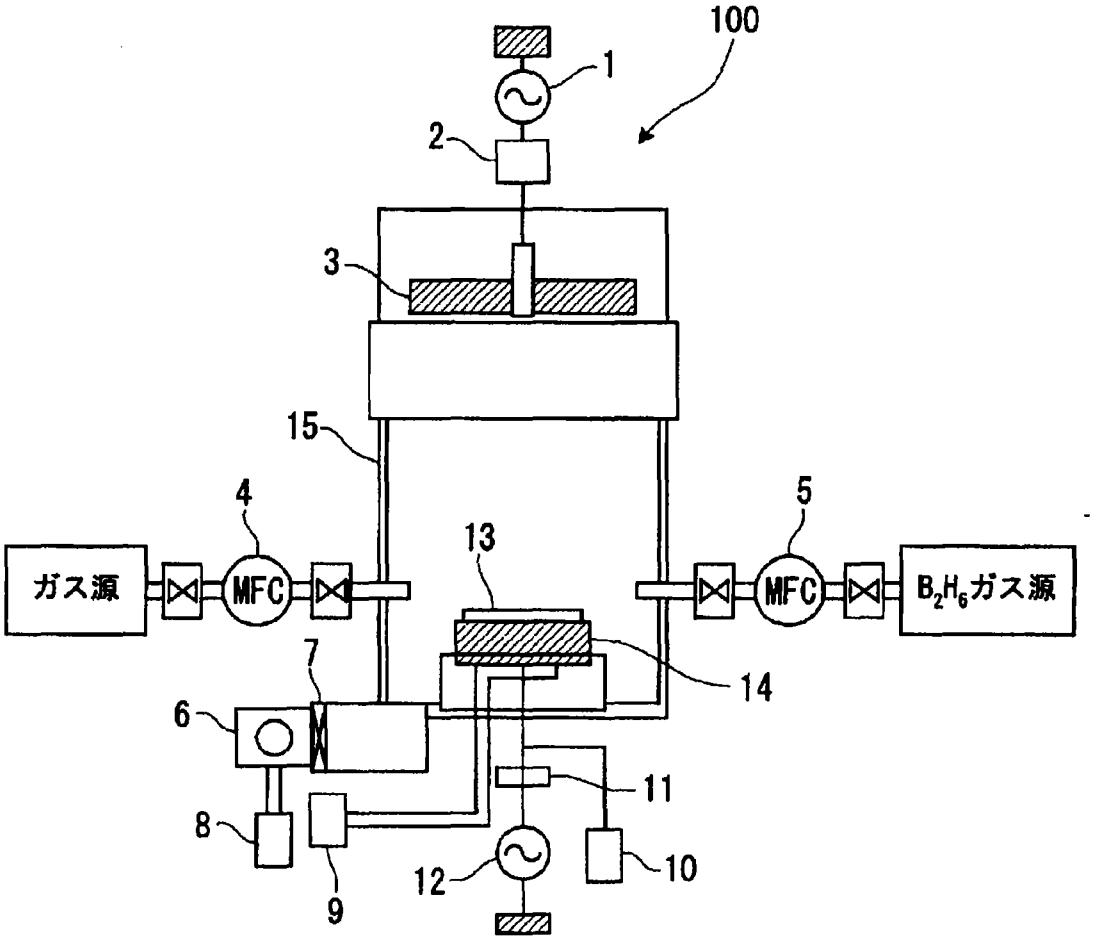
[18] 請求項16に記載のプラズマドーピング方法であって、

プラズマが接している反応容器の内壁を冷却した状態でプラズマドーピングを行うプラズマドーピング方法。

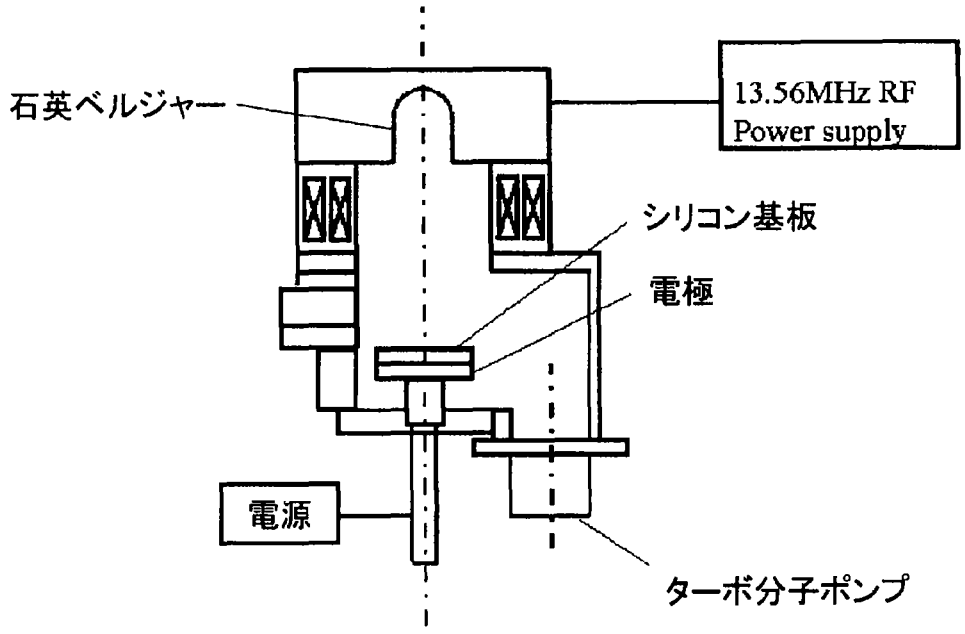
[19] 請求項1, 2, 3, 4, 5, 6, 7, 8, 9, 12, 13, 14, 15, 16, 17および18のいずれかに記載のプラズマドーピング方法であって、

不純物元素を含むガスの濃度を、処理の途中で低下させるようにしたプラズマドーピング方法。

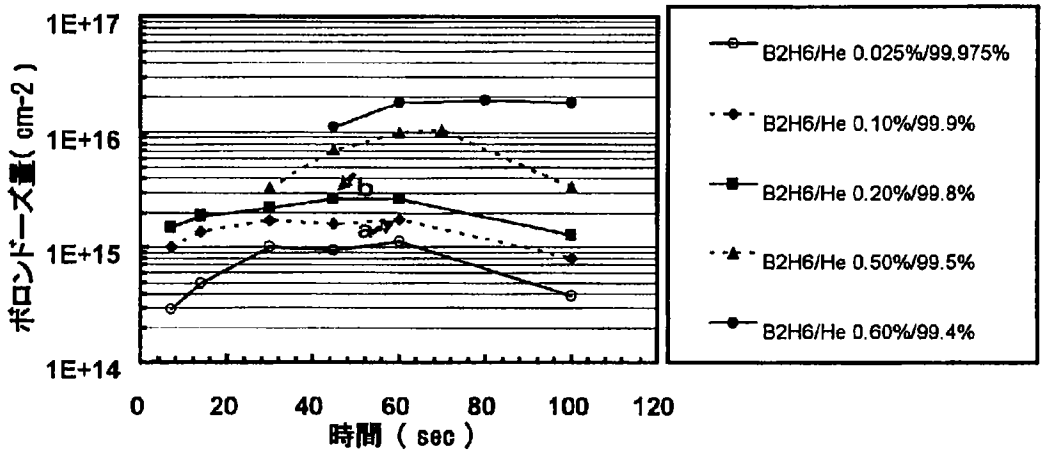
[図1]


100
1
2
3
15
4
5
13
ガス源
MFC
MFC
B_2H_6ガス源
14
7
6
11
8
12
10
9

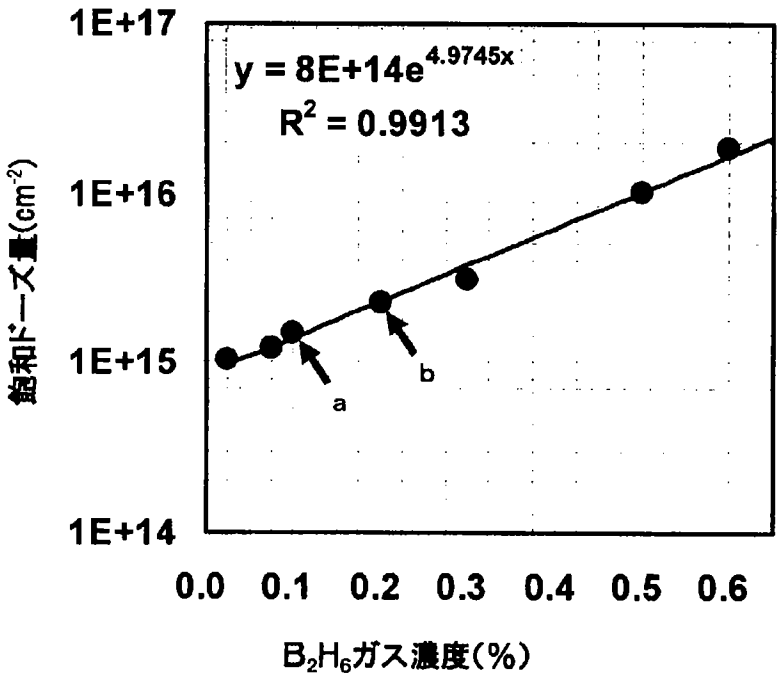
[図2]


石英ベルジャー
13.56MHz RF
Power supply
シリコン基板
電極
電源
ターボ分子ポンプ

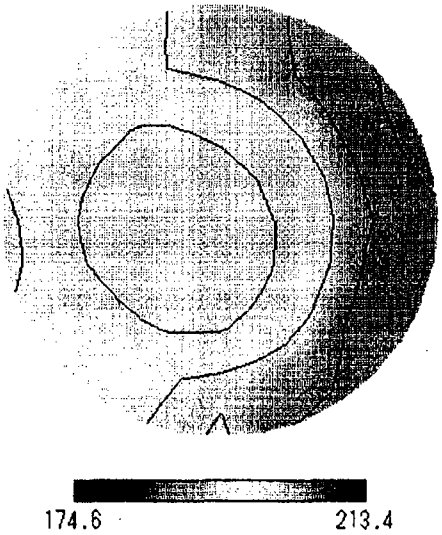
[図3]


1E+17
1E+16
1E+15
1E+14
ボロンドーズ量(cm-2)
0
20
40
60
80
100
120
時間 (sec)
a
b
B2H6/He 0.025%/99.975%
B2H6/He 0.10%/99.9%
B2H6/He 0.20%/99.8%
B2H6/He 0.50%/99.5%
B2H6/He 0.60%/99.4%

[図4]

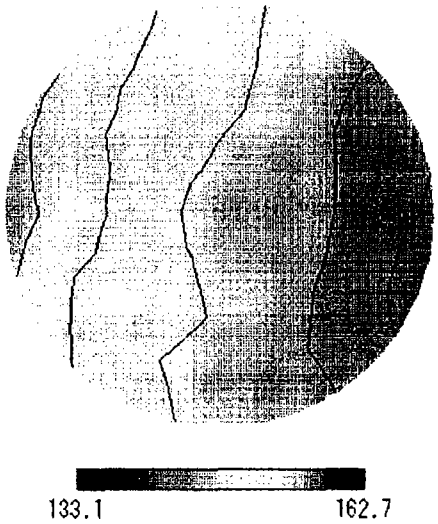

1E+17
1E+16
1E+15
1E+14
y = 8E+14e4.9745x
R2 = 0.9913
飽和ドーズ量(cm-2)
a
b
0.0
0.1
0.2
0.3
0.4
0.5
0.6
B2H6ガス濃度(%)

[図5]



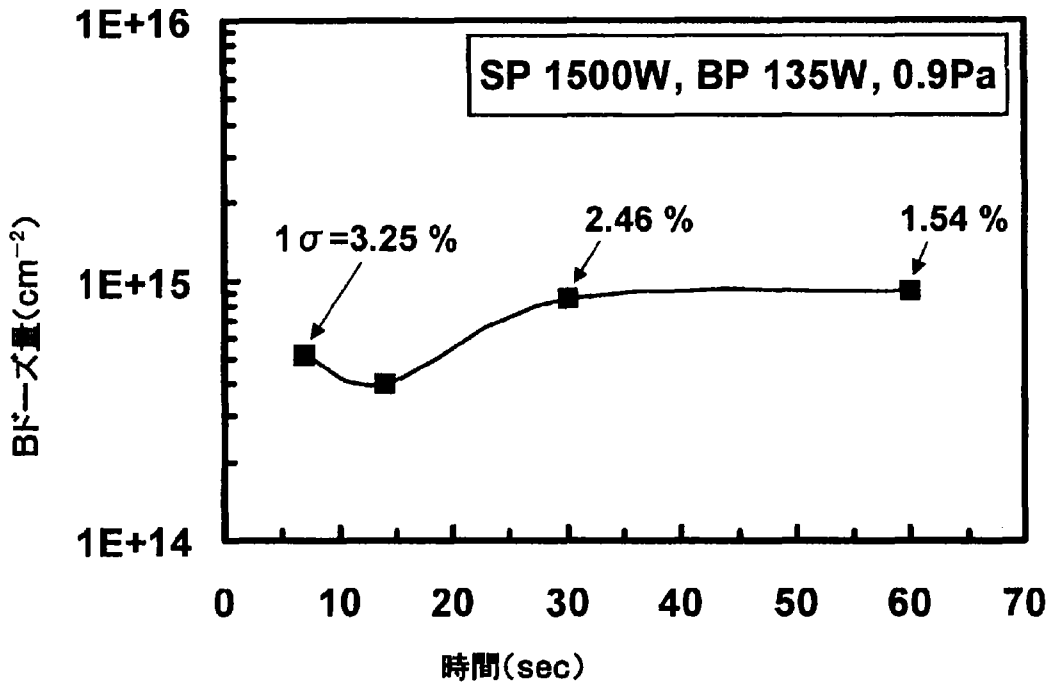
等高線は2％(3.88 ohm/sq)ピッチ. B2H6/He 0.1%/99.9%, SP 1500W, BP 77W(Vdc 60V), 圧力0.9Pa, 60秒. 平均194.0 ohm/sq, 最大値200.6 ohm/sq, 最小値184.8 ohm/sq, 1σ＝2.25%.

[図6]

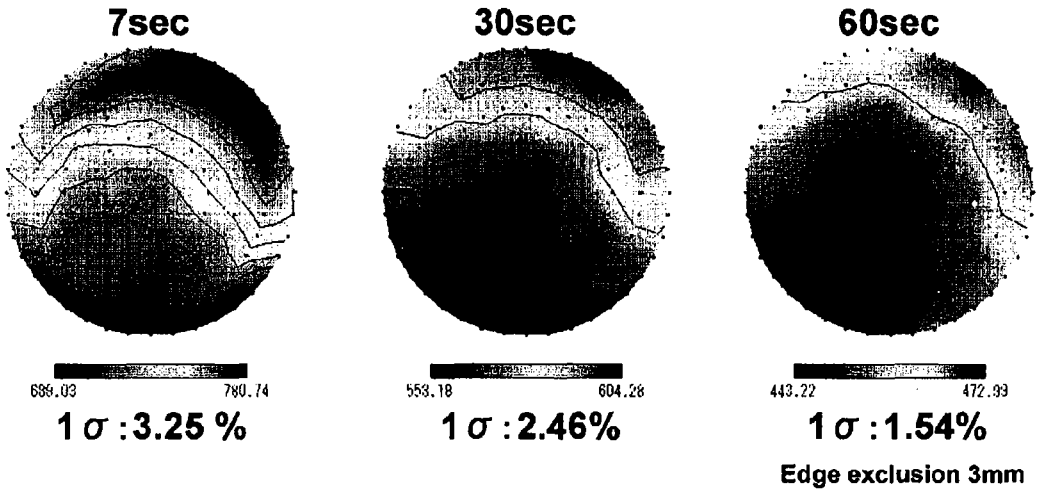


等高線は2％(2.96 ohm/sq)ピッチ. B2H6/He 0.2%/99.8%, SP 1500W, BP 77W(Vdc 60V), 圧力0.9Pa, 45秒. 平均147.9 ohm/sq, 最大値156.4 ohm/sq, 最小値141.2 ohm/sq, 1σ＝2.42%.

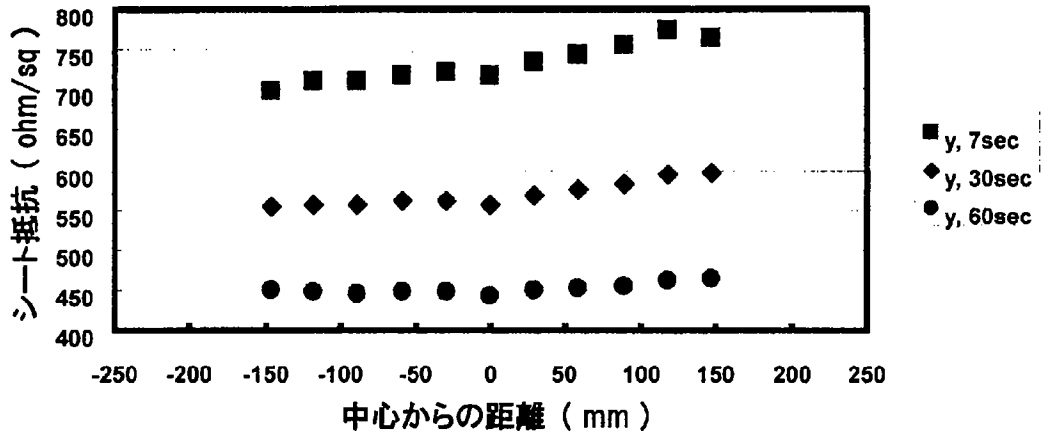
[図7]


1E+16
1E+15
1E+14
SP 1500W, BP 135W, 0.9Pa
1σ=3.25 %
2.46 %
1.54 %
Bドーズ量(cm⁻²)
0
10
20
30
40
50
60
70
時間(sec)

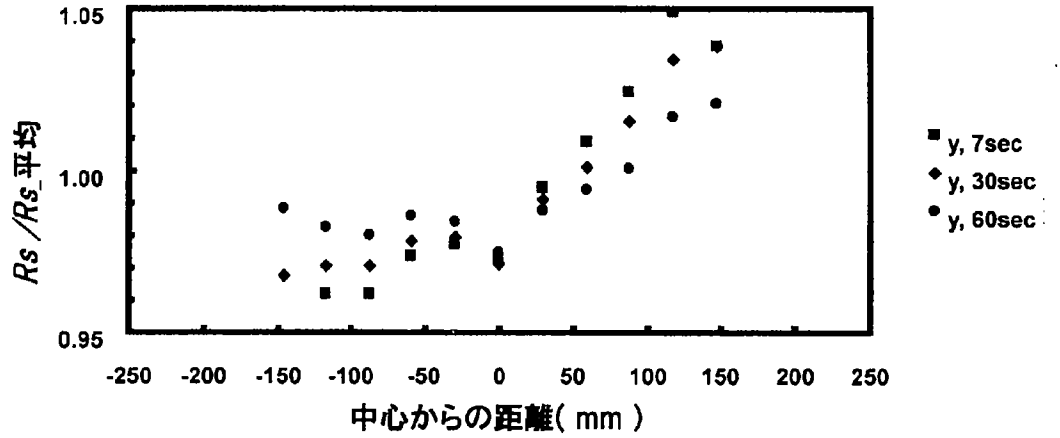
[図8]


7sec
689.03
780.74
1σ:3.25 %
30sec
553.18
604.28
1σ:2.46%
60sec
443.22
472.99
1σ:1.54%
Edge exclusion 3mm

[図9]


シート抵抗（ohm/sq）
800
750
700
650
600
550
500
450
400
-250 -200 -150 -100 -50 0 50 100 150 200 250
中心からの距離（mm）
y, 7sec
y, 30sec
y, 60sec

[図10]


Rs /Rs_平均
1.05
1.00
0.95
-250 -200 -150 -100 -50 0 50 100 150 200 250
中心からの距離(mm)
y, 7sec
y, 30sec
y, 60sec

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/022799

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/22(2006.01), ***H01L21/265***(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/22(2006.01), ***H01L21/265***(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006
Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-179592 A (Matsushita Electric Industrial Co., Ltd.), 24 June, 2004 (24.06.04), Par. No. [0023]; Fig. 4 & WO 2004/051720 A1 & TW 200415668 A & US 2005/0287776 A1	1-19

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
02 March, 2006 (02.03.06)	14 March, 2006 (14.03.06)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (April 2005)

国際調査報告

国際出願番号 ＰＣＴ／ＪＰ２００５／０２２７９９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl. *H01L21/22(2006.01), H01L21/265(2006.01)*

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl. *H01L21/22(2006.01), H01L21/265(2006.01)*

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００６年
日本国実用新案登録公報	１９９６－２００６年
日本国登録実用新案公報	１９９４－２００６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X	JP ２００４－１７９５９２ Ａ（松下電器産業株式会社）２００４．０６．２４，【００２３】、図４ & WO ２００４／０５１７２０ Ａ１ & TW ２００４１５６６８ Ａ & US ２００５／０２８７７７６ Ａ１	１－１９

☐ Ｃ欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０２．０３．２００６	１４．０３．２００６

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	4M	8617
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	加藤　浩一 電話番号　０３－３５８１－１１０１　内線　３４６２		

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（２００５年４月）

Electronic Patent Application Fee Transmittal

Application Number:	12025504
Filing Date:	04-Feb-2008
Title of Invention:	SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME
First Named Inventor/Applicant Name:	Yuichiro SASAKI
Filer:	Michael E. Fogarty/Margaret Barham
Attorney Docket Number:	079195-0378

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Miscellaneous:				
Submission- Information Disclosure Stmt	1806	1	180	180
		Total in USD ($)		**180**

Electronic Acknowledgement Receipt

EFS ID:	8165518
Application Number:	12025504
International Application Number:	
Confirmation Number:	1386
Title of Invention:	SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME
First Named Inventor/Applicant Name:	Yuichiro SASAKI
Customer Number:	53080
Filer:	Michael E. Fogarty/Margaret Barham
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	079195-0378
Receipt Date:	05-AUG-2010
Filing Date:	04-FEB-2008
Time Stamp:	17:56:22
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$180
RAM confirmation Number	4281
Deposit Account	500417
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Transmittal Letter	P04783002_IDS_079195-0378.pdf	101785 9828d7299fedc774b8d5ee669f6d17d8adb6c647	no	3
Warnings:					
Information:					
2	NPL Documents	P04783002_NPL_079195-0378.pdf	922510 e635f10476cce28bac4159f53f550cf8de2de6d9	no	13
Warnings:					
Information:					
3	Foreign Reference	P04783002_REF1_079195-0378.pdf	3354920 55aa4deff2cd74d71817d5afb142226808167498	no	66
Warnings:					
Information:					
4	Foreign Reference	P04783002_REF2_079195-0378.pdf	1056094 c1d98c382408f76047dc52ea6983dcb8236ced29	no	31
Warnings:					
Information:					
5	Foreign Reference	P04783002_REF3_079195-0378.pdf	836325 f6a5b3492be7424a5e3a4198948831e43e0a8490	no	26
Warnings:					
Information:					
6	Foreign Reference	P04783002_REF4_079195-0378.pdf	1436838 061180f0e54bd697b4129979682f1f06329b415b	no	33
Warnings:					
Information:					
7	Fee Worksheet (PTO-875)	fee-info.pdf	30552 ac2383269d15d5e779cee7387594b6786d78890c	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	7739024		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

53080 7590 06/16/2010

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

Customer No.: 53080

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission
I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/025,504	02/04/2008	Yuichiro SASAKI	079195-0378	1386

TITLE OF INVENTION: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1510	$300	$0	$1810	09/16/2010

EXAMINER	ART UNIT	CLASS-SUBCLASS
TRAN, TAN N	2826	257-327000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 McDERMOTT WILL & EMERY LLP
2
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE: PANASONIC CORPORATION
(B) RESIDENCE: (CITY and STATE OR COUNTRY): Osaka, Japan

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:
☒ Issue Fee
☒ Publication Fee (No small entity discount permitted)
☒ Advance Order - # of Copies Four (4)

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**
☐ A check is enclosed.
☐ Payment by credit card. Form PTO-2038 is attached.
☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number 500417 (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)
☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.
☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date August 10, 2010

Typed or printed name Michael E. Fogarty Registration No. 36,139

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Electronic Patent Application Fee Transmittal

Application Number:	12025504
Filing Date:	04-Feb-2008
Title of Invention:	SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME
First Named Inventor/Applicant Name:	Yuichiro SASAKI
Filer:	Michael E. Fogarty/stephanie sharrett
Attorney Docket Number:	079195-0378

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Utility Appl issue fee	1501	1	1510	1510
Publ. Fee- early, voluntary, or normal	1504	1	300	300

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Extension-of-Time:				
Miscellaneous:				
Printed copy of patent - no color	8001	4	3	12
		Total in USD ($)		**1822**

Electronic Acknowledgement Receipt

EFS ID:	8190789
Application Number:	12025504
International Application Number:	
Confirmation Number:	1386
Title of Invention:	SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME
First Named Inventor/Applicant Name:	Yuichiro SASAKI
Customer Number:	53080
Filer:	Michael E. Fogarty/stephanie sharrett
Filer Authorized By:	Michael E. Fogarty
Attorney Docket Number:	079195-0378
Receipt Date:	10-AUG-2010
Filing Date:	04-FEB-2008
Time Stamp:	16:23:05
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$1822
RAM confirmation Number	2776
Deposit Account	500417
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)

1	Issue Fee Payment (PTO-85B)	IF_079195-0378.PDF	91694 3306a7064f2214999787dce354163d289f138b39	no	1
Warnings:					
Information:					
2	Fee Worksheet (PTO-875)	fee-info.pdf	33586 7ba44da757b86c509e585a6043fafa8048211596	no	2
Warnings:					
Information:					
			Total Files Size (in bytes):	125280	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/025,504	02/04/2008	Yuichiro SASAKI	079195-0378	1386

53080 7590 08/20/2010
MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

EXAMINER	
TRAN, TAN N	
ART UNIT	PAPER NUMBER
2826	
MAIL DATE	DELIVERY MODE
08/20/2010	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

UNITED STATES DEPARTMENT OF COMMERCE
U.S. Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450

APPLICATION NO./ CONTROL NO.	FILING DATE	FIRST NAMED INVENTOR / PATENT IN REEXAMINATION	ATTORNEY DOCKET NO.
12025504	2/4/2008	SASAKI ET AL.	079195-0378

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

EXAMINER	
TAN N. TRAN	
ART UNIT	**PAPER**
2826	20100816

DATE MAILED:

Please find below and/or attached an Office communication concerning this application or proceeding.

Commissioner for Patents

the IDS, which was filed on 08/05/10, has been considered. See attachment.

/TAN N TRAN/
Primary Examiner, Art Unit 2826

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Substitute for form 1449/PTO)

ATTY. DOCKET NO.	SERIAL NO.
079195-0378	12/025,504

APPLICANT: Yuichiro SASAKI, et al.

FILING DATE	GROUP
February 04, 2008	2826

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Document Number Number-Kind Code2 (if known)		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
/TT/		US	7,023,021 B2	04-04-2006	YAMAZAKI et al.	Corresponds to CN 1314715 A
/TT/		US	7,074,656 B2	07-11-2006	YEO et al.	Corresponds to CN 1542930 A
/TT/		US	6,970,373 B2	11-29-2005	DATTA et al.	Corresponds to CN 1890798 A
/TT/		US	2006/0057792 A1	03-16-2006	MATHEW et al.	
		US				
		US				
		US				
		US				
		US				

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	CITE NO.	Foreign Patent Document Country Codes-Number 4-Kind Codes (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines Where Relevant Figures Appear	Translation Yes	Translation No
/TT/		CN 1314715 A	09-26-2001		Corresponds to US 7,023,021 B2		X
/TT/		CN 1542930 A	11-03-2004		Corresponds to US 7,074,656 B2		X
/TT/		CN 1890798 A	01-03-2007		Corresponds to US 6,970,373 B2		X
/TT/		WO 2006/064772 A1	06-22-2006	MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.		JAPAN (w/ English abstract)	

OTHER ART (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER'S INITIALS	CITE NO.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	
/TT/		Chinese Office Action issued in Chinese Patent Application No. CN 200880002383.9 dated July 16, 2010	

EXAMINER	DATE CONSIDERED
/Tan Tran/	08/16/2010

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/025,504	09/21/2010	7800165	079195-0378	1386

53080 7590 09/01/2010

MCDERMOTT WILL & EMERY LLP
600 13TH STREET, NW
WASHINGTON, DC 20005-3096

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 47 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Yuichiro SASAKI, Osaka, JAPAN;
Katsumi OKASHITA, Osaka, JAPAN;
Keiichi NAKAMOTO, Osaka, JAPAN;
Hiroyuki ITO, Chiba, JAPAN;
Bunji MIZUNO, Nara, JAPAN;