

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/33

(11) 공개번호 특1998-074469
(43) 공개일자 1998년11월05일

(21) 출원번호	특1997-010326
(22) 출원일자	1997년03월25일
(71) 출원인	삼성전자 주식회사 윤종용
	경기도 수원시 팔달구 매탄동 416
(72) 발명자	이태정
	경기도 용인시 기흥읍 고매리 세원 아파트 101동 1209호
(74) 대리인	이건주

심사청구 : 없음

(54) 반도체 장치의 트랜지스터 제조방법

요약

본 발명은 반도체 장치에 관한 것이다. 본 발명의 요지는 반도체 장치의 트랜지스터 제조방법에 있어서, 실리콘 기판에 통상의 트렌치 분리 공정을 통하여 트렌치 분리영역과 활성 영역을 형성하는 과정과, 상기 실리콘 기판에 통상의 필드상 국부 이온주입 공정을 통하여 웰 영역을 형성하는 과정과, 습식 식각을 통하여 트렌치 분리내의 제1산화막을 일부 식각하는 과정과, 산화공정을 진행하여 제2산화막을 형성하는 과정과, 문턱전압을 최적화하기 위한 이온주입하는 과정과, 습식 식각을 통하여 상기 제2산화막을 식각하는 과정과, 통상의 게이트 산화막, 게이트 전극, 소오스 및 드레인을 형성하는 과정을 특징으로 한다.

대표도

도3

명세서

도면의 간단한 설명

도 1은 종래기술에 따른 트랜지스터의 평면도.

도 2는 도 1의 2-2' 방향으로의 수직단면도.

도 3은 본 발명의 일실시예에 따른 트랜지스터를 보여주는 수직단면도.

도 4a ~ 도 4c는 본 발명의 일실시예에 따른 트랜지스터의 제조수순을 보여주는 공정단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로, 특히 반도체 장치 중 칩 면적의 증가 없이 채널폭을 증가시킬 수 있는 트랜지스터의 제조방법에 관한 것이다.

일반적으로, 트랜지스터들은 소정의 채널폭과 길이를 가지게 된다. 이러한 채널폭은 트랜지스터의 전류 드라이브 능력과 밀접한 관계를 가지는데, 채널폭이 커지면 커질수록 전류 드라이브 능력은 커지게 된다. 그러나 채널폭을 크게 하면 칩의 집적도면에서 면적이 증가하는 문제점이 발생하게 된다. 도 1은 종래기술에 따른 트랜지스터의 평면도이다. 도 1을 참조하면, 분리 영역 20과, 트랜지스터의 소오스 20 및 드레인 80과, 상기 소오스 20 및 드레인 80 사이의 게이트 60으로 구성된 트랜지스터의 평면도를 보이는 것이다. 여기서 게이트 60 하부에 형성되는 채널폭 W는 소오스 70 및 드레인 80의 폭과 동일하게 형성된다. 또한 채널폭의 증가는 칩 면적 증가로 바로 이어지게 된다. 한편 상기 도 1의 2-2' 방향으로의 수직단면도가 도 2에 보여진다. 도 2를 참조하면, 실리콘 기판 100상에 직접 형성되거나 실리콘 기판 100상에 형성된 웰(Well)내에 형성된 채널 영역 W와 소자 분리를 위한 분리영역 20, 채널폭 W위에 형성된 게이트 산화막 40과 그 상부에 형성된 게이트 전극 60으로 구성되어 있다. 이와같은 구조로 형성시 트랜지스터는 실리콘 기판 100과 평행한 면에 위치하여 트랜지스터의 전류 드라이브량을 늘리기 위해서 채널폭 W를 늘리게 되면 바로 면적 증가로 이어지게 된다. 이와 같이 채널폭을 증가시키는 것이 면적 증가로 이어지기 때문에 채널폭을 증가시키기 어려운 문제를 해결하기 위하여 미합중국에 등록된 특허등록번호 5,115,289에 개시되어 있는 바와 같이 채널폭의 일부를 수직으로 형성하여 면적 증가 없이 채널폭을 증가시키는 트랜지스터 구조를 제시하고 있다. 이러한 트랜지스터를 형성하기 위한 제조방법을 도시하지는 않았지만 간

약히 설명한다. 실리콘 기판을 $0.1\mu\text{m}$ 의 폭 및 $1\mu\text{m}$ 깊이로 식각한 후 채널이 형성될 부위를 실리콘 산화막(SiO_2)과 실리콘 질화막(SiN)으로 감싸도록 형성한다. 다음으로 산화공정을 통하여 채널 영역을 기판과 분리시킨 후 실리콘 질화막과 실리콘 산화막을 제거하고 게이트 산화막과 게이트를 형성하며, 이후 드레인과 소오스를 형성하는 등의 통상의 트랜지스터 형성 공정을 통해 트랜지스터를 제조한다. 전술한 바와 같이 절연막 상 실리콘(Silicon On Insulator: 이하 SOI라 칭함) 공정을 채용함으로써 채널 영역을 실리콘 기판으로부터 분리하였기 때문에 SOI 형성을 위한 산화공정시 버즈빅(Bird's beak)에 의해 채널 영역이 기판과 완전히 분리되어야 한다. 따라서 채널폭이 모두 $0.1\mu\text{m}$ 이어야 한다. 그러므로 큰 사이즈의 패턴은 형성이 곤란하다. 또한 모든 패턴을 $0.1\mu\text{m}$ 이하로 형성한다고 해도 산화공정시 채널 영역이 리프팅(Lifting)되는 등의 문제점이 발생된다. 이밖에도 SOI를 위한 산화공정시 채널 영역이 산화되는 것을 막기 위하여 채널 영역을 실리콘 질화막으로 감싸주어야 하는 공정이 필요하므로 공정이 복잡해지는 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 채널 영역의 일부를 수직으로 형성하여 칩의 면적 증가없이 채널폭을 증가시킴으로써 트랜지스터의 전류 드라이빙 능력을 향상시킬 수 있는 반도체 장치의 트랜지스터 제조방법을 제공함에 있다.

본 발명의 다른 목적은 칩의 면적 증가 없이 채널폭을 증가시키는데 있어 리프팅을 제거할 수 있는 반도체 장치의 트랜지스터 제조방법을 제공함에 있다.

본 발명의 또다른 목적은 채널폭을 증가시킴과 동시에 트랜치의 깊이를 조절함으로써 추가 공정없이 분리 영역 특성을 향상시킬 수 있는 반도체 장치의 트랜지스터 제조방법을 제공함에 있다.

본 발명의 또다른 목적은 채널폭을 증가시킴과 동시에 분리 영역 형성 공정시 공정 수를 줄일 수 있는 반도체 장치의 트랜지스터 제조방법을 제공함에 있다.

발명의 구성 및 작용

상기한 목적들을 달성하기 위한 본 발명의 기술적 사상에 따르면, 반도체 장치의 트랜지스터 제조방법에 있어서, 실리콘 기판에 통상의 트랜치 분리 공정을 통하여 트랜치 분리영역과 활성 영역을 형성하는 과정과, 상기 실리콘 기판에 통상의 필드상 국부 이온주입 공정을 통하여 웰 영역을 형성하는 과정과, 습식 식각을 통하여 트랜치 분리내의 제1산화막을 일부 식각하는 과정과, 산화공정을 진행하여 제2산화막을 형성하는 과정과, 문턱전압을 최적화하기 위한 이온주입하는 과정과, 습식 식각을 통하여 상기 제2산화막을 식각하는 과정과, 통상의 게이트 산화막, 게이트 전극, 소오스 및 드레인을 형성하는 과정을 포함한다.

이하 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세히 설명한다. 우선 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다.

도 3은 본 발명의 일실시예에 따른 트랜지스터를 보여주는 수직단면도이다. 도 3을 참조하면, 실리콘 기판 101상에 분리 영역들 21a이 형성되고, 상기 분리 영역들 21a 사이에 게이트가 형성되는데 이때 실리콘 기판 101이 분리 영역 21a의 상부보다 소정 높이 올라간 부위에 게이트 산화막 41 및 그 상부에 게이트 전극 61이 형성된다. 따라서 채널폭이 분리 영역 21a 보다 소정 높이 올라가며 그 높이만큼 곡선을 이루게 되어 채널폭이 증가하게 된다. 또한 칩의 면적은 변동이 없다.

도 4a ~ 도 4c는 본 발명의 일실시예에 따른 트랜지스터의 제조수순을 보여주는 공정단면도이다. 도 4a를 참조하면, 실리콘 기판 101에 통상의 트랜치 분리공정을 통하여 트랜치 분리 영역 21을 형성하고 통상의 LIF(Local Implantation on Field) 공정을 통하여 웰 영역을 형성한다. 도 4b를 참조하면, 습식 식각 공정을 통하여 채널폭을 증가시키고자 하는 영역의 트랜치 분리내의 산화막 21a를 $10\text{nm} \sim 200\text{nm}$ 정도 식각한다. 또한 희생산화막을 $10\text{nm} \sim 30\text{nm}$ 정도 진행하여 각이 진 부위의 채널 영역을 보다 더 곡면이 되도록 하여 채널폭 W를 증가시킨다. 다음으로 트랜지스터의 문턱전압을 최적화하기 위한 이온주입을 $3.0 \times 10^{11}/\text{cm}^2 \sim 2.0 \times 10^{12}/\text{cm}^2$ 정도 실시한 후 희생 산화막을 습식 식각을 통해 식각한다. 따라서 분리 영역내에 채워진 산화막 21a가 실리콘 기판 101 보다 아래로 형성됨을 알 수 있다. 도 4c를 참조하면, 상기 공정 이후 게이트 산화막 41의 형성 공정과 소오스 및 드레인 형성 공정을 통해 트랜지스터를 형성한다.

한편, 전술한 바와 같은 공정을 통하여 통상의 트랜치 분리 형성 공정에 일부의 공정만을 추가함으로써 트랜지스터의 채널폭을 증가시키게 되어 면적의 증가 없이 전류 드라이빙 능력을 증가시킬 수 있게 된다. 또한 이러한 제조 공정은 트랜치내의 산화막의 깊이를 조절함으로써 트랜지스터의 채널폭을 증가시키면서도 안정적인 분리 특성을 얻을 수도 있다. 한편, 희생 산화막을 통하여 채널의 각진 부위가 더욱 곡면이 되도록 하는 이유는 트랜지스터 동작시 서브 문턱 영역에서의 험프(Hump) 효과를 완화하기 위함이다.

발명의 효과

상기한 본 발명에 따르면, 칩 면적의 증가없이 트랜지스터의 채널폭을 증가시킬 수 있는 효과를 가지며, 이에 따른 트랜치 깊이를 조절함으로써 안정적인 분리 특성을 얻을 수 있는 효과를 가진다.

상기한 본 발명은 도면을 중심으로 예를들어 한정되었지만, 그 동일한 것은 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러가지 변화와 변형이 가능함이 본 분야의 숙련된 자에게 있어 명백할 것이다.

(57) 청구의 범위

청구항 1

반도체 장치의 트랜지스터 제조방법에 있어서,
 실리콘 기판에 통상의 트랜치 분리 공정을 통하여 트랜치 분리영역과 활성 영역을 형성하는 과정과,
 상기 실리콘 기판에 통상의 필드상 국부 이온주입 공정을 통하여 웰 영역을 형성하는 과정과,
 습식 식각을 통하여 트랜치 분리내의 제1산화막을 일부 식각하는 과정과,
 산화공정을 진행하여 제2산화막을 형성하는 과정과,
 문턱전압을 최적화하기 위한 이온주입하는 과정과,
 습식 식각을 통하여 상기 제2산화막을 식각하는 과정과,
 통상의 게이트 산화막, 게이트 전극, 소오스 및 드레인을 형성하는 과정을 포함함을 특징으로 하는 반도체 장치의 트랜지스터 제조방법.

청구항 2

제1항에 있어서, 상기 제1산화막의 식각 후 두께는 10나노 미터에서 200나노 미터로 형성됨을 특징으로 하는 반도체 장치의 트랜지스터 제조방법.

청구항 3

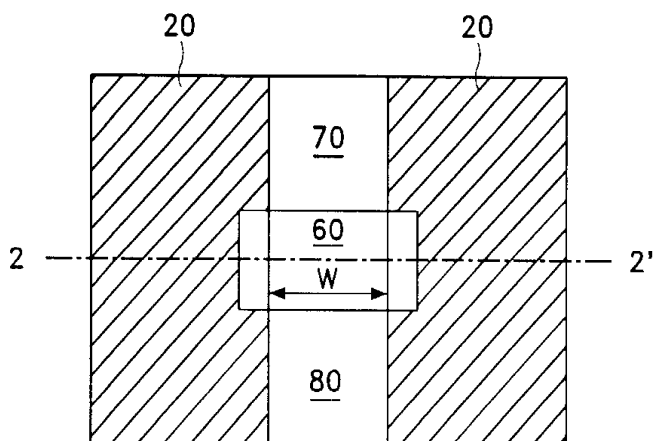
제1항에 있어서, 상기 제2산화막의 두께는 10나노 미터에서 30나노 미터로 형성됨을 특징으로 하는 반도체 장치의 트랜지스터 제조방법.

청구항 4

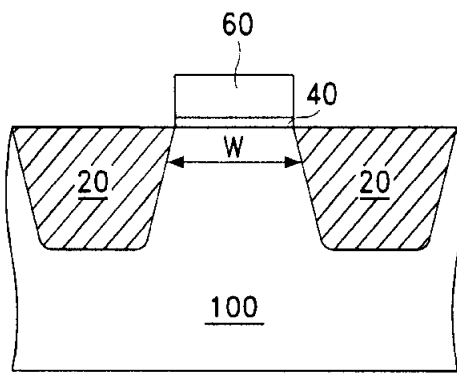
제1항에 있어서, 상기 이온주입의 불순물은 불화붕소로 40킬로 전자볼트에서 60킬로 전자볼트로 단위면적당 3×10^{11} 에서 2×10^{12} 농도로 이온주입됨을 특징으로 하는 반도체 장치의 트랜지스터 제조방법.

도면

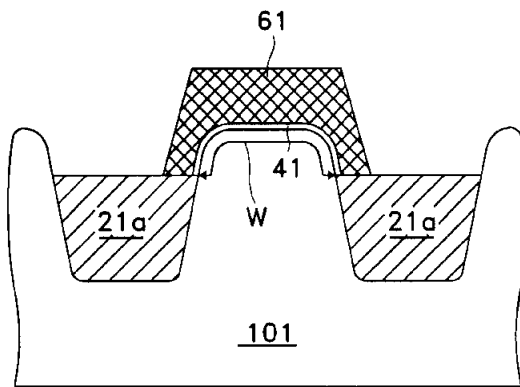
도면1



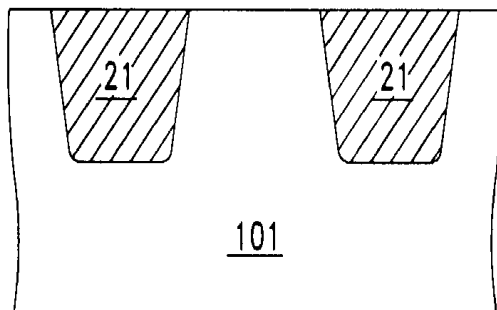
도면2



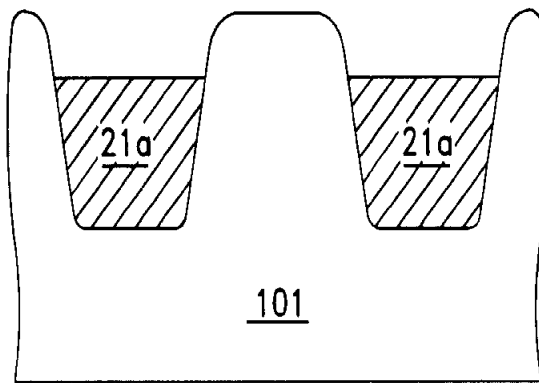
도면3



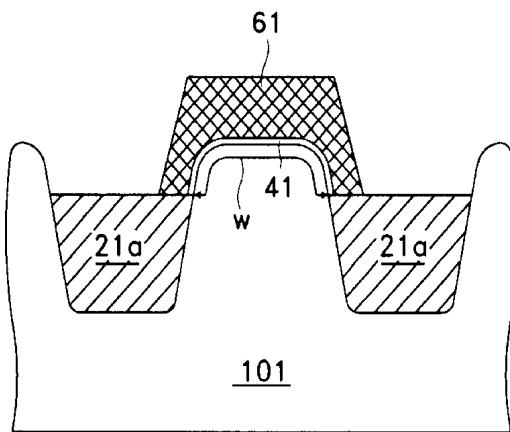
도면4a



도면4b



도면4c




CERTIFICATE OF TRANSLATION ACCURACY

I, Alex Jo, declare:

1. I am a professional translator specializing in translating Korean to English and vice versa.
2. I have over 25 years of experience translating thousands of technical, legal, and business documents from Korean to English submitted to, among others, various U.S. federal courts and the ITC.
3. I certify that the Korean to English translation of this patent document (Application No. KR1997-010326) is a true, correct and complete translation to the best of my knowledge and ability.

I hereby certify under penalty of perjury that the foregoing is true and correct. Executed this 13th day of April 2020 in the Contra Costa County of the State of California.

By: 

Alex N. Jo
Member, ATA

(19) Korean Intellectual Property Office (KIPO) (KR)
(12) Laid-Open Patent Application Gazette (A)

(51) Int. Cl.⁶
H01L 21/33

(11) Laid-Open Disclosure No.: KR1998-074469
(43) Laid-Open Disclosure Date: November 5, 1998

(21) Application No.	KR1997-010326
(22) Application date	March 25, 1997
(71) Applicant	Jong Yong Yun, Samsung Electronics Co., Ltd. 416 Maetan-dong, Paldal-gu, Suwon-si, Gyeonggi-do, Korea
(72) Inventor	Tae Jeong Lee #101-1209 Sewon Apartment, Gomae-ri, Giheung-eop, Yongin-si, Gyeonggi-do, Korea
(74) Agent	Geon Joo Lee

Request for Examination: Not requested

(54) Method of manufacturing a transistor for a semiconductor device

ABSTRACT

The present invention relates to a semiconductor device. In a method of manufacturing a transistor for a semiconductor device, the summary of the present invention comprises: a process of forming a trench isolation region and an active region on a silicon substrate by means of a conventional trench isolation process; a process of forming a well region on the silicon substrate by means of a conventional process of local ion implantation on the field; a process of partially etching a first oxide film inside the trench isolation by means of wet etching; a process of forming a second oxide film by performing an oxidation process; a process of ion implantation for optimization of the threshold voltage; a process of etching the second oxide film by means of wet etching; and a process of forming conventional gate oxide film, gate electrode, source, and drain.

REPRESENTATIVE DRAWING

FIG. 3

SPECIFICATION

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a plan view of a transistor according to the prior art.
FIG. 2 is a vertical cross-sectional view along the 2-2' direction in FIG. 1.
FIG. 3 is a vertical cross-sectional view illustrating a transistor according to one embodiment of the present invention.
FIGS. 4a to 4c are the process cross-sectional views illustrating the sequence of manufacturing a transistor according to one embodiment of the present invention.

DETAILED DESCRIPTION OF THE INVENTION

THE OBJECT OF THE INVENTION

TECHNICAL FIELD RELATED TO THE INVENTION AND CONVENTIOANL TECHNOLOGY

The present invention relates to a semiconductor device and, more particularly, to a method of manufacturing a transistor that can increase the channel width without increasing the chip area in a semiconductor device.

Generally, transistors have predetermined channel width and length. Such a channel width is closely related to the electric current driving capability of the transistor. The wider the channel width becomes, the higher the electric current driving capability becomes. However, increasing the channel width causes a problem that the area increases in terms of chip integration. FIG. 1 is a plan view of a transistor according to the prior art. With reference to FIG. 1, it illustrates a plan view comprising an isolation region 20, a source 20 [sic] and a drain 80 of a transistor, and a gate 60 between the source 20 and the drain 80. Here, the width W of the channel formed at the lower part of the gate 60 is formed with the same width as that of the source 70 and the drain 80. Also, an increase in the channel width immediately results in an increase in the chip area. On another note, a vertical cross-sectional view in the 2-2' direction of FIG. 1 is shown in FIG. 2. With reference to FIG. 2, it comprises: a channel region W directly formed on a silicon substrate 100 or formed inside a well formed on a silicon substrate 100; an isolation region 20 for isolating the device; a gate oxide film 40 formed on top of channel width W; and a gate electrode 60 formed thereon. When formed in a structure like this, a transistor is positioned on a surface that runs in parallel with the silicon substrate 100 and, when the channel width W is increased to increase the current-driving amount of a transistor, it immediately results in an increase in the size of the area. Since increasing the channel width immediately results in an increase in the size of the area, Patent No. 5,115,289 registered in the U.S. presents, as disclosed therein, a transistor structure to increase the channel width without increasing the area by vertically forming a part of the channel width to thereby solve the problem that made it difficult to increase the channel width. Although not illustrated, a manufacturing method to form such a transistor will now be briefly described here. After etching a silicon substrate with the width of 0.1μm and depth of 1μm, the area where a channel will be formed is formed in such a way as to be wrapped up with a silicon oxide film SiO₂ and a silicon nitride film SiN. Next, after isolating the channel region from the substrate by means of an oxidation process, the silicon nitride film and the silicon oxide film are removed; and the gate oxide film and the gate

are formed. Then, a transistor is manufactured by means of a conventional transistor formation process such as forming a drain and a source, etc. Since the channel region is isolated from the silicon substrate by adopting a process of Silicon-On-Insulator ("SOI"), as described earlier, the channel region must be completely isolated from the substrate by "bird's beak" during the oxidation process to form SOI. Accordingly, all the channel widths must be $0.1\mu\text{m}$. Consequently, it becomes difficult to form a large-size pattern. Also, even though all the patterns are formed at $0.1\mu\text{m}$ or less, it causes a problem, among others, that the channel region is lifted during the oxidation process. In addition, a process of wrapping the channel region with a silicon nitride film is required to prevent oxidation of the channel region during the oxidation process for SOI, which causes a problem that the process becomes complicated.

TECHNICAL PROBLEM TO BE SOLVED BY THE PRESENT INVENTION

It is the object of the present invention to provide a method of manufacturing a transistor for a semiconductor device that can improve the electric current driving capability of a transistor by increasing the channel width without increasing the chip area by vertically forming a part of the channel region.

It is another object of the present invention to provide a method of manufacturing a transistor for a semiconductor device that can eliminate the problem of lifting in increasing the channel width without increasing the chip area.

It is yet another object of the present invention to provide a method of manufacturing a transistor for a semiconductor device that can improve the characteristics of the isolation region without introducing any additional process by increasing the channel width and, at the same time, adjusting the depth of the trench.

It is yet another object of the present invention to provide a method of manufacturing a transistor for a semiconductor device that can increase the channel width and, at the same time, decrease the number of processes while forming an isolation region.

CONSTRUCTION AND OPERATION OF THE PRESENT INVENTION

According to the technical ideas of the present invention to achieve the objects described above, the method of manufacturing a transistor for a semiconductor device comprises: a process of forming a trench isolation region and an active region on a silicon substrate by means of a conventional trench isolation process; a process of forming a well region on the silicon substrate by means of a conventional process of local ion implantation on the field; a process of partially etching a first oxide film inside the trench isolation by means of wet etching; a process of forming a second oxide film by performing an oxidation process; a process of ion implantation for optimization of the threshold voltage; a process of etching the second oxide film by means of wet etching; and a process of forming conventional gate oxide film, gate electrode, source, and drain.

Hereinunder, a preferred embodiment of the present invention will be explained in detail with reference to the attached drawings. For starters, in assigning referential symbols to indicate the constitutive elements of respective drawings, it should be noted that, even in cases where they are indicated on different drawings, insofar as they are identical constitutive elements, they are to have the same symbols to the extent possible.

FIG. 3 is a vertical cross-sectional view illustrating a transistor according to one embodiment of the present invention. With reference to FIG. 3, isolation regions **21a** are formed on a silicon substrate **101** and gates are formed between the isolation regions **21a**. Here, a gate oxide film **41** is formed on the area where the silicon substrate is higher by a predetermined height relative to the upper part of the isolation region **21a**; and a gate electrode **61** is formed on the upper part thereof. Accordingly, the channel width is raised by a predetermined height relative to the isolation region **21a** and for a curve by as much as the height, thereby increasing the channel width. In doing so, there will not be any change in the chip area.

FIGS. 4a to 4c are the cross-sectional views of the fabrication process, and as such they illustrate the sequence of manufacturing a transistor according to one embodiment of the present invention. With reference to FIG. 4a, a trench isolation region **21** is formed on a silicon substrate **101** by means of a conventional trench isolation process and a well region is formed on a conventional Local Implantation on Field **LIF** process. With reference to FIG. 4b, the oxide film **21a** inside the trench isolation in the region desired to increase the channel width is etched by $10\text{nm} - 200\text{nm}$ by means of a wet etching process. Also, the sacrificial oxide film is sacrificed by $10\text{nm} - 30\text{nm}$ to allow the channel region in the angular part to become a more curved surface, thereby increasing the channel width **W**. Then, ion implantation to optimize the threshold voltage of the transistor is performed for $3.0 \times 10^{11}/\text{cm}^2 - 2.0 \times 10^{12}/\text{cm}^2$ and, after that, the sacrificial film is etched by wet etching. Accordingly, it is shown that the oxide film **21a** filled in the isolation region is formed underneath the silicon substrate **101**. With reference to FIG. 4c, after the process described above is performed, a transistor is formed by means of a gate oxide **41** formation process and a source and drain formation process.

Meanwhile, by means of the processes described above, only a few processes are added to the conventional trench isolation process to increase the channel width of a transistor, which increases the electric current driving capability without increasing the area. Also, such a manufacturing process makes it possible to obtain stable isolation characteristics while increasing the channel width of a transistor by adjusting the depth of the oxide film in the trench. Meanwhile, the purpose of making the angular part of the channel become a more curved surface by means of the sacrificial oxide film is to mitigate the hump effect in the sub-threshold region during an operation of the transistor.

EFFECT OF THE INVENTION

The present invention described above has an effect of increasing the channel width of a transistor without increasing the chip area and obtaining stable isolation characteristics by adjusting the trench depth as a result thereof.

While the present invention has been described with examples focused on the drawings, it will be apparent to those skilled in the art that various changes and modifications may be made without departing from the scope of the technical ideas of the present invention.

(57) What is claimed is

Claim 1

A method of manufacturing a transistor for a semiconductor device comprising:

- a process of forming a trench isolation region and an active region on a silicon substrate by means of a conventional trench isolation process;
- a process of forming a well region on the silicon substrate by means of a conventional process of localized ion implantation on the field;
- a process of partially etching a first oxide film inside the trench isolation by means of wet etching;
- a process of forming a second oxide film by performing an oxidation process;
- a process of ion implantation for optimization of the threshold voltage;
- a process of etching the second oxide film by means of wet etching; and
- a process of forming conventional gate oxide film, gate electrode, source, and drain.

Claim 2

A method of manufacturing a transistor for a semiconductor device, according to claim 1, wherein the post-etching thickness of the first oxide film is formed at 10nm - 200nm.

Claim 3

A method of manufacturing a transistor for a semiconductor device, according to claim 1, wherein the thickness of the second oxide film is formed at 10nm - 30nm.

Claim 4

A method of manufacturing a transistor for a semiconductor device, according to claim 1, wherein the impurity in the ion implantation is boron fluoride being ion implanted in the concentration of 3.0×10^{11} - 2.0×10^{12} per unit area at 40 KeV - 60 KeV.

DRAWINGS

FIG. 1

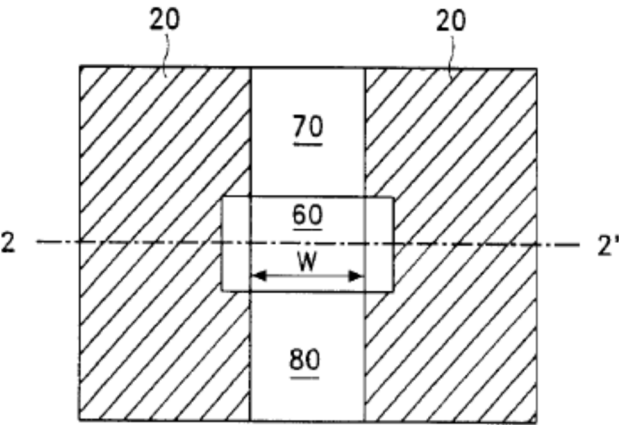


FIG. 2

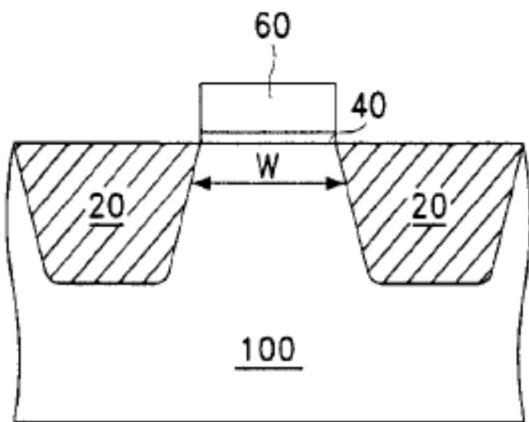


FIG. 3

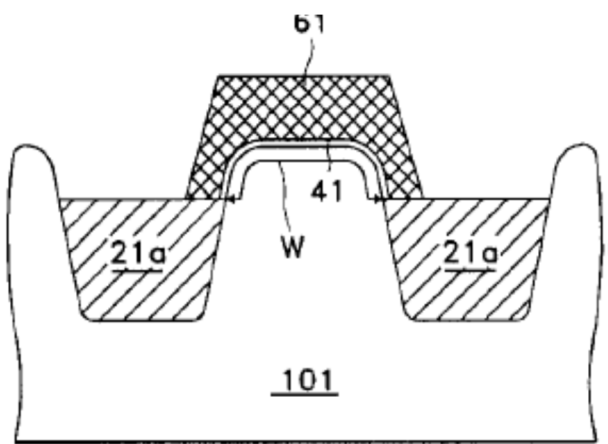


FIG. 4

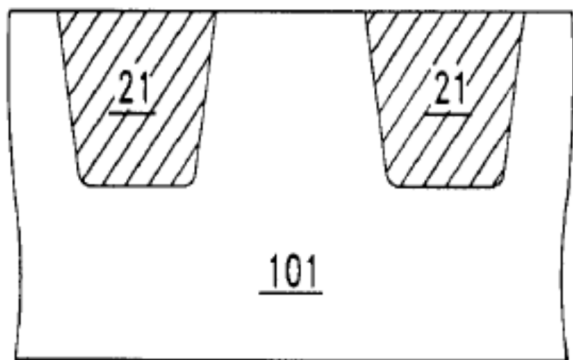


FIG. 4b

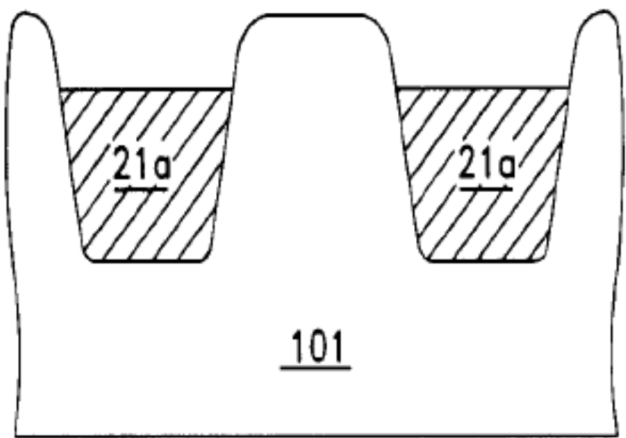


FIG. 4c

